

UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À  
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

COMME EXIGENCE PARTIELLE  
DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE

PAR  
HUGUES ACHIGUI JEAZET

CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE À APPROXIMATIONS  
SUCCESSIVES OPÉRANT À 1-V DANS UN PROCÉDÉ CMOS SUBMICRONIQUE

JUILLET 2011

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

*À ma famille*

## ***REMERCIEMENTS***

Tout d'abord, je tiens à remercier mon directeur de recherche, M. Christian J. B. FAYOMI, professeur à l'Université du Québec à Montréal, de m'avoir donné l'opportunité de travailler avec lui dans ce monde si pointu qu'est la microélectronique. Sa patience et son engouement dans mes travaux de recherches m'ont été d'un grand support.

J'aimerais ensuite remercier mon codirecteur, M. Daniel Massicotte, professeur à l'Université du Québec à Trois-Rivières, qui m'a intégré dans son équipe de recherche. Ses années d'expérience m'ont permis d'accroître mes connaissances dans l'univers de la microélectronique, et de m'appesantir sur les défis critiques et le sens des responsabilités.

J'exprime aussi ma gratitude aux membres de ma famille, pour leur support, toute la patience qu'ils ont su démontrer jusqu'ici, tout au long de mon parcours scolaire. Un merci spécial à ma maman Élise ACHIGUI et mon papa Benjamin ACHIGUI, qui chaque jour, n'ont cessé de me motiver et me pousser à exceller dans ce travail. Un merci tout particulier à mes frères Hervé FACPONG ACHIGUI, Joseph MESSI ACHIGUI et Kuété ACHIGUI, à mes sœurs Bertille Claire MAFOKOU, Sylvie FOYET ACHIGUI et Barbette NONGNI ACHIGUI. Un merci spécial à ma feu tante Laurentine MASSI et son époux Paul NINGINI. Un merci à tous mes oncles, à toutes mes tantes, ainsi qu'à toutes mes cousines et cousins.

Je m'en voudrais si je n'adressais pas un merci spécial à Mr. Jean Bosco ÉTOA ÉTOA et son épouse Suzanne ÉTOA ÉTOA. Un merci également à Emmanuel BOUENDEU, Maurice WOBENG, Erick DJOUMESSI, Marcel EPANYA, Arsène MELANOUE, Jean-Yves KAZOCK ainsi qu'à leurs épouses et enfants respectifs pour leurs encadrements et leurs précieux conseils.

Merci à mes amis Paul Moreau SENDJO, Pierre FOKAM, Ghislain DOMTUÉ, Adeline AZANGUE, Alain TCHOKOMANI, Leonel DJOUMESSI, Yves MBIANDA, Baldé

MAMADOU, Dalton COLOMBO, Carl BARIBEAU, Mathieu VAILLANCOURT, Louis-Philippe RISPOLI, Linda CHOUMELE, Diane MATSOM, Jeanine FEUDJO, Ariane NDONDA et Aïchatou DICKO pour leur soutien quotidien.

Je n'oublierais pas mes collègues et amis du local PK-4690 pour l'aide, l'appui et la bonne atmosphère. Un merci particulier s'adresse à Claude CHAGNON et Guy PARADIS, pour avoir mis à ma disposition tout le matériel dont j'ai eu besoin durant mes travaux de recherche.

Pour finir, toute ma reconnaissance aux personnes qui ont contribué de près ou de loin à la réalisation de ce projet de maîtrise.

## ***RÉSUMÉ***

L'intérêt porté vers les systèmes numériques a connu un essor sans précédent au cours des deux dernières décennies. Ceci étant principalement dû à la demande des applications qui nécessitent des méthodes numériques. Tout cela a été rendu possible grâce aux merveilles de la technologie CMOS. Cette technologie est plus appropriée aux applications analogiques et numériques. La première raison est que les circuits VLSI sont typiquement implémentés en CMOS.

La réduction d'échelle des technologies microélectroniques a permis d'améliorer certains aspects des circuits électroniques. L'un de ces aspects est la consommation d'énergie dans l'univers des applications biomédicales. La notion d'application biomédicale renvoie vers le traitement du signal, en conséquence, il y a des composants qui interagissent. Cette interaction consiste à faire cohabiter les signaux analogiques et composants numériques. La cohabitation de ces deux domaines nécessitent un convertisseur analogique numérique ou numérique-analogique qui, a priori, sont des éléments de traduction entre les domaines analogiques et numériques.

Les convertisseurs analogiques numériques (CAN) sont des composants qui occupent une place prépondérante dans les circuits électroniques. Il existe plusieurs architectures de convertisseur, mais le choix d'une architecture dépend considérablement de la nature de l'application et de sa capacité à consommer l'énergie. Cette variété au niveau architectural justifie la raison pour laquelle les travaux sur les CAN restent une quête perpétuelle vers la recherche d'un éventail de connaissances jusqu'ici non acquises.

Le présent mémoire vise à proposer des solutions innovatrices à la conception des convertisseurs analogiques numériques à approximations successives opérant à 1V et dédiés au domaine biomédical. Les principales sources de consommation d'énergie dans un convertisseur analogique numérique à approximations successives sont: le comparateur et le convertisseur numérique-analogique. Nous présentons une nouvelle

architecture de comparateur qui emploie une technique connue sous le nom de “Suiveur de tension inversée ” (*FLIPPED VOLTAGE FOLLOWER*) au niveau de la paire d’entrée différentielle. Ce comparateur est ensuite utilisé dans deux architectures distinctes de convertisseur analogique numérique à approximations successives ayant une résolution de 8 et 10-bits, un taux de conversion qui varie de 1 M à 1.25 M-échantillons par seconde (MS/s). Ces architectures ont été implémentées dans la technologie CMOS 0.18  $\mu\text{m}$ .

Pour vérifier et valider la fonctionnalité de ces convertisseurs analogiques numériques proposés, nous avons réalisé le dessin des masques afin de s’assurer que ces architectures fonctionnent aussi bien en implémentation pré et post dessin des masques. Les résultats des simulations du convertisseur analogique numérique à approximation successive à 10 bits permettent de constater qu’il réalise un facteur de mérite (FOM) de 0.27pJ/pas-de-conversion, un taux de conversion égale à 1 MS/s, un rapport signal sur bruit (S/B) de 57.86 dB sous une tension d’alimentation de 1 Volt. Les résultats de mesure du comparateur permettent de constater qu’échantillonné à 20 MHz, le comparateur réalise une résolution de 12 bits et dissipe une puissance de 63.5  $\mu\text{W}$ .

## ***LISTE DES FIGURES***

Figure 2.1 :	Schéma bloc d'un CAN à approximations successives. ....	5
Figure 2.2:	Arbre de recherche binaire d'un CAN-AS durant le processus d'identification du code 110. ....	7
Figure 2.3 :	Fonction de transfert illustrant l'erreur de tension d'un CAN à 3 bits. ....	9
Figure 2.4 :	Fonction de transfert illustrant l'erreur de gain d'un CAN à 3 bits. ....	9
Figure 2.5 :	Exemple de mesure du DNL d'un CAN à 3 bits. ....	11
Figure 2.6 :	Exemple de mesure de l'INL d'un CAN à 3 bits. ....	12
Figure 3.1:	Schématique d'un CNA de type R-2R (Tiré de [MOR00]). ....	16
Figure 3.2:	Schématique du circuit d'E/B (tiré de [MOR00]). ....	17
Figure 3.3:	Comparateur à verrou utilisant une approche à mode courant (Tiré de [MOR00]). ....	18
Figure 3.4:	CNA traditionnel en mode tension (Tiré de [FAY01]). ....	19
Figure 3.5:	Circuit d'un échantillonneur bloqueur (Tiré de [FAY01]) ....	19
Figure 3.6:	Schématique de l'E/B (Tiré de [FAY01]): (a) Commutateur amorcé à compensation et (b) Commutateur dummy amorcé. ....	20
Figure 3.7 :	CNA à mode courant basé uniquement sur les transistors de type pMOS (Tiré de [FAY01]). ....	21
Figure 3.8 :	Schématique d'un Amp-op à basse tension utilisé pour convertir le courant en tension (Tiré de [FAY01]). ....	21
Figure 3.9 :	Schématique du CNA à réseau de capacités pondérées en binaire (Tiré de [McC75]). ....	22
Figure 3.10 :	Circuit équivalent d'un réseau conventionnel de capacités pondérées en binaire à 2 bits durant le mode échantillonnage : (a) Circuit lorsque $C_{MSB}=C$ et (b) lorsque $C_{MSB}=2C$ . ....	23
Figure 3.11 :	Circuit équivalent du C-CNA: Mode attente. ....	24
Figure 3.12 :	Circuit équivalent du C-CNA: Première étape de conversion. ....	25
Figure 3.13 :	Schéma bloc du C-CNA conventionnel à 2 bits lorsque $b_1 = 1$ . ....	28
Figure 3.14 :	Schéma bloc C-CNA à 2 bits lorsque $b_1=0$ . ....	28
Figure 3.15 :	C-CNA à n-bits formé d'un réseau CFPB (Tiré de [GIN07]). ....	30
Figure 3.16 :	Schéma bloc d'un C-CNA à 2 bits (Tiré de [GIN07]). ....	30
Figure 3.17 :	Méthode de commutation du C-CNA (Tiré de [GIN07]): (a) 1er cycle binaire et (b) commutation des capacités durant la transition "descendante". ....	31
Figure 3.18. :	Schéma bloc d'un C-CNA à 3 bits (Tiré de [JEO08]). ....	32



Figure 3.19 :	Transition des commutateurs pour l'identification du code 000: (a) C-CNA conventionnel à 3-bits et (b) C-CNA à 3 bits avec des capacités à jonctions fractionnées (Tiré de [JEO08]).	33
Figure 3.20 :	Schéma bloc d'un CNA à charges pondérées utilisant une capacité d'atténuation (Tiré de [BAK05]).	34
Figure 3.21 :	Schéma bloc d'une capacité réglable (Tiré de [ABD07]).	35
Figure 3.22 :	C-CNA avec deux capacités d'atténuation (Tiré de [AGN08]).	35
Figure 3.23 :	Schéma bloc de la cellule tension-temps ( $T_t$ ) (Tiré de [AGN08]).	36
Figure 3.24 :	Schématique du comparateur (Tiré de [AGN08]): (a) Bloc comparateur à domaine temporel et (b) diagramme temporel.	36
Figure 3.25 :	C-CNA basé sur un réseau en série de capacités fractionné en $(bM + bL)$ (Tiré de [YAN08]).	38
Figure 3.26 :	Schéma bloc du C-CNA à basse capacité d'entrée et son diagramme de temps (Tiré de [GUA09]).	39
Figure 3.27 :	Schématique d'un CAN-AS basé le C-CNA (Tiré de [LOT09]).	40
Figure 3.28 :	Convertisseur de niveau logique (Tiré de [LOT09]).	41
Figure 4.1 :	Schématique du comparateur CMOS (Tiré de [YIN92]).	46
Figure 4.2 :	Schématique du comparateur dynamique proposé utilisant la cellule FVF.	46
Figure 4.3 :	Schématique d'un circuit de détection en mode commun: (a) basé sur des transistors CMOS et (b) basé sur deux résistances en série.	49
Figure 4.4 :	Schéma bloc du circuit du RAS.	56
Figure 4.5 :	Schématique du Verrou utilisé dans le RAS.	57
Figure 4.6 :	Schématique de la bascule D utilisée dans le RAS.	57
Figure 4.7 :	Schéma bloc d'un CNA 8 bits à structure R-2R.	59
Figure 4.8 :	Schéma bloc d'un CNA conventionnel à 10 bits.	61
Figure 5.1 :	Dessin de masques du comparateur et du générateur d'horloge	67
Figure 5.2 :	Microphotographie du comparateur et générateur d'horloge.	67
Figure 5.3 :	Dessin des masques du CNA de type R-2R à 8 bits présenté à la figure 4.6.	69
Figure 5.4 :	Dessin des masques du CAN-AS à 8 bits de type R-2R.	69
Figure 5.5 :	Plan du dessin des masques du réseau de capacités	71
Figure 5.6 :	Dessin des masques du CAN-AS à 10 bits basé sur un CNA à capacités pondérées en binaire tel que présenté à la figure 4.8.	73

Figure 5.7 :	Signaux appliqués à l'entrée du comparateur: Un signal dynamique d'amplitude 1 V crête à crête comparé et un signal de référence fixé à la tension en mode commun, soit 0.5 V. ....	74
Figure 5.8 :	Signal d'horloge à 20 MHz et signal de sortie du comparateur simulé. ....	75
Figure 5.9 :	Histogramme de l'erreur de tension de décalage du comparateur. ....	75
Figure 5.10 :	Circuit d'évaluation du bruit de rebond (Tiré de [FIG06]). ....	76
Figure 5.11 :	Impact du bruit de rebond sur la performance du comparateur. ....	77
Figure 5.12 :	Simulation du CAN à 8 bits de type R-2R (fig. 5.4) pour quatre conversions sous une fréquence d'horloge de 10 MHz (Taux de sortie à 1.25 MS/s). ....	78
Figure 5.13 :	Simulation du CAN-AS à 10 bits basé sur un C-CNA (fig. 5.6) pour quatre conversions sous une fréquence d'horloge de 10 MHz (Taux de sortie à 1 MS/s). ....	79
Figure 5.14 :	Configuration de test permettant de reconstituer l'onde sinusoïdal d'entrée. ....	81
Figure 5.15 :	Spectre de sortie simulé du CAN-AS à 8 bits de type R-2R (fig. 5.4) avec un signal sinusoïdal de fréquence 82.03125 kHz, une amplitude 300 mV crête à crête, un signal d'horloge de 1 MHz et sous une tension d'alimentation VDD= 1 V. ....	82
Figure 5.16 :	Densité de sortie simulée du CAN-AS à 10 bits basé sur un C-CNA (fig. 5.6) avec un signal sinusoïdal de fréquence 17.08984375 kHz en entrée. ....	83
Figure 5.17 :	Schéma bloc de la configuration de test utilisé pour évaluer les paramètres statiques. ....	85
Figure 5.18 :	Résultats des mesures du comparateur: Un signal d'entrée avec 1 Vpp, suivi d'une entrée inversée d'environ 0.245 mV, avec un niveau de référence en mode commun établi à 0.25 V et 0.5 V dans chaque régime d'opération. Le signal d'horloge est de 20 MHz. ....	87

## ***LISTE DES TABLEAUX***

Tableau 3.1 :	Résumé de quelques métriques de performances des CAN-AS rapportés dans la littérature.....	43
Tableau 4.1:	Dimensions des transistors utilisés dans le comparateur de la figure 4.2. ....	47
Tableau 4.2:	Dimensions des transistors utilisés dans le circuit de la figure 4.5 .....	58
Tableau 4.3:	Dimensions des transistors utilisés dans le le circuit de la figure 4.6 .....	58
Tableau 4.4:	Estimation des valeurs minimales de $C_0$ en fonction de la résolution du CAN-AS telle proposée par Baker [BAK05]. ....	62
Tableau 5.1 :	Résumé des performances du CAN-AS à 8 bits de type R-2R .....	82
Tableau 5.2 :	Résumé des performances du CAN-AS à 10 bits de type capacitif.....	84
Tableau 5.3:	Comparaison du CAN-AS proposé avec certains travaux présentés dans la littérature....	86

## ***LISTE DES ABRÉVIATIONS***

AC	Alternative current (courant alternatif)
amp-op	Amplificateur opérationnel
A/N	Analogique à numérique
AS	Approximations successives
BSIM	Berkeley Short-channel IGFET Model
CAO	Conception assistée par ordinateur
CAN	Convertisseur analogique à numérique
C-CNA	Convertisseur numérique analogique capacitif
CAN-AS	Convertisseur analogique à numérique à approximations successives
CFS	Capacité fractionnées en série
CFPB	Capacités fragmentées pondérées en binaire
CMOS	Complementary Metal Oxide Semiconductor (Oxyde de métal semi-conducteur complémentaire)
CNA	Convertisseur analogique numérique
DC	Direct current (courant direct)
DNL	Differential non-linearity (Non-linéarité différentielle)
E/B	Échantillonneur Bloqueur
ENOB	Effective number of bits (nombre effectif de bits)
FFT	Fast Fourier Transform (Transformée de Fourier Rapide)
FVF	Flipped Voltage Follower (Suiveur de tension inversée)
GEMC	Gamme d'entrée en mode commun
INL	Integral non-linearity (Non-linéarité intégrale)
LSB	Least significant bit (Bit le moins significatif)
MSB	Most significant byte (Bit le plus significatif)
RAS	Registre à approximations successives

S-R	Set-Reset (Activer-réinitialier)
RMS	Root means square (Valeur efficace)
S/B	Rapport signal sur bruit
TSPC	True Single Phase Clock Logic
TSMC	Taiwan Semiconductor Manufactured corporation
Tt	Tension à temps
SCF	Série de capacités fractionnées
CMC	Canadian Microelectronics Corporation

## ***LISTE DES SYMBOLES***

A	Ampère
CLK	Signal d'horloge
F <sub>s</sub>	Fréquence d'Échantillonnage
C <sub>H</sub>	Capacité de maintien
b	bits
dB	décibel
fF	femto- Farad, capacité
F <sub>s</sub>	Fréquence d'Échantillonnage
I <sub>B</sub>	Courant de polarisation
g <sub>m</sub>	Transconductance
m	mètre
n	Nombre de bits
R	Résistance
R <sub>ON</sub>	Resistance de commutation du transistor
μm	micro-mètre
V <sub>in</sub>	Signal d'entrée analogique
V <sub>HAI</sub>	Signal de sortie du CNA
V <sub>MID</sub>	Signal de mode commun
V <sub>FS</sub>	Tension pleine échelle
V <sub>ref</sub>	Tension de référence
V <sub>DD</sub>	Tension d'alimentation
V <sub>FS</sub>	Tension pleine échelle
V <sub>icm</sub>	Tension en mode commun
V <sub>Dssat</sub>	Tension efficace (overdrive voltage) d'un transistor
V <sub>DS</sub>	Tension drain-source d'un transistor
Φ <sub>bl2</sub>	Signal à niveau logique doublé

$W$	Largeur du transistor
$L$	Longueur du transistor
$M$	Facteur multiplicateur
$\Omega$	Ohm, résistance
$\sigma$	Sigma

# ***TABLE DES MATIÈRES***

RÉSUMÉ .....	V
LISTE DES FIGURES .....	VII
LISTE DES TABLEAUX .....	X
LISTE DES ABRÉVIATIONS .....	XI
LISTE DES SYMBOLES .....	XIII
TABLE DES MATIÈRES .....	XV
CHAPITRE 1 .....	1
INTRODUCTION .....	1
1.1 MOTIVATION.....	1
1.2 OBJECTIFS DE RECHERCHE ET MÉTHODOLOGIE .....	2
1.3 ORGANISATION DU MÉMOIRE .....	3
CHAPITRE 2.....	4
PRINCIPE DE FONCTIONNEMENT DES CONVERTISSEURS À APPROXIMATIONS SUCCESSIVES .....	4
2.1 MODE D'OPÉRATION DU CAN À APPROXIMATIONS SUCCESSIVES .....	4
2.2 IMPACT DES MÉTRIQUES DE PERFORMANCES STATIQUES SUR UNE ARCHITECTURE DU CAN-AS.....	8
2.2.1 L'ERREUR DE TENSION DE DÉCALAGE ET DE GAIN .....	8
2.2.2 ERREUR DE NON-LINÉARITÉ DIFFÉRENTIELLE.....	10
2.2.3 ERREUR DE NON-LINÉARITÉ INTÉGRALE .....	11
2.3 IMPACT DES MÉTRIQUES DE PERFORMANCES DYNAMIQUES SUR UNE ARCHITECTURE DU CAN-AS .....	12
2.3.1 IMPACT DU RAPPORT SIGNAL SUR BRUIT DANS UN CAN-AS.....	12



2.3.2	<i>AUTRES PARAMÈTRES DYNAMIQUES ASSOCIÉS AU CAN-AS</i> .....	13
2.3.3	<i>IMPACTS LIÉS AU RÉGULATEUR DE TENSION</i> .....	13
CHAPITRE 3	.....	15
REVUE DE LITTÉRATURE SUR LES CAN-AS	.....	15
3.1	CAN-AS BASÉ SUR LES CNA DE TYPE R-2R .....	15
3.2	CAN-AS BASÉ SUR UN CNA À DIVISEUR DE COURANT .....	20
3.3	CAN-AS BASÉ SUR UN CNA CAPACITIF .....	22
3.4	RÉSUMÉ DES TRAVAUX PRÉSENTÉS DANS LA LITTÉRATURE : .....	42
CHAPITRE 4	.....	44
PROPOSITION D'UN CAN-AS CMOS À BASSE TENSION	.....	44
4.1	TECHNIQUE DE CONCEPTION D'UN COMPAREUR ANALOGIQUE CMOS À BASSE TENSION ET À BASSE PUISSANCE.....	44
4.1.1	COMPAREUR TENSION BASÉ SUR LA CELLULE FVF .....	45
4.1.1.1	ÉTAGE D'ENTRÉE DIFFÉRENTIELLE DE CLASSE AB.....	47
4.1.1.2	VERROU RÉGÉNÉRATIF .....	50
4.1.1.3	CONTRAINTES DE CONCEPTION ET ANALYSE DES PERFORMANCES .....	51
4.2	TECHNIQUES DE CONCEPTION À BASSE TENSION D'UN CAN À APPROXIMATION SUCCESSIVE.....	54
4.2.1	CONCEPTION D'UN ÉCHANTILLONNEUR-BLOQUEUR À BASSE TENSION ET BASSE PUISSANCE .....	54
4.2.2	CONCEPTION D'UN COMPAREUR À BASSE TENSION ET BASSE PUISSANCE ....	55
4.2.3	CONCEPTION DU REGISTRE À APPROXIMATION SUCCESSIVE .....	55
4.2.4	CONVERTISSEUR NUMÉRIQUE ANALOGIQUE DÉDIÉ AU CAN-AS .....	58
4.2.4.1	CNA BASÉ SUR LE RÉSEAU R-2R EN MODE TENSION.....	59
4.2.4.2	CNA À RÉSEAU DE CAPACITÉS PONDÉRÉES EN BINAIRE .....	60
4.2.5	TECHNIQUE DE CONCEPTION DU RÉSEAU DE COMMUTATEURS .....	63

CHAPITRE 5.....	65
RÉSULTATS ET DISCUSSION.....	65
5.1 ENVIRONNEMENT DE CONCEPTION ET TECHNOLOGIE UTILISÉES .....	65
5.2 DESSIN DE MASQUES.....	66
5.2.1 RÉALISATION DU DESSIN DE MASQUE DU COMPAREUR BASÉ SUR LA CELLULE FVF .....	66
5.2.2 RÉALISATION DU DESSIN DE MASQUES D'UN CNA BASÉ SUR LE RÉSEAU R-2R	68
5.2.3 RÉALISATION DU DESSIN DE MASQUES DU CNA À CAPACITÉS PONDÉRÉES DE FAÇON BINAIRE .....	70
5.3 RÉSULTATS DE SIMULATION POST-DESSIN DES MASQUES.....	73
5.3.1 SIMULATION FONCTIONNELLE DU COMPAREUR BASÉ SUR LA CELLULE "FLIPPED VOLTAGE FOLLOWER" .....	73
5.3.2 SIMULATION FONCTIONNELLE DU CAN-AS.....	77
5.3.2.1 MESURE DES PERFORMANCES DYNAMIQUES DU CAN-AS .....	80
5.3.2.2 MESURE DES PERFORMANCES STATIQUES DU CAN-AS .....	84
5.3.4 COMPARAISON DES PERFORMANCES DU CAN-AS.....	85
5.4 RESULTATS EXPERIMENTAUX DU COMPAREUR .....	86
CHAPITRE 6.....	89
CONCLUSION ET DÉVELOPPEMENTS FUTURS.....	90
6.1 VUE D'ENSEMBLE DU PROJET ET DIFFICULTÉS RENCONTRÉES .....	90
6.2 RECOMMANDATION POUR DES TRAVAUX FUTURS.....	91
RÉFÉRENCES .....	92
ANNEXES.....	97

Low-Voltage, High-Speed CMOS Analog Latched Voltage Comparator using the  
"Flipped Voltage Follower" as Input Stage

# *Chapitre 1*

## *INTRODUCTION*

### **1.1 Motivation**

Ces dernières années, beaucoup d'attentions ont été portées sur la réduction de la tension d'alimentation ainsi qu'à la dissipation de puissance dans les circuits intégrés CMOS analogiques et mixtes. Cette réduction, principalement dictée par le besoin croissant de dispositifs et d'accessoires microélectroniques portatifs, est en train d'amener les dispositifs CMOS au point de blocage. Il n'est pas question d'arrêter le développement des technologies CMOS, mais encore une fois, on se trouve devant une nécessité incontournable d'innovation.

Le transistor MOSFET est le composant le plus utilisé dans la conception des circuits électroniques, il offre une grande flexibilité avec sa couche de silicium qui est un bon semi-conducteur. Son principe de fonctionnement a permis jusqu'aujourd'hui d'atteindre l'échelle du micro et nanomètre. L'un des milieux à qui profite le plus cet avancement est le biomédical. Pour réduire la consommation d'énergie dans une application biomédicale, il faut réduire la tension d'alimentation tout en maintenant la vitesse de fonctionnement à un niveau acceptable. L'un des systèmes clés que l'on retrouve dans des applications biomédicales est le convertisseur analogique-numérique (A/N) et numérique-analogique (N/A).

Les convertisseurs analogiques numériques sont des composants essentiels qui assurent la communication entre les signaux analogiques externes et la puce électronique numérique. Ils ne doivent pas nuire à la précision même si le matériel dans lequel ils sont intégrés se compose de dispositifs très imparfaits. L'ensemble des éléments de base qui contribue de près ou de loin au fonctionnement d'un convertisseur A/N ou N/A, justifie

toutes les connaissances acquises au cours des vingt dernières années en matière de conception en électronique dédiée à contourner les contraintes et les défaillances inhérentes aux circuits intégrés et aux procédés.

Beaucoup d'efforts ont été mis dans la réduction de la tension d'alimentation et la consommation d'énergie des circuits mixtes. Cependant, la diminution de la tension d'alimentation n'est pas forcément un avantage dans la conception analogique puisqu'elle entraîne certaines limites à savoir; le bon fonctionnement des commutateurs analogiques, la réduction de la plage d'entrée du circuit et la complexité à faire opérer les transistors dans leur région optimale.

Face à tous ces défis, plusieurs architectures de circuits ont été développées pour réaliser des convertisseurs analogiques numériques à approximations successives (CAN-AS) qui peuvent fonctionner à basse tension d'alimentation. Dans ce chapitre, les objectifs de la recherche et la méthodologie sont traités dans la section 1.2 tandis que la section 1.3 présente un résumé sur l'organisation du mémoire.

## **1.2 Objectifs de recherche et méthodologie**

Ce mémoire vise à proposer des solutions innovatrices de conception et de réalisation de convertisseurs A/N à approximations successives opérant à basse tension dans les procédés CMOS submicroniques standard. L'accent sera mis sur des solutions matérielles qui n'exigent aucune modification du procédé.

La démarche suivante sera mise en œuvre afin d'atteindre cet objectif:

- ◆ Présentation du principe de fonctionnement des CAN-AS.
- ◆ Revue de littérature sur les CAN-AS.
- ◆ Réalisation des différents blocs (Comparateur, convertisseur N/A à réseau de résistance et capacités, le circuit de mode commun, la logique de contrôle et un registre à décalage) qui entrent dans la conception des CAN-AS.
- ◆ Validation des résultats, analyse et discussion avec développement futur.

### **1.3 Organisation du mémoire**

Ce mémoire s'articule de la manière suivante :

Dans le chapitre 1, nous présentons les motivations liées au projet, la problématique et la méthodologie à suivre pour atteindre les objectifs qui ont été fixés.

Dans le chapitre 2, le principe de fonctionnement du CAN-AS est présenté de façon explicite. Les paramètres statiques et dynamiques qui caractérisent le convertisseur analogique numérique (CAN) y sont discutés, ainsi que leurs impacts sur la performance des circuits.

Dans le chapitre 3, nous passerons en revue la littérature sur les CAN-AS qui fonctionnent à basse alimentation et faible puissance. Une attention particulière est portée sur la technologie utilisée, les architectures de convertisseur numérique analogique (CNA) capacitives (C-CNA) et les comparateurs.

La conception et la réalisation au niveau physique d'un convertisseur CAN-AS à 8 et 10 bits de résolution, opérant à basse tension et basse puissance sont présentées dans le chapitre 4. Nous présentons aussi leur principe de fonctionnement, leurs avantages et quelques limites. Une description explicite a été faite des éléments de base qui constituent ces convertisseurs. Un prototype expérimental du comparateur a été fabriqué, et les résultats des mesures sont présentés dans le chapitre 5. La simulation fonctionnelle du CAN y est également présentée ainsi que ses métriques de performances.

Le chapitre 6 présente la conclusion et les développements futurs de nos travaux.

## ***Chapitre 2***

### ***PRINCIPE DE FONCTIONNEMENT DES CONVERTISSEURS À APPROXIMATIONS SUCCESSIVES***

Les convertisseurs analogiques numériques à approximations successives sont des composants électroniques qui transforment un signal analogique (p. ex. la voix) en un signal numérique codé sous forme binaire c.-à-d., 1 ou 0. Ils se distinguent des autres architectures de convertisseurs de par leur particularité à posséder à la fois une résolution moyenne, un taux de conversion moyen, une faible dissipation de puissance, une bonne précision et une faible demande en surface. Cette topologie de convertisseur est plus attractive dans les applications biomédicales et les appareils portatifs.

Tout au long de cette section, nous allons présenter de façon détaillée le mode de fonctionnement d'un CAN-AS et ses métriques de performances.

#### **2.1 Mode d'opération du CAN à approximations successives**

Pour une architecture qui rime avec simplicité, nous avons le CAN-AS dont le schéma bloc est décrit à la figure 2.1. Il est constitué d'un échantillonneur bloqueur (E/B), un comparateur, un registre à approximations successives, une logique de contrôle et un CNA. Cette topologie de circuit est très versatile, son mode d'opération est basé sur un algorithme de recherche binaire. Autrement dit, l'opération consiste à vérifier l'état de chaque bit issu de la logique numérique. Le résultat final de la conversion est récupéré au niveau du bloc numérique. L'une des particularités associées à cette architecture est que son taux de conversion est une fraction de sa fréquence d'horloge. Ceci étant dû à l'algorithme d'approximations successives [RAZ95].

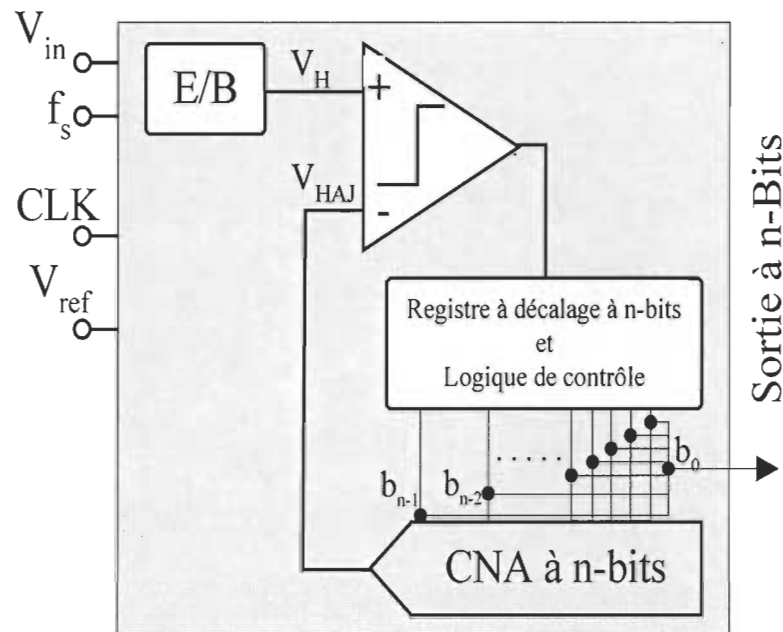


Figure 2.1 : Schéma bloc d'un CAN à approximations successives.

Bien qu'il existe plusieurs topologies au niveau circuiterie, le principe de fonctionnement reste le même. Le signal d'entrée analogique ( $V_{in}$ ) est échantillonné sur l'entrée positive ( $V_H$ ) du comparateur. Par la suite, l'algorithme de recherche binaire se met en marche. Le registre à décalage à  $n$  bits est fixé à mi-échelle (c.-à-d.,  $10\cdots00$  où le bit  $b_{n-1}$  est mis à 1). Ce code numérique est envoyé au convertisseur numérique analogique (CNA) et force sa tension de sortie ( $V_{HAJ}$ ) à  $\frac{1}{2} V_{ref}$  où  $V_{ref}$  est la tension de référence généralement fixé à  $V_{DD}$  (tension d'alimentation). Une comparaison est alors effectuée entre  $V_H$  et  $V_{HAJ}$  afin de déterminer si la tension à convertir ( $V_H$ ) est supérieure ou inférieure à la tension de sortie du CNA. Si  $V_H$  est supérieure à  $\frac{1}{2} V_{ref}$ , la sortie du comparateur est au niveau haut ou '1' et l'état du bit  $b_{n-1}$  ou bit le plus significatif (*MSB – Must significant bit*) reste inchangé, soit '1'. Par contre, si  $V_H$  est inférieure à  $\frac{1}{2} V_{ref}$ , la sortie du comparateur est au niveau bas ou '0' et le MSB est mis à '0'. À ce niveau, deux situations prévalent.

Advenant que la sortie du comparateur soit '1', la logique de contrôle via le registre à décalage à  $n$  bits va fixer le bit  $b_{n-2}$  à 1 et les bits  $b_{n-3}$  à  $b_0$  sont mis à '0'. Pendant ce temps, le MSB reste à '1' puisque son état a déjà été identifié. La sortie du CNA va maintenant être  $\frac{3}{4} V_{ref}$  et une nouvelle comparaison est ainsi effectuée entre  $V_H$  et  $\frac{3}{4} V_{ref}$ . Ensuite, dans le cas où la sortie du comparateur est de nouveau à '1', le bit  $b_{n-1}$  reste inchangé et son état est donc identifié. La logique de contrôle via le registre à décalage va fixer le bit  $b_{n-3}$  à '1' et les bits  $b_{n-4}$  à  $b_0$  sont mis à '0'. La nouvelle valeur de  $V_{HAJ}$  est  $\frac{7}{8} V_{ref}$  et une nouvelle comparaison est alors effectuée entre  $V_H$  et  $\frac{7}{8} V_{ref}$ .

Dans le cas où la sortie du comparateur est plutôt '0', la logique de contrôle via le registre à décalage à  $n$  bits va d'abord remettre le MSB à zéro. Par la suite, le bit  $b_{n-2}$  est fixé à '1' et les bits  $b_{n-3}$  à  $b_0$  sont mis à '0'. La sortie analogique du CNA va maintenant être à  $\frac{1}{4} V_{ref}$  et une nouvelle comparaison est ainsi effectuée entre  $V_H$  et  $\frac{1}{4} V_{ref}$  afin de déterminer l'état réel du bit  $b_{n-2}$ . En supposant que la sortie du comparateur est de nouveau à '0', le bit  $b_{n-2}$  est remis à '0' et son état est ainsi identifié. La logique de contrôle via le registre à décalage va fixer le bit  $b_{n-3}$  à '1' et les bits  $b_{n-4}$  à  $b_0$  sont mis '0'. La valeur de la tension de sortie du CNA est maintenant égale à  $\frac{1}{8} V_{ref}$  et une nouvelle comparaison est alors effectuée entre  $V_H$  et  $\frac{1}{8} V_{ref}$ . On voit bien que l'identification d'un bit nécessite qu'on se fixe une hypothèse au préalable. En d'autres termes, c'est le principe d'approximation de façon subséquente.

Dépendamment que l'on soit dans l'une des situations établies ci-dessus, le processus va se répéter de la même manière jusqu'à ce que la tension de sortie ( $V_{HAJ}$ ) du CNA converge vers la valeur échantillonnée ( $V_H$ ). En d'autres termes, la conversion prend fin lorsque le bit  $b_0$  est identifié. L'algorithme de recherche binaire qu'utilise le CAN-AS est semblable à un arbre de partie dont chaque niveau correspond à un cycle d'horloge. Nous pouvons donc déduire que la conversion d'un mot de  $n$  bits requiert  $n$  coups d'horloge. Cependant, en fonction du concepteur, on peut ajouter un coup d'horloge pour l'initialisation et un autre coup d'horloge pour démarrer la conversion. La



figure 2.2 illustre le schéma bloc d'une recherche binaire sous forme d'un arbre de partie dans le cas d'un CAN-AS à trois (3) bits.

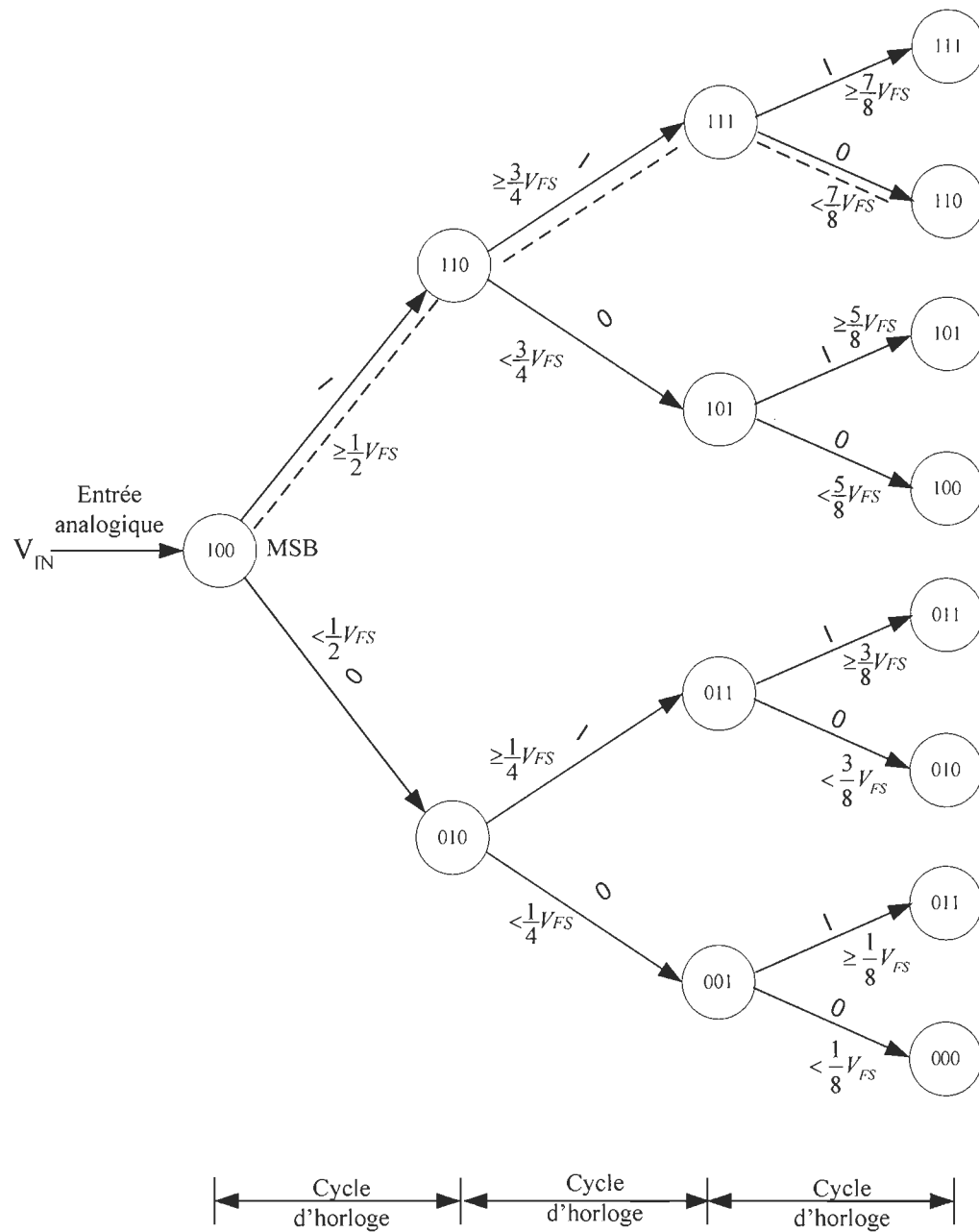


Figure 2.2: Arbre de recherche binaire d'un CAN-AS durant le processus d'identification du code 110.

## **2.2 Impact des métriques de performances statiques sur une architecture du CAN-AS**

Les paramètres statiques qui caractérisent la performance des CAN-AS constituent l'ensemble d'erreurs qui affectent la précision du convertisseur quand il traite un signal continu. Plusieurs méthodes empiriques ont été développées afin d'évaluer ces paramètres. Nous avons la méthode de test basée sur l'histogramme d'une onde sinusoïdale et celle basée sur l'histogramme d'une rampe. Cependant, il est important de connaître les artéfacts qui dégradent ces paramètres.

### ***2.2.1 L'erreur de tension de décalage et de gain***

L'erreur de tension de décalage et l'erreur de gain sont des performances statiques qui peuvent être rencontrées dans tous les blocs constitutifs d'un CAN-AS. Elles peuvent être causées par le mésappariement entre les composants, la variation du gradient liée au courant, la variation de la tension de seuil et du procédé [BAK05]. Dans un CAN-AS, l'erreur de tension de décalage est associée au comparateur et au convertisseur numérique analogique, qui influencent fortement la précision d'une conversion et l'exactitude d'une résolution. Par exemple, un CAN-AS de 10 bits avec une erreur de tension de décalage égale à +10 mV, soit 10 LSB ( $10 \text{ mV} / [V_{FS} / 2^{10}]$ ) où  $V_{FS} = 1 \text{ V}$  (tension pleine échelle), ne pourra pas réaliser une résolution effective de 10 bits comme préalablement établi par ses caractéristiques.

Contrairement à l'erreur de tension, l'erreur de gain ou erreur pleine échelle est par définition la différence entre la pente de la droite longeant la fonction de transfert réelle du CAN et la pente de valeur 1 [BAK05]. Elle est mesurée sur la dernière transition de la fonction de transfert du CAN et s'exprime aussi en bit. Tout comme l'erreur de décalage, elle peut affecter la résolution du convertisseur. Cependant, on peut atténuer ou supprimer l'effet de ces erreurs à l'aide d'une simple calibration de la sortie du

convertisseur [BAK05]. Les figures 2.3 et 2.4 décrivent ces erreurs dans le cas d'un CAN à trois (3) bits.

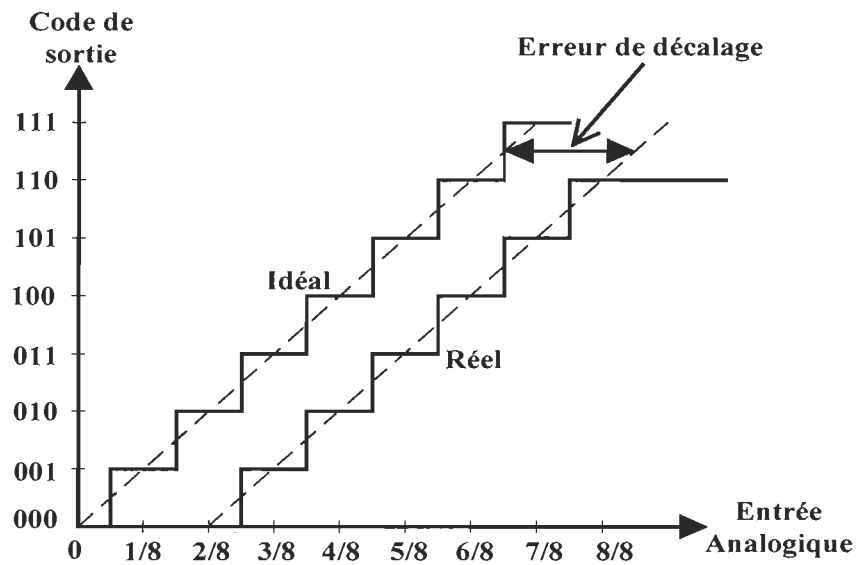


Figure 2.3 : Fonction de transfert illustrant l'erreur de tension d'un CAN à 3 bits.

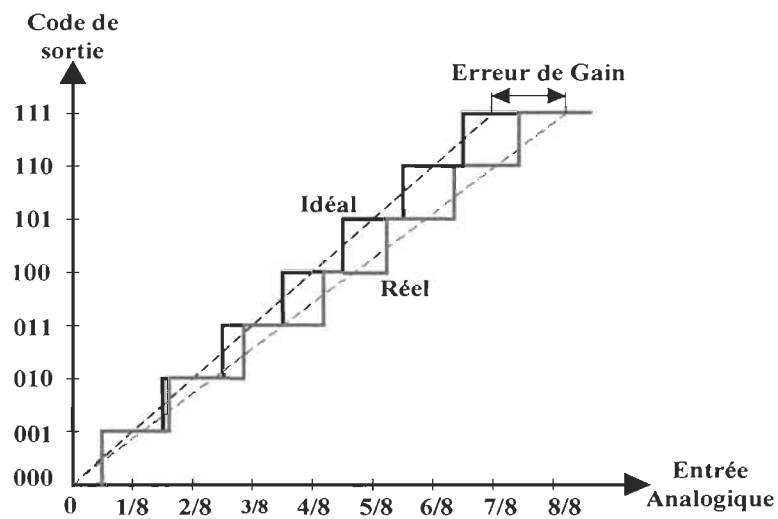


Figure 2.4 : Fonction de transfert illustrant l'erreur de gain d'un CAN à 3 bits.

### 2.2.2 Erreur de non-linéarité différentielle

La non-linéarité différentielle (*DNL – Differential Non Linearity*) est la différence entre la largeur du palier réel dans la fonction de transfert et sa largeur idéale qui est 1 LSB par défaut [BAK05]. Ce paramètre est primordial dans le choix d'un CAN d'autant plus qu'il donne des informations sur la performance de ce dernier. Dans la littérature, il est rapporté que l'erreur de DNL doit être inférieure ou égale à  $\pm 0.5$  LSB afin de garantir une bonne linéarité et aucune absence de codes à la sortie du CAN. Un  $DNL < \pm 1$  LSB reste tolérable, mais ne garantit par la présence de tous les codes [BAK05].

Les principaux facteurs qui affectent le paramètre de DNL sont: l'erreur de décalage au niveau du comparateur et du CNA, l'erreur d'appariement des résistances dans un CNA basé sur le réseau R-2R, l'effet des capacités parasites dans un CNA basé sur des capacités pondérées en binaire, la variation de la tension de seuil et la non-linéarité associée à l'échantillonneur bloqueur. Par exemple, un CAN-AS de 10 bits avec un  $DNL \leq \pm 4$  LSB n'a que 8 bits de résolution en pratique. La perte des bits est attribuable aux facteurs décrits ci-dessus, et une telle architecture possède une erreur de monotonicité. Celle-ci survient dans un CAN lorsque l'amplitude à la sortie devient très petite pour une augmentation de l'amplitude du signal d'entrée [RAZ95], autrement dit la croissante ou décroissance de la sortie en fonction du code d'entrée n'est pas assurée. Par ailleurs, d'autres sources d'erreurs pouvant limiter la performance du DNL ont été rapportées dans [OHN08], la première provient du décalage dans l'appariement des capacités utilisées dans le C-CNA, et la deuxième est une erreur dynamique, qui se produit sur des codes particuliers. La figure 2.5 montre la mesure du DNL dans le cas d'un CAN à trois (3) bits.

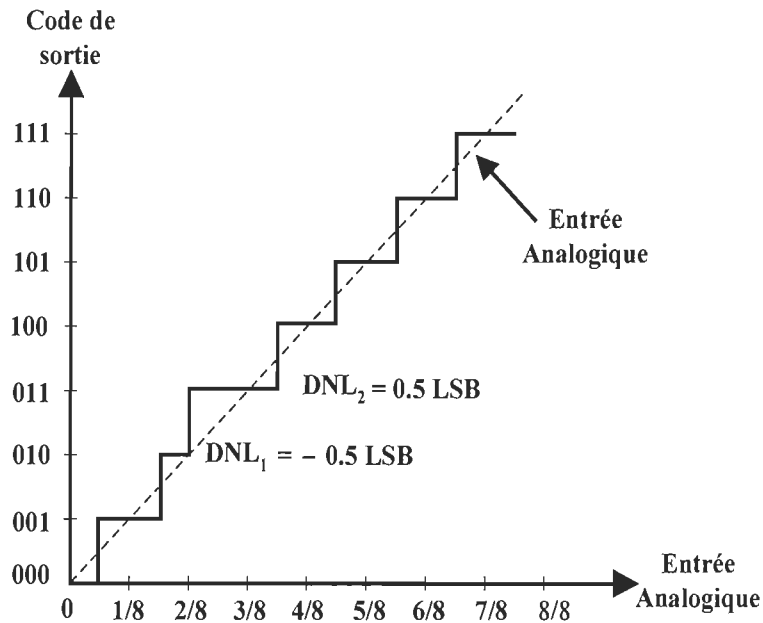


Figure 2.5 : Exemple de mesure du DNL d'un CAN à 3 bits.

### 2.2.3 Erreur de Non-linéarité intégrale

La Non-linéarité intégrale (*INL – Integral Non Linearity*) est une mesure cumulative en ce sens qu'elle est l'intégrale de l'erreur de DNL, par conséquent, un bon INL garantit un bon DNL [BAK05]. Ce paramètre indique à quelle distance la valeur idéale de la fonction de transfert se situe par rapport à celle mesurée sur le convertisseur. L'INL spécifie aussi la marge d'erreur permise dans un CAN. Comme rapporté dans la littérature, cette marge d'erreur peut être de  $\pm 0.5$  LSB ou  $\pm 1$  LSB. Supposons un  $INL \leq \pm 1$  LSB, la précision dans un CAN à 10 bit sera de 0.048%. Tout comme le DNL, l'erreur d'INL se détériore sous l'effet des facteurs énoncés précédemment. Ces deux paramètres constituent un des critères primordiaux dans la sélection d'un CAN-AS. La figure 2.6 montre l'exemple de mesure de l'INL dans le cas d'un CAN à trois (3) bits.

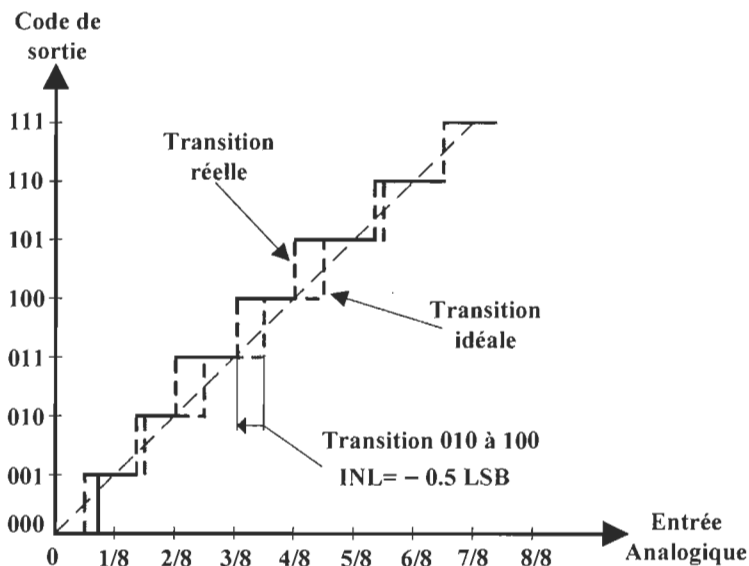


Figure 2.6 : Exemple de mesure de l'INL d'un CAN à 3 bits.

## 2.3 Impact des métriques de performances dynamiques sur une architecture du CAN-AS

Les paramètres dynamiques d'un CAN-AS permettent de mieux comprendre sa réponse à haute fréquence, spécialement quand le signal d'entrée atteint une certaine amplitude pleine échelle.

### 2.3.1 Impact du rapport signal sur bruit dans un CAN-AS

Le rapport signal sur bruit (S/B) révèle où la plage du bruit se situe dans un CAN. Un bon S/B est toujours ce qu'on recherche lorsqu'on conçoit un CAN, mais on est souvent confronté à certaines erreurs qui viennent détériorer cette valeur. Dans une architecture de CAN-AS, il y a plusieurs sources de bruit parmi lesquels on a le bruit de quantification introduit par le CNA et le comparateur, le bruit thermique associé aux résistances et capacités, le bruit associé à l'échantillonneur bloqueur (E/B) et le bruit venant du milieu externe par exemple, la source d'alimentation du circuit. Dans le cas d'un E/B, il faut s'assurer que le signal échantillonné soit le moins bruité possible et

n'oscille pas au-delà de  $\frac{1}{2}$  LSB. La contribution en bruit associée à ces facteurs affecte le bon fonctionnement des éléments de base qui constituent un CAN.

### ***2.3.2 Autres paramètres dynamiques associés au CAN-AS***

Le rapport signal sur bruit plus distorsion (S/B+D) est une fonction de la fréquence d'entrée. Elle permet d'identifier la fréquence maximale d'opération du circuit d'autant plus que la performance des circuits se dégrade considérablement au fur et à mesure que l'on s'approche de la fréquence de Nyquist (fréquence égale au double de la fréquence maximale du système [BAK05]). Le nombre effectif de bit (*ENOB – Effective Number Of Bits*) est une autre spécification qui nous informe sur la non-linéarité du CAN-AS.

Nous avons aussi des contraintes telles que l'injection de charges et l'erreur d'horloge qui proviennent de l'E/B. Ce dernier est généralement utilisé comme étage d'entrée dans un CAN afin de faciliter les exigences de temps, et comme étage de sortie dans un CNA pour supprimer les impulsions non désirées.

### ***2.3.3 Impacts liés au régulateur de tension***

Le circuit de régulation en tension représente aussi une source d'erreurs potentielles dans un CAN-AS. L'erreur introduite par ce circuit se résume en trois grands thèmes: la dérive en température, le bruit en tension et le régulateur de charge [BAK05].

Nous avons présenté succinctement le convertisseur analogique numérique à approximations successives et les facteurs qui influencent ses performances. Il en ressort dans un premier temps que tous les éléments constitutifs d'une architecture de CAN-AS, affectent d'une façon ou d'une autre la performance du circuit. Une étude approfondie sur les paramètres statiques et dynamiques ont permis de mieux comprendre l'impact que peut avoir chaque paramètre sur le fonctionnement du CAN.

Dans ce mémoire, nous allons dans la mesure du possible simuler ou mesurer certains de ces paramètres. Le prochain chapitre portera sur les récents travaux effectués au niveau des CAN-AS qui opèrent à basse tension et basse puissance.



## *Chapitre 3*

### *REVUE DE LITTÉRATURE SUR LES CAN-AS*

Aujourd'hui, la plupart des traitements de signaux effectués dans les systèmes électroniques sont numériques, et la performance des CAN qui sont majoritairement utilisés pour interfacer les signaux réels et analogiques au domaine numérique devient de plus en plus primordiale. Le développement rapide observé dans la technologie des circuits intégrés a permis d'améliorer l'efficacité des CAN. Dans le chapitre précédent, nous avons fait une introduction sur les CAN-AS. Cependant, il existe une variété de CAN-AS rangée suivant leur efficacité énergétique. Nous rapporterons les récents travaux qui ont été présentés à ce niveau, tout en explorant les tendances technologiques et quelques limites.

#### **3.1 CAN-AS basé sur les CNA de type R-2R**

Pour une structure de CAN-AS qui a l'avantage principal de requérir moins d'espace, nous avons l'architecture basée sur un CNA qui utilise le réseau de résistances de R-2R. Morteza pour et al. [MOR00], proposent un CAN-AS à 8 bits qui opère à 1 V. Il est constitué d'un E/B comme étage d'entrée, un CNA de type R-2R segmenté en mode courant, un circuit de contrôle et un comparateur basé sur une approche dite mode courant. Le schéma bloc du CNA est décrit à la figure 3.1, il requiert deux amplificateurs opérationnels au niveau de sa sortie. Bien qu'un seul amplificateur opérationnel (amp-op) soit normalement requis, deux amp-op sont plutôt utilisés dans le cas où l'un des amp-op sert à mesurer la performance du CNA [MOR00]. L'amp-op utilisé à la sortie du réseau R-2R sert aussi à réduire le bruit, fixer une grosse impédance à la sortie du R-2R et produire une tension analogique à partir de la résistance  $R_f$ .

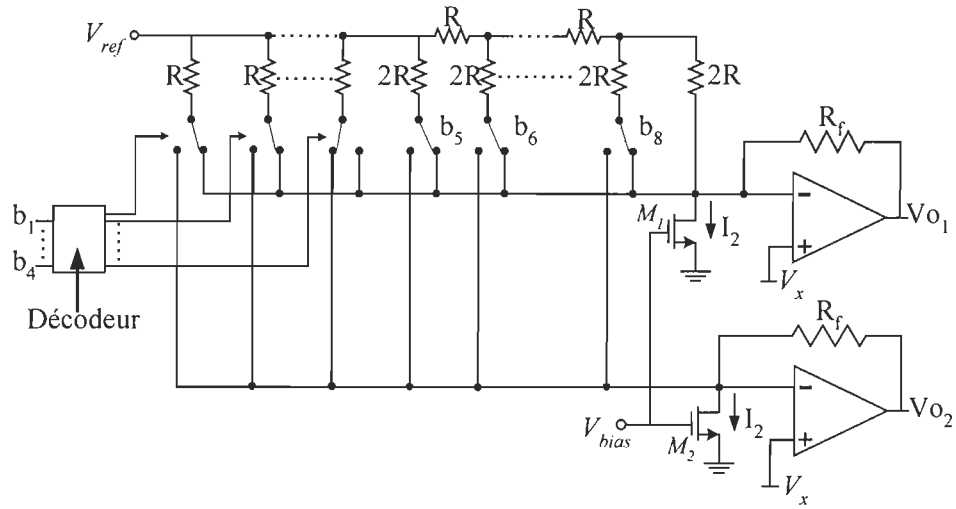


Figure 3.1: Schématique d'un CNA de type R-2R (Tiré de [MOR00]).

Mortezapour et al. [MOR00], proposent un E/B dont le schéma bloc est décrit à la figure 3.2. Le circuit est constitué d'un amp-op, des résistances, commutateurs et une capacité.

Quand le commutateur  $S_1$  est fermé, et  $S_2$  ouvert, l'E/B est en mode échantillonnage et le circuit équivalent est un amplificateur en configuration inverseur avec un gain égal à  $-R_2/R_1$ . La capacité de mémorisation  $C_H$  agit dans ce cas comme une capacité de charge pour l'amp-Op. Dans le but d'éradiquer la contrainte imposée par la tension d'alimentation sur l'E/B, les auteurs proposent une technique qui consiste à fixer la tension en mode commun  $V_{icm}$  proche de zéro, soit la tension efficace  $V_{DSSat}$  par exemple. Pour ce faire, un transistor  $M_1$  est connecté à l'entrée négative de l'amp-op et il est contrôlé par une tension de polarisation, de sorte que  $M_1$  ait assez de tension drain-source,  $V_{DS}$ , pour opérer comme une source de courant. L'expression du courant fournit par  $M_1$  peut être approximée par [MOR00]

$$I_1 = \left( \frac{V_{DD}}{2} - V_{icm} \right) \left( \frac{1}{R_2} + \frac{1}{R_1} \right) \quad (3.1)$$

L'un des avantages de cette technique est que la tension d'alimentation minimale requise pour faire fonctionner l'E/B est considérablement réduite. Au lieu de  $2*|V_{TH}| + 4V_{DSsat}$  sans courant  $I_1$ , on a plutôt une valeur approximée à  $|V_{TH}| + 3 V_{DSsat}$  avec le courant  $I_1$ . Notons dans ce cas que la paire d'entrée différentielle est constituée de transistor pMOS et la source de courant est un transistor nMOS. Advenant que la paire d'entrée différentielle soit formée de transistors nMOS et la source de courant par un transistor pMOS, alors  $V_{icm}$  devrait être fixée autour de  $V_{DD}$ .

Quand le  $S_1$  est ouvert, et  $S_2$  fermé, le signal prélevé est maintenant disponible au nœud de sortie. Le bruit moyen présent dans le signal échantillonné a été estimé dans [MOR00]. La technique du hacheur n'a pas été utilisée pour réduire le bruit.

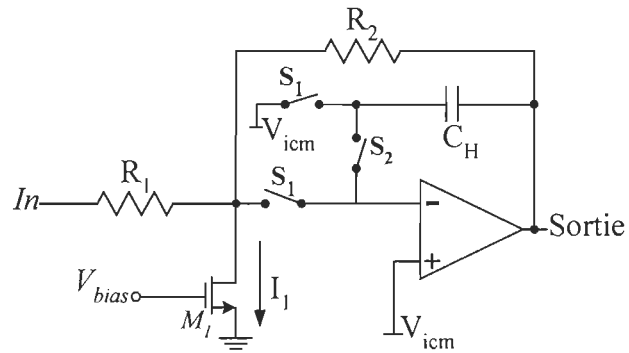


Figure 3.2: Schématique du circuit d'E/B (tiré de [MOR00]).

Les auteurs proposent aussi un comparateur à verrou utilisant une approche dite mode courant telle que décrite à la figure 3.3.



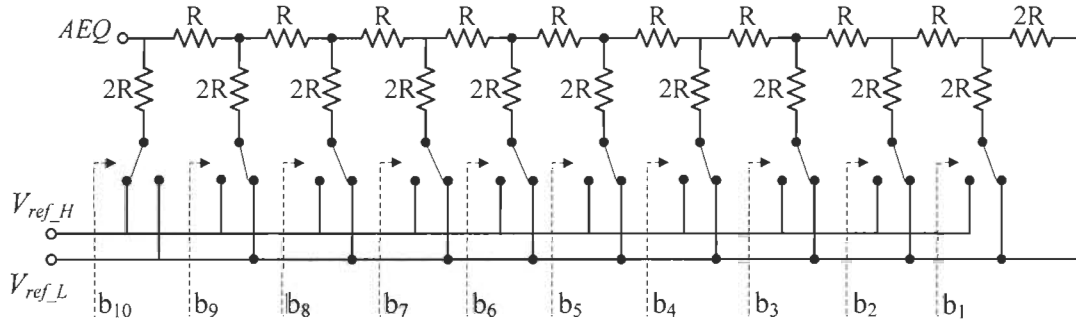


Figure 3.4: CNA traditionnel en mode tension (Tiré de [FAY01]).

Au niveau de l'étage d'entrée, les auteurs proposent un E/B réalisé à partir d'un simple transistor. Le schéma bloc de l'E/B est présenté à la figure 3.5, il est constitué d'un transistor pMOS en série avec un autre transistor pMOS en configuration dummy.

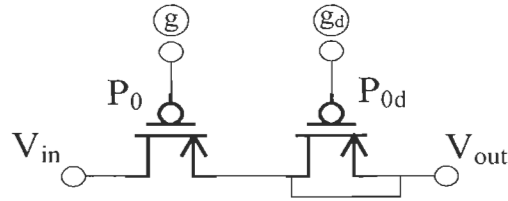


Figure 3.5: Circuit d'un échantillonneur bloqueur (Tiré de [FAY01]).

Étant donné la réduction de la plage d'entrée liée à l'utilisation d'une petite tension d'alimentation, les auteurs utilisent la technique de commutation amorcée (bootstrapped) pour surmonter cette limite. Elle consiste à produire des signaux de contrôle dont la plage d'amplitude se situe au-delà de la limite supérieure et inférieure de la tension d'alimentation initiale. La figure 3.6(a) décrit le circuit de contrôle du commutateur pMOS proposé tandis que, le commutateur dummy amorcé est présenté à la figure 3.6(b). L'usage du transistor pMOS est dû à sa conductance qui est relativement constante et sa charge du canal  $Q_{CH}$ , qui est indépendante du signal d'entrée [FAY01].

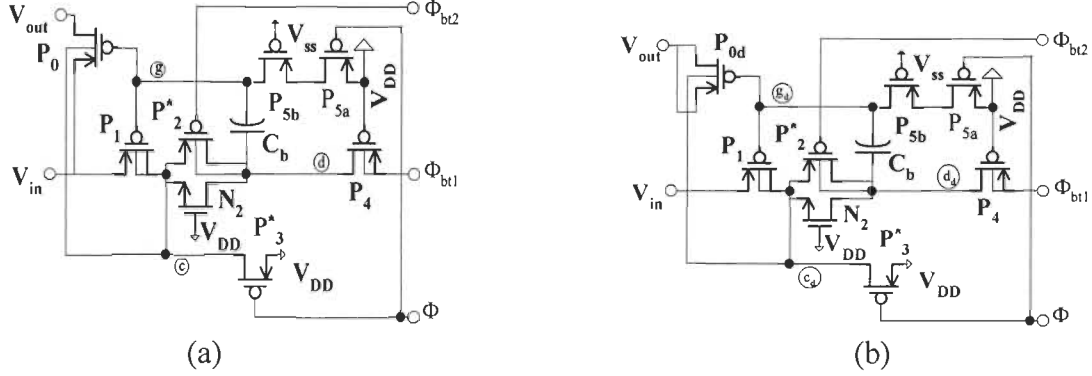


Figure 3.6: Schématique de l'E/B (Tiré de [FAY01]): (a) Commutateur amorcé à compensation et (b) Commutateur dummy amorcé.

Au niveau du comparateur, une architecture à entrée pleine échelle a été proposée. Telle que décrite dans [FAY08], le circuit à deux étages; Un étage d'entrée différentielle ayant deux paires complémentées de transistors (nMOS/pMOS) en parallèle et un verrou régénératif. Bien qu'ayant une entrée pleine échelle, l'architecture proposé par [FAY08], est sujette à une grande tension de décalage ce qui peut fortement affecter la performance du comparateur. Par ailleurs, la plage de fonctionnement de cet étage d'entrée varie, ceci dépendamment du niveau du signal d'entrée. Puisque la transconductance totale  $g_m$ , de la paire d'entrée différentielle varie à travers la gamme d'entrée en mode commun, le délai du comparateur pourrait varier [CHU99]. Fayomi et al. [FAY01] proposent un différentiateur de courant qui permet de contrôler  $g_m$ . En conséquence, on a une paire différentielle complémentée avec un  $g_m$  constant. Le circuit proposé dans le second étage est similaire à celui présenté dans [YUK85].

### 3.2 CAN-AS basé sur un CNA à diviseur de courant

Le CAN-AS basé sur un CNA à diviseur de courant est une architecture de circuit qui fut d'abord introduit par McCreary et al [McC75]. Au niveau du CNA, une nouvelle

topologie a été proposée par Fayomi et al. [FAY01]. Le schéma bloc est illustré à la figure 3.7.

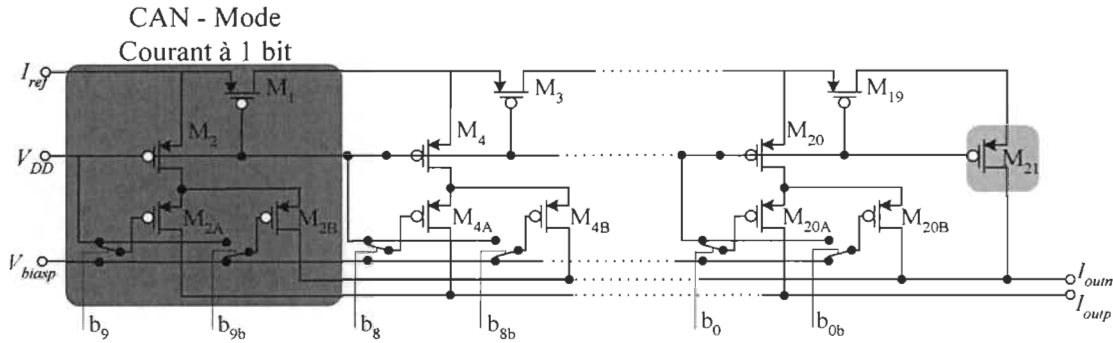


Figure 3.7 : CNA à mode courant basé uniquement sur les transistors de type pMOS (Tiré de [FAY01]).

Le mode d'opération est basé sur le principe de division du courant linéaire [BUL92]. L'exigence de la tension de sortie dicte le choix des transistors pMOS à la place des nMOS [FAY01]. Étant donné qu'on prélève le courant en sortie, la présence d'un convertisseur de courant est nécessaire avant de relier le tout au comparateur. Pour ce faire, les auteurs proposent un amp-Op ayant une entrée et sortie qui réalise une opération de classe AB, c'est-à-dire pleine échelle. Le schéma bloc est illustré à la figure 3.8.

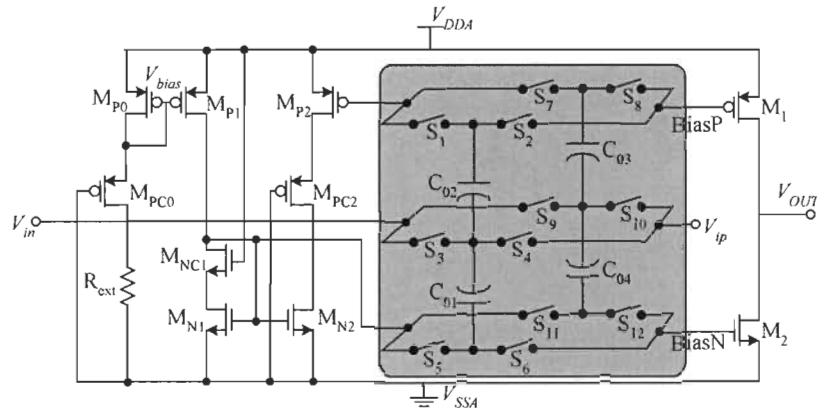


Figure 3.8 : Schématique d'un Amp-op à basse tension utilisé pour convertir le courant en tension (Tiré de [FAY01]).

Cette architecture est limitée par sa grande dissipation d'énergie, ce qui la rend moins attractive pour des applications qui opèrent à basse tension.

### 3.3 CAN-AS basé sur un CNA capacitif

Le CAN-AS basé sur un CNA à capacités pondérées en binaire est une architecture de CAN très efficace en termes de dissipation d'énergie. Il est dédié aux systèmes à résolution et vitesse moyennes. McCreary et al. [McC75], introduisent une architecture de CAN-AS basé sur la technique de distribution de charges ou transfert de charges. Le schéma bloc du CNA est décrit à la figure 3.9.

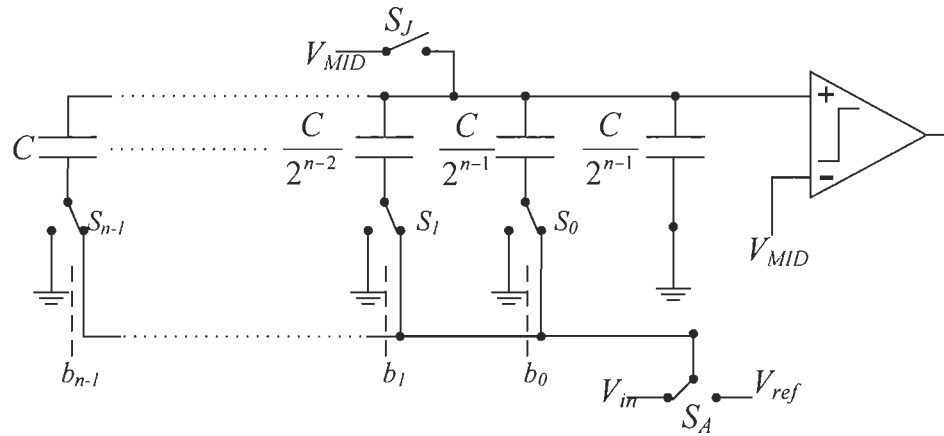


Figure 3.9 : Schématique du CNA à réseau de capacités pondérées en binaire (Tiré de [McC75]).

Le C-CNA est suivi d'un comparateur qui produit un niveau logique '1' ou '0'. Les capacités placées en parallèle sont pondérées de façon binaire. Leur pondération va de  $C$ ,  $C/2$ ,  $C/4$ ,  $C/8$ , jusqu'à  $C/2^{n-1}$ ,  $n$  représente le nombre de bits et  $C$ , la capacité unitaire.  $V_{in}$  est la tension d'entrée,  $V_{ref}$  est la tension de référence soit,  $V_{DD}$  tandis que,  $V_{MID}$  est la tension à mi-échelle, soit  $\frac{1}{2} V_{DD}$  ou 0. La somme totale des capacités dans le réseau est égale à  $2C$ . Comme nous pouvons le constater, la différence fondamentale consiste à manipuler les charges au lieu des courants tels que présenté dans un CNA de type R-2R.



Ce faisant, le circuit du C-CNA devient très attrayant car la consommation du courant statique est presque nulle, mais il requiert une grande surface.

Dans le but de décrire le processus de redistribution des charges, nous allons considérer le cas d'un C-CNA à 2 bits ( $b_1$  et  $b_0$ ), tel qu'illustré à la figure 3.10, où  $C_{MSB}$  est la capacité du bit le plus significatif et correspond à la plus grosse capacité dans le réseau.

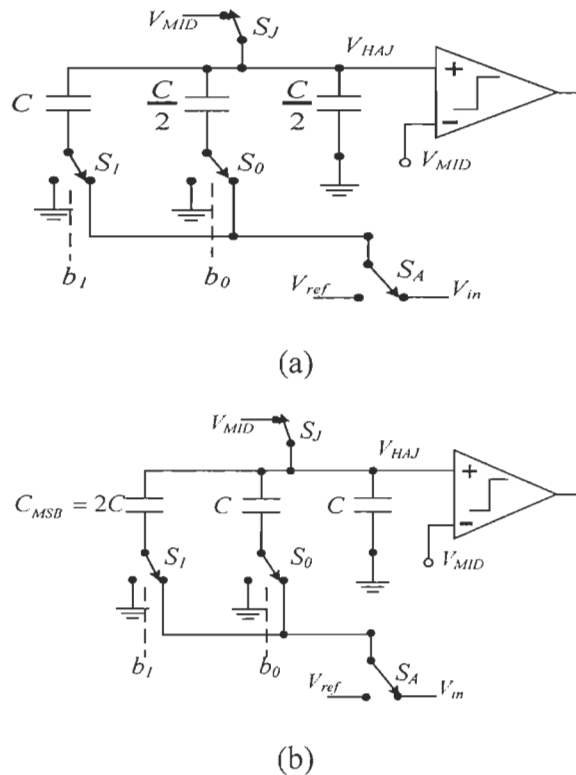


Figure 3.10 : Circuit équivalent d'un réseau conventionnel de capacités pondérées en binaire à 2 bits durant le mode échantillonnage : (a) Circuit lorsque  $C_{MSB}=C$  et (b) lorsque  $C_{MSB}=2C$ .

Le processus d'échantillonnage est inhérent dans l'architecture présentée ci-dessus, en conséquence, elle ne requiert pas un E/B. La conversion d'un mot numérique en une tension analogique équivalente nécessite trois mode d'opérations à savoir; le mode échantillonnage, le mode maintien en attente et le mode redistribution.

**Dans le mode échantillonnage** tel que présenté à la figure 3.10, le commutateur  $S_J$  est fermé, les plaques du haut du réseau de capacités sont connectées à  $V_{MID}$  qui est la tension en mode commun. Le commutateur  $S_A$  est relié au signal d'entrée  $V_{in}$ , ce qui permet de connecter les plaques du bas à  $V_{in}$ . La tension d'entrée est ainsi échantillonnée sur le nœud  $V_{HAJ}$ . Une quantité de charges proportionnelle à la tension d'entrée  $V_{in}$  est ainsi stockée sur les plaques du haut de la chaîne de capacités. Cette charge peut s'exprimer à partir de l'équation (3.3)

$$Q_{in} = 2C_{eq}(V_{MID} - V_{in}) \quad (3.3)$$

où  $C_{eq}$  est la capacité totale équivalente,  $V_{in}$  est la tension d'entrée et  $V_{MID}$ , tension égale à  $\frac{1}{2} V_{DD}$  ou 0.

**Dans le mode maintien ou attente**, comme illustré à la figure 3.11, on déconnecte le commutateur  $S_J$  de  $V_{MID}$  et  $S_A$  est connecté à la tension de référence  $V_{ref}$ . Au niveau des capacités, toutes les plaques du bas du réseau de capacités se retrouvent connectées à la masse. L'application du principe de la conservation de charge permet de constater que la tension au niveau des plaques supérieures est maintenant  $V_{MID} - V_{in}$ . En conséquence, le circuit se comporte dans un premier temps comme un E/B.

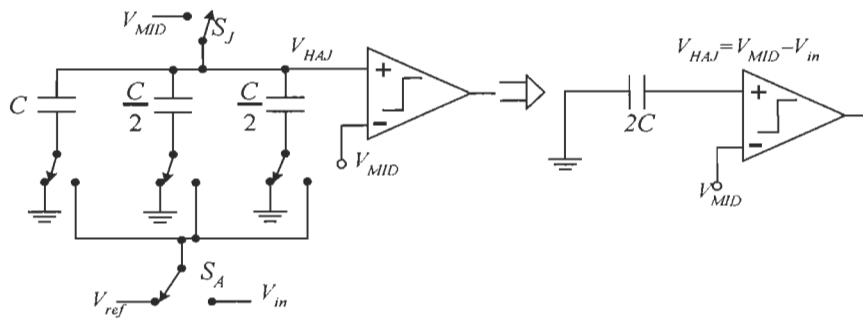


Figure 3.11 : Circuit équivalent du C-CNA: Mode attente.

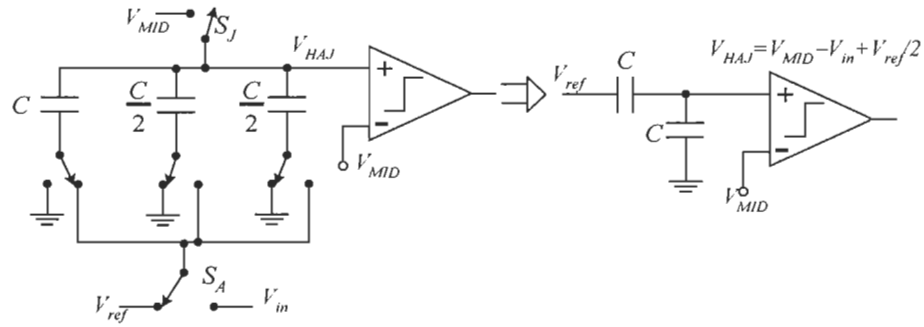


Figure 3.12 : Circuit équivalent du C-CNA: Première étape de conversion.

**Le mode redistribution** représente le début du processus de conversion, tel qu'illustré à la figure 3.12, c'est le premier cycle binaire. Il consiste à vérifier l'état du MSB c-à-d., le bit  $b_1$ . Préalablement,  $b_1$  est mis à '1' et  $b_0$  est mis à '0', ceci grâce à la logique de contrôle. La plaque du bas de la plus grosse capacité,  $C_{MSB}$ , est connectée à  $V_{ref}$  et le reste des plaques du bas sont connectées à la masse. La tension de sortie  $V_{HAJ}$  qui est en partie déterminée par le rapport entre  $C_H$  et  $C_T$ , peut s'exprimer à partir de l'équation (3.4) comme démontré dans [McC75]

$$V_{HJA} = V_{MID} - V_{in} + \frac{C_T}{C_T + C_H} V_{ref} \quad (3.4)$$

où  $C_T$  est la capacité totale connectée à  $V_{ref}$ , et  $C_H$  est la capacité totale connectée à la masse.

$$C_T = \sum_{j=0}^n 2^{j-1} C \text{ Pour } j \text{ avec } S_j = 1 \quad (3.5)$$

$$C_H = \sum_{j=0}^n 2^{j-1} C \text{ Pour } j \text{ avec } S_j = 0 \quad (3.6)$$

De part le principe de fonctionnement d'un CAN-AS, la conversion d'un mot de  $n$  bits nécessitera  $n$  cycles d'horloges. Autrement dit, il s'agit de vérifier l'état de chaque bit jusqu'à la fin de la conversion. En posant  $C_T = C_H$ , la nouvelle expression de  $V_{HAJ}$  devient

$$V_{HAJ}(1) = V_{MID} - V_{in} + \frac{1}{2}V_{ref} \quad (3.7)$$

Nous remarquons que l'entrée positive du comparateur augmente par  $\frac{1}{2} V_{ref}$ .

Le comparateur sert à détecter le niveau de supériorité ou infériorité entre les tensions appliquées sur ses entrées et produit un niveau logique. La sortie du comparateur sera de logique '0' si la tension  $V_{HAJ} < 0$  et de logique '1' si  $V_{HAJ} > 0$ . Cette analogie se résume comme ci-dessous.

Si  $V_{HAJ} > 0$  alors  $V_{in} < \frac{1}{2} V_{ref}$ , comme résultat, le MSB = 1. Par contre, si  $V_{HAJ} < 0$  alors  $V_{in} > \frac{1}{2} V_{ref}$ , comme résultat, le MSB = 0. La sortie du comparateur décide de l'état final du bit à tester. La plaque inférieure de la capacité de MSB reste à  $V_{ref}$  si  $b_2 = 1$ , sinon  $b_2$  prend la valeur '0'. De manière similaire, le prochain MSB est déterminé. Le processus se répète jusqu'à l'identification du bit le moins significatif (LSB) qui marque ainsi la fin du processus conversion. Une expression générale de  $V_{HAJ}$  dans le cas d'un C-CNA à 2 bits peut être approximée par

$$V_{HAJ} = V_{MID} - V_{in} + V_{ref} \left( \frac{b_1}{2^1} + \frac{b_0}{2^2} \right) \quad (3.8)$$

où  $b_1$  et  $b_0$  représentent les valeurs binaires. Jusqu'ici, la méthode conventionnelle de commutation reste simple. Nous allons maintenant évaluer l'énergie consommée durant chaque cycle de conversion. Afin d'alléger les explications, nous utiliserons l'expression transition "montante" pour définir la connexion de la plaque du bas d'une capacité à  $V_{ref}$ , et l'expression transition "descendante" dénote quant à elle la connexion de la plaque du bas à  $V_{SS}$ , tension de référence minimale.

Ginsburg et al. [GIN05], proposent une méthode permettant d'évaluer l'énergie dissipée par le C-CNA durant chaque cycle de conversion. Supposons qu'à l'instant  $t = 0^-$ , la tension d'entrée a été complètement échantillonnée sur le réseau de capacités. À  $t = 0$ , la plaque du bas de la capacité  $C_2$  (capacité de MSB) est connectée à  $V_{ref}$  tandis que le reste des plaques inférieures restent connectées à la masse comme l'illustre la figure 3.13.

Le réseau de capacités est donc chargé à la valeur finale définie tel que donnée par l'équation (3.7). Supposons que  $Q_2$ , quantité de charges transférées au nœud  $V_{HAJ}$  durant le premier cycle binaire, l'énergie totale  $E_{0 \rightarrow 1}$  correspondante à cet effort est définie par [GIN05]

$$E_{0 \rightarrow 1} = \int_{0^+}^{t_1} i_{REF}(t) V_{REF} dt = V_{REF} \int_{0^+}^{t_1} i_{REF}(t) dt \quad (3.9)$$

avec  $i_{REF} = -\frac{dQ}{dt}$

De même,

$$\begin{cases} Q(0^+) = Q(0^-) = 2C_2 [V_{HAJ}(0)] \\ Q_{C_2}(t_1) = [(V_{HAJ}(1) - V_{REF}) - (0 - 0)] \end{cases} \quad (3.10)$$

où  $Q$  représente la quantité de charges fournies par  $V_{ref}$  au C-CNA.

En développant (3.9), nous obtenons

$$\begin{aligned} E_{0 \rightarrow 1} &= -V_{REF} \int_{0^+}^{t_1} \frac{dQ_{C_2}(t)}{dt} dt = -V_{REF} \int_{Q_{C_2}(0^+)}^{Q_{C_2}(t_1)} Q_{C_2} \\ &= -V_{REF} (Q_{C_2}(t_1) - Q_{C_2}(0^+)) \\ &= CV_{REF}^2 \end{aligned} \quad (3.11)$$

En somme, la consommation d'énergie nécessaire pour déterminer l'état de  $b_2$  est  $CV_{ref}^2$ . À la fin du premier cycle binaire, la valeur de la tension telle que donnée par l'équation (3.7) est comparée à la tension  $V_{MID}$ , et une décision est prise par le comparateur. Si  $V_{HAJ} > V_{MID}$ , la sortie du comparateur est '1', en conséquence la plaque inférieure de  $C_{MSB}$  reste connectée à  $V_{ref}$  c.-à-d.,  $b_1 = 1$  et on passe au prochain MSB. Par contre, si  $V_{HAJ} < V_{MID}$ , la sortie est '0' alors, cette plaque est plutôt connectée à la masse, c.-à-d.,  $b_1 = 0$  et aucun transfert de charge n'a lieu en vers  $C_{MSB}$ .

Durant le deuxième cycle binaire, on teste la valeur de  $b_0$ , deux situations se présentent à ce stade. Si  $b_1 = 1$ , on a une transition “montante” et le schéma bloc équivalent du C-CNA est décrit à la figure 3.13

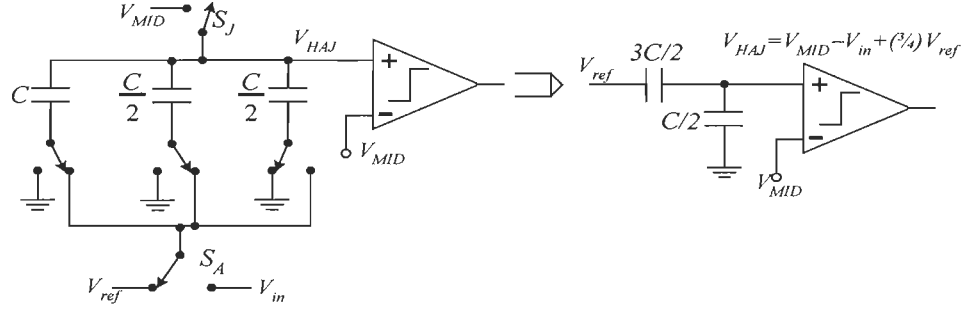


Figure 3.13 : Schéma bloc du C-CNA conventionnel à 2 bits lorsque  $b_1 = 1$ .

La tension  $V_{HAJ}$  devient

$$V_{HAJ}(1) = V_{MID} - V_{in} + \frac{3}{4}V_{ref} \quad (3.12)$$

De même, l'énergie totale dissipée par  $V_{ref}$  durant cette transition s'exprime par l'équation (3.13) comme évalué dans [GIN05]

$$E_{1 \rightarrow 2} = \frac{CV_{ref}^2}{4} \quad (3.13)$$

Dans le même ordre d'idée, si  $b_1 = 0$ , on a une transition “descendante” et la figure 3.14 représente le schéma bloc équivalent

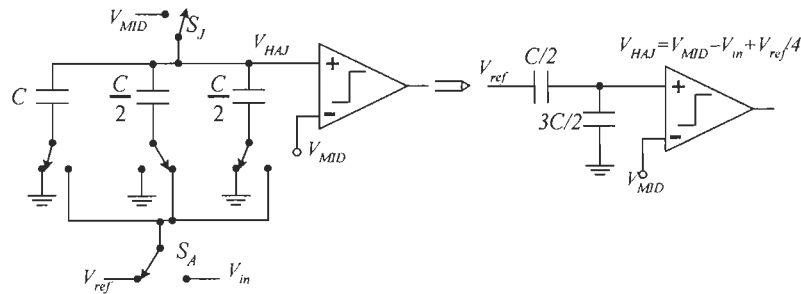


Figure 3.14 : Schéma bloc C-CNA à 2 bits lorsque  $b_1 = 0$ .

L'expression de la tension  $V_{HAJ}$  devient

$$V_{HAJ}(1) = V_{MID} - V_m + \frac{1}{4}V_{ref} \quad (3.14)$$

En outre, l'énergie totale dissipée par  $V_{ref}$  durant cette transition s'exprime par [GIN05]

$$\begin{aligned} E_{1 \rightarrow 2} &= -V_{ref} \left[ \int_{t_0}^{t_1} \frac{dQ_{C_1}}{dt} dt + b_2 * \int_{t_1}^{t_2} \frac{dQ_{C_1}}{dt} dt \right] \\ &= -V_{ref} \left[ (Q_{C_1}(t_1) - Q_{C_1}(t_0)) + 0 \times [(Q_{C_1}(t_2) - Q_{C_1}(t_1))] \right] \quad (3.15) \\ &= \frac{5}{4} CV_{ref}^2 \end{aligned}$$

Nous venons d'estimer la dissipation d'énergie requise pour déterminer l'état des bits  $b_2$  et  $b_1$  par un CNA capacitif [McC75]. Au vue des équations (3.13) et (3.15), nous constatons que l'énergie requise durant la transition "montante" est inférieure à celle requise lors de la transition "descendante". Notons aussi que les deux premiers cycles de conversion consomment beaucoup d'énergie par comparaison aux restes des cycles de conversion [McC75]. Ceci est dû à la taille de la capacité de MSB qui prend plus de temps pour se charger.

Ginsburg et al. [GIN07], proposent un CAN-AS à 5 bits basé sur un CNA à réseau de capacités fragmentées donc le schéma bloc est décrit à la figure 3.15. La technique consiste à fragmenter la capacité de MSB d'un C-CNA conventionnel [McC75] et ensuite, former deux chaînes de capacités en parallèle. La capacité totale du réseau de capacités fragmentées pondérées en binaire (CFPB) reste inchangée, soit  $2^n C_0$ . Cette technique permet de réduire à la fois la consommation d'énergie et la surface occupée par le CNA. L'algorithme de commutation de ces capacités a été amplement détaillé dans [GIN07].

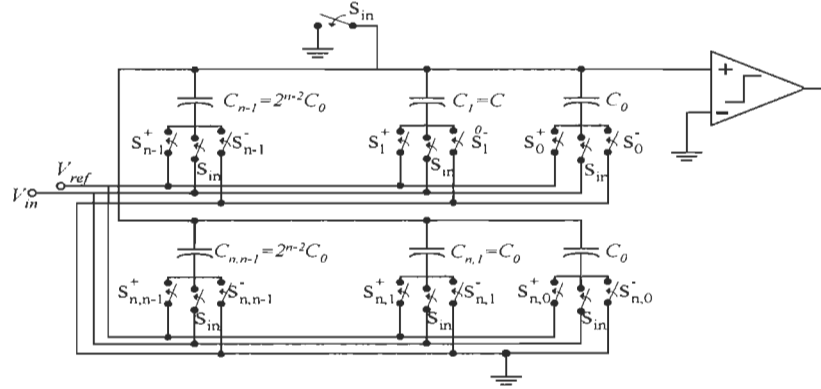


Figure 3.15 : C-CNA à n-bits formé d'un réseau CFPB (Tiré de [GIN07]).

Dans l'optique d'alléger l'estimation de l'énergie requise pour identifier les bits  $b_2$  et  $b_1$ , nous allons considérer un C-CNA à 2 bits tel que présenté à la figure 3.16. La procédure de calcul est identique à celle d'un C-CNA conventionnel. Pendant le premier cycle binaire, c'est-à-dire durant l'identification du bit  $b_2$ , le sous-réseau de MSB,  $C_{2,1}$  et  $C_{2,0}$  sont connectées à  $V_{ref}$ , et le sous-réseau principal est connecté à la masse. La tension de sortie équivaut à l'équation (3.7), et l'énergie dissipée est égale à l'équation (3.11). La figure 3.17 (a) illustre le circuit équivalent. Dans le cas d'une transition "montante",  $C_1$  commute à  $V_{ref}$  et l'énergie consommée est la même que l'équation (3.13), par contre, le processus de commutation diffère durant la transition "descendante". La moitié du sous-réseau de MSB i.e.,  $C_{2,1}$  est connectée à la masse (figure 3.17 (b)), laissant  $C_1$  et  $C_0$  inchangées.

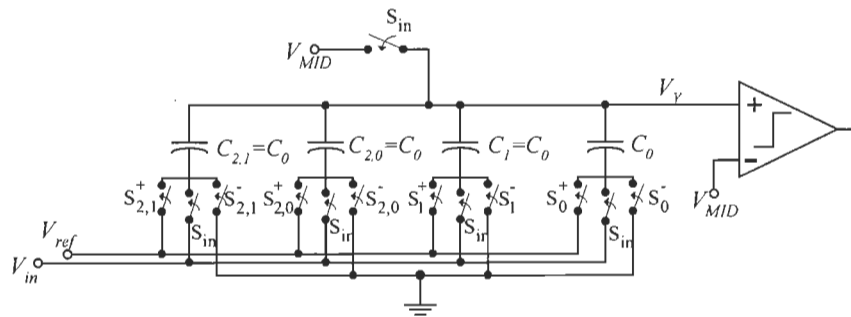


Figure 3.16 : Schéma bloc d'un C-CNA à 2 bits (Tiré de [GIN07]).



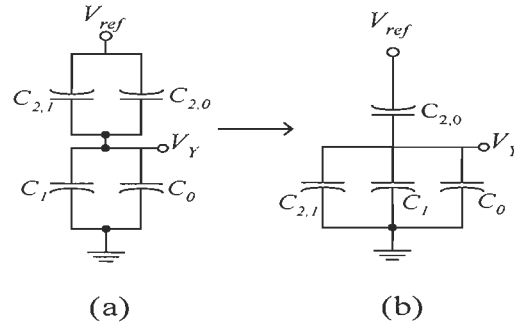


Figure 3.17 : Méthode de commutation du C-CNA (Tiré de [GIN07]): (a) 1<sup>er</sup> cycle binaire et (b) commutation des capacités durant la transition “descendante”.

En somme, la commutation de  $C_{2,1}$  permet d’obtenir une énergie  $E_{1 \rightarrow 2, \text{scindé}}$  qui peut s’exprimer à partir de l’équation (3.16) comme décrite dans [GIN07].

$$E_{1 \rightarrow 2, \text{scindé}} = \frac{CV_{REF}^2}{4} \quad (3.16)$$

Au niveau du comparateur, la topologie est basée sur un verrou régénératif précédé par deux étages d’amplification de mise à zéro automatique telle que détaillée dans [GIN07]. L’étage d’amplification sert à réduire la tension de décalage d’entrée en dessous de  $\frac{1}{4}$  LSB. La technique utilisée au niveau du C-CNA ne nécessite aucune dissipation d’énergie supplémentaire, comparée à celle introduite dans [McC75]. On observe plutôt une amélioration notable côté dissipation de puissance. Cependant, cette technique rend le C-CNA plus sensible aux capacités parasites, ce qui peut par exemple affecter la linéarité du circuit au complet.

Dans le but d’optimiser davantage la dissipation en énergie dans un CNA capacitif, Jeong-Sup et al. [JEO08] ont introduit une chaîne de capacités à jonction fractionnée. Cette technique consiste à mieux disposer les capacités dans un C-CNA conventionnel. La figure 3.18 illustre le cas d’une rangée de capacités à trois (3) bits avec fractionnement de jonction.

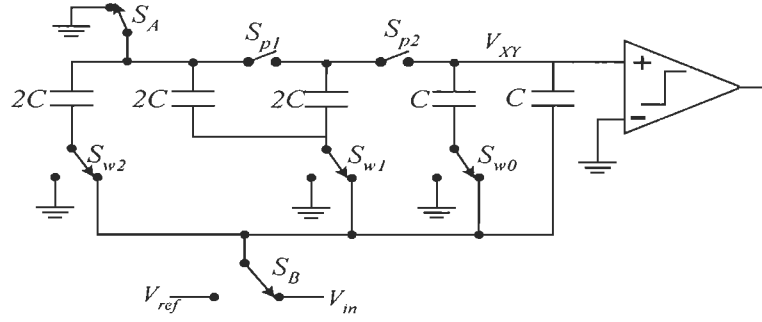


Figure 3.18. : Schéma bloc d'un C-CNA à 3 bits (Tiré de [JEO08]).

Dans la figure 3.18, les capacités sont groupées en section, le nombre total de capacités contenu dans une section est  $2^i C$  où  $i$  est la position occupée par ladite section dans la chaîne. Au niveau de la consommation d'énergie, nous allons tenter de montrer l'effort requis pour déterminer le code de sortie "000" dans les différents cas de figure. Soit  $E_{\text{étape2}}$ ,  $E_{\text{étape1}}$ , et  $E_{\text{étape0}}$ , respectivement les énergies associées à l'identification des bits  $b_2$ ,  $b_1$  et  $b_0$ .

Dans le cas du processus de transition des commutateurs dans le C-CNA conventionnel à 3 bits, tel que décrit à la figure 3.19(a), l'énergie associée à chaque étape peut s'exprimer à partir de l'équation (3.17), comme présentée dans [JEO08].

$$\begin{cases} E_{\text{étape2}} = -V_{\text{ref}} 4C_0 \left( -\frac{1}{2} V_{\text{ref}} - 0 \right) = 2C_0 V_{\text{ref}}^2 \\ E_{\text{étape1}} = -V_{\text{ref}} 2C_0 \left( -\frac{3}{4} V_{\text{ref}} - \frac{1}{2} V_{\text{ref}} \right) = \frac{5}{2} C_0 V_{\text{ref}}^2 \\ E_{\text{étape0}} = -V_{\text{ref}} C_0 \left( -\frac{3}{8} V_{\text{ref}} - \frac{3}{4} V_{\text{ref}} \right) = \frac{9}{8} C_0 V_{\text{ref}}^2 \end{cases} \quad (3.17)$$

L'énergie totale est donc  $E_T = 45/8 C_0 V_{\text{ref}}^2$ . Cependant, la méthode décrite à la figure 3.19(b) permet une nette amélioration, au détriment de la performance. L'énergie consommée dans chaque cycle binaire peut s'exprimer à partir de l'équation (3.18) telle que présentée dans [JEO08].

$$\begin{cases} E_{\text{étape 2}} = \frac{1}{2} C_0 V_{\text{ref}}^2 \\ E_{\text{étape 1}} = \frac{1}{4} C_0 V_{\text{ref}}^2 \\ E_{\text{étape 0}} = \frac{1}{8} C_0 V_{\text{ref}}^2 \end{cases} \quad (3.18)$$

où l'énergie totale est  $E_T = 7/8 C_0 V_{\text{ref}}^2$ , ce qui représente moins d'un septième ( $1/7^{\text{ème}}$ ) de l'énergie requise dans un C-CNA conventionnel. Cette différence s'explique en partie grâce à la méthode de commutation. Dans l'approche présentée à la figure 3.19 (b), tous les commutateurs ne commutent pas durant le  $2^{\text{ème}}$  cycle ou mode de redistribution, cela signifie que si  $b_2 = 0$ , la capacité de MSB ne retournera pas à la masse contrairement au cas d'un C-CNA conventionnel [McC75]. L'énergie requise dans chaque cycle est alors déterminée par l'état final du circuit. Bien qu'elle soit avantageuse, cette technique n'améliore pas vraiment les performances de DNL et INL.

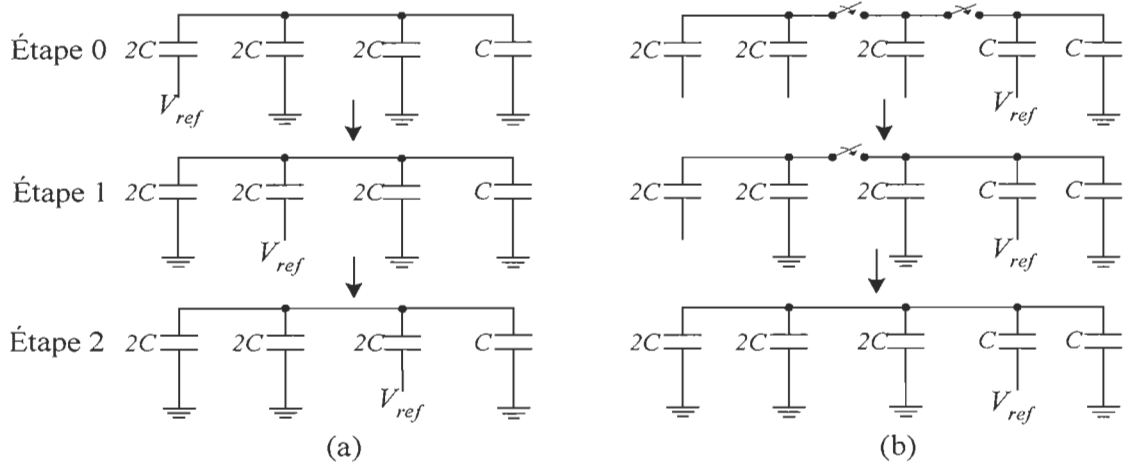


Figure 3.19 : Transition des commutateurs pour l'identification du code 000: (a) C-CNA conventionnel à 3-bits et (b) C-CNA à 3 bits avec des capacités à jonctions fractionnées (Tiré de [JEO08]).

Baker [BAK05], propose une architecture du CNA basé sur un réseau fractionné de capacités telle que décrite à la figure 3.20. La technique consiste à grouper les

capacités de LSB d'un côté et les MSB d'un autre côté, ensuite relier les deux blocs par une capacité d'atténuation. Une telle structure permet de réduire la consommation d'énergie au niveau du C-CNA comparé à celle proposée dans [McC75]. La valeur de la capacité d'atténuation peut être estimée à partir de l'équation (3.19) [BAK05].

$$C_{atténuation} = \frac{\text{Somme des capacités dans la rangée de LSB}}{\text{Somme des capacités dans la rangée de MSB}} C \quad (3.19)$$

où  $C_{atténuation}$  est la capacité d'atténuation et  $C$  la capacité unitaire.

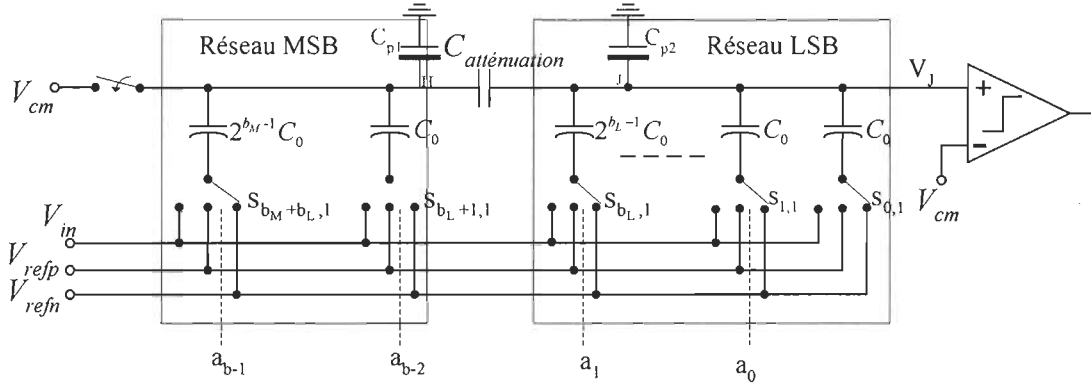


Figure 3.20 : Schéma bloc d'un CNA à charges pondérées utilisant une capacité d'atténuation (Tiré de [BAK05]).

Bien que cette structure permette de réduire la surface comparée au C-CNA conventionnel, la détermination de la valeur exacte de  $C_{atténuation}$  reste un inconvénient majeur. En plus d'être un nombre fractionnaire, il est difficilement contrôlable durant le dessin des masques. Une structure similaire a été introduite par Abdelhalim et al. [ABD07], la capacité d'atténuation est simplement remplacée par une capacité réglable dont le schéma bloc est illustré à la figure 3.21.

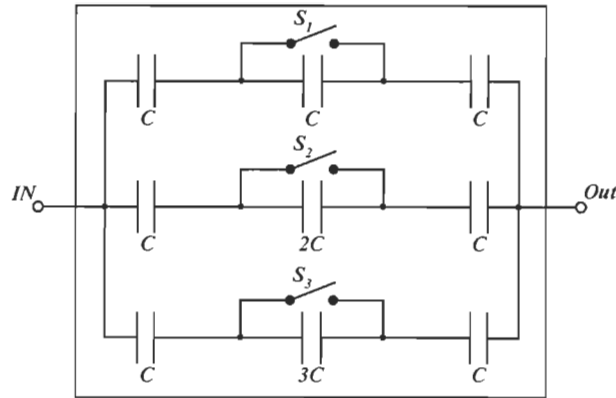


Figure 3.21 : Schéma bloc d'une capacité réglable (Tiré de [ABD07]).

L'utilisation d'une capacité réglable facilite l'appariement entre toutes les capacités du réseau, et surmonte le problème lié sur la valeur de  $C_{\text{atténuation}}$ . Cette technique s'est aussi avérée contraignante. Anges et al. [AGN08] ont proposé un CAN-AS à 12 bits de résolution, basé sur un C-CNA similaire à [BAK05], mais qui utilise deux capacités d'atténuation  $C_{x1}$  et  $C_{x2}$ . La technique consiste à éviter des valeurs fractionnaires au niveau de  $C_{\text{atténuation}}$ , pour ce faire, les deux capacités d'atténuation sont fixées à  $C_U$ , la capacité unitaire. Le schéma bloc est d'ailleurs illustré à la figure 3.22.

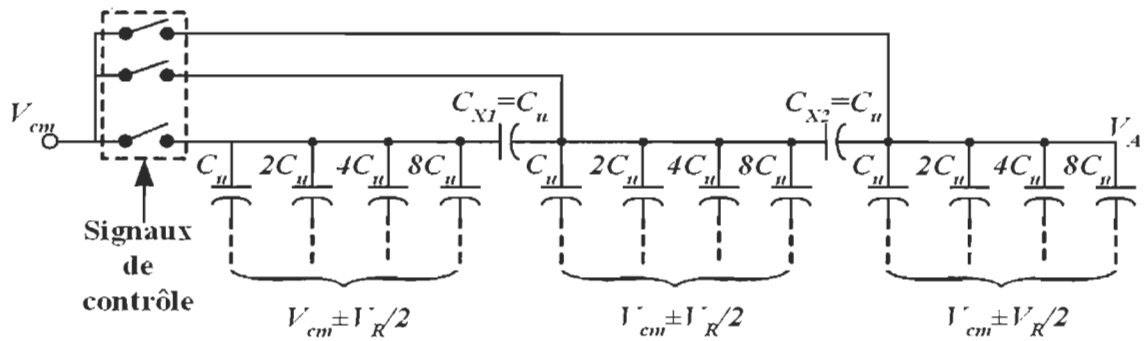


Figure 3.22 : C-CNA avec deux capacités d'atténuation (Tiré de [AGN08]).

Cette approche permet de réduire l'erreur liée à l'appariement des capacités comparé à aux approches proposées dans [BAK05] et [ABD07]. Par ailleurs, une nouvelle architecture de comparateur a aussi été proposée afin de réduire considérablement la

consommation en puissance. La cellule qui génère l'impulsion est décrite à la figure 3.23 tandis que le schéma bloc du comparateur est présenté à la figure 3.24(a).

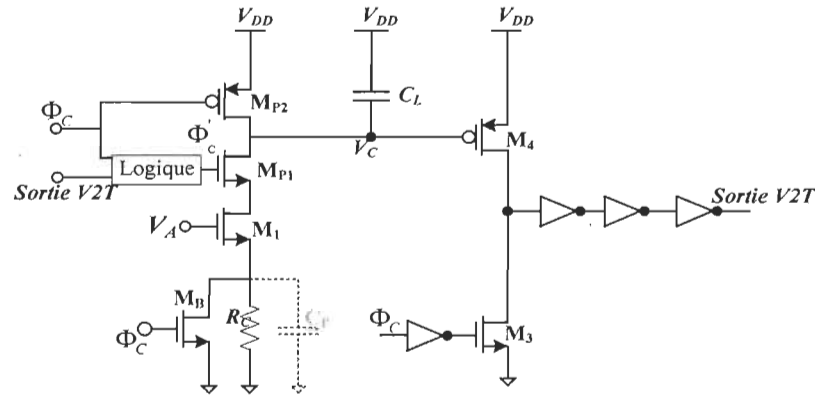


Figure 3.23 : Schéma bloc de la cellule tension-temps (Tt) (Tiré de [AGN08]).

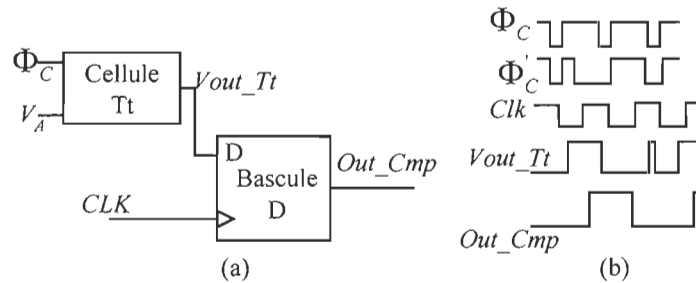


Figure 3.24 : Schématisation du comparateur (Tiré de [AGN08]): (a) Bloc comparateur à domaine temporel et (b) diagramme temporel.

Communément appelé comparateur à domaine temporel, le circuit décrit à la figure 3.24 (a) transforme le signal d'entrée  $V_A$  en une impulsion dont la durée est comparée avec la demie période du signal d'horloge, et le bascule D produit un niveau logique correspondant. Au niveau de la cellule Tt, lorsque le signal  $\Phi_C$  est de niveau bas, le transistor  $M_{P2}$  décharge la capacité  $C_L$ . Pendant ce temps, le transistor  $M_1$  décharge complètement la capacité parasite  $C_P$  afin de s'assurer qu'aucun résultat issu de la précédente conversion ne soit stocké en mémoire. Quand  $\Phi_C$  augmente progressivement vers le niveau haut, le transistor  $M_{P1}$  commence à conduire et la source de courant formée

par le transistor  $M_1$  et la résistance  $R_C$  charge  $C_L$ . La sortie,  $Out\_Cmp$ , passe au niveau haut lorsque la tension au nœud  $V_C$  devient assez significative pour activer la conduction du transistor  $M_4$ . Comme décrite à la figure 3.24(b), la sortie du comparateur est valide sur le front montant du signal d'horloge CLK. Le signal,  $V_{out\_Tt}$ , subit plusieurs variations, ce qui constitue une limite liée à cette technique. Bien que la technique de conception proposée dans [AGN08] se veut très économique en dissipation d'énergie, elle rend tout de même le C-CNA très vulnérable aux capacités parasites, en conséquence, le signal  $V_A$  va se détériorer. Yan Zhu et al. [YAN08], proposent une autre structure de C-CNA dédiée au CAN-AS qui opère à basse tension. L'approche utilisée consiste à prendre la capacité de MSB du C-CNA conventionnel [BAK05], fragmenter cette capacité en sous réseau parallèle de capacités pondérées en binaire pour former deux réseaux de MSB superposés. Le reste du réseau est simplement dupliqué en deux. Ils sont empilés pour former une nouvelle structure de C-CNA comme l'illustre la figure 3.25. On parlera donc d'un réseau en série de capacités fractionnées (SCF). Dans le cas d'un 8 bits, la capacité totale du C-CNA est  $256C_0$ , tandis que celle du réseau SCF est  $46C_0$ , soit une réduction significative en termes de surface. Cette technique a comme conséquence l'augmentation de la valeur de  $C_{atténuation}$ , et sa capacité équivalente,  $C_{eq}$ , peut s'exprimer à partir de l'équation (3.20) telle que démontrée dans [YAN08].

$$\begin{cases} C_{eq} = 2C_{atten} // 2C_{totalLSB} = 2C_0 \\ C_{totalLSB} = 2^{b_L+1} C_0 \\ C_{totalMSB} = \sum_{n=1}^{b_M-1} 2^n C_0 \end{cases} \quad (3.20)$$

où  $C_{totalMSB}$  et  $C_{totalLSB}$  sont respectivement la capacité totale de MSB et LSB dans la chaîne. Outre l'avantage en économie d'énergie, la présence des capacités parasites  $C_{p2}$  et  $C_{p2}$  aux nœuds H et J constitue néanmoins un inconvénient majeur, ce qui peut détériorer la tension désirée à la sortie du C-CNA. Par ailleurs, l'erreur relative liée à la valeur  $C_{atténuation}$  représente une limite dans l'appariement des capacités.

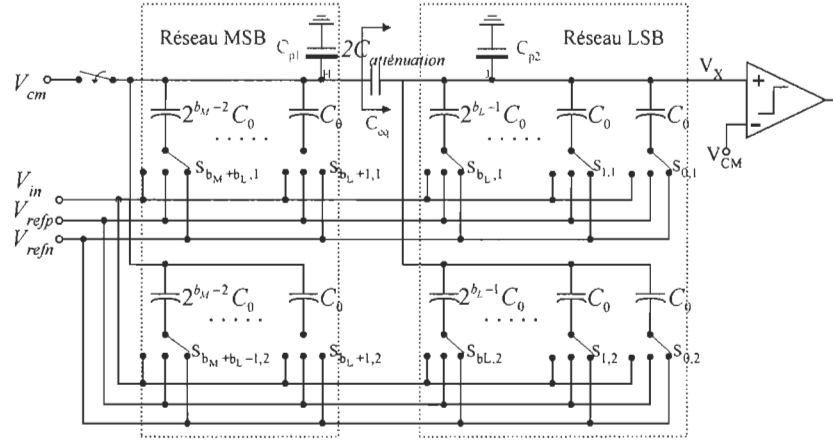


Figure 3.25 : C-CNA basé sur un réseau en série de capacités fractionné en ( $b_M + b_L$ ) (Tiré de [YAN08]).

Ce circuit a été utilisé dans un CAN-AS et les résultats de simulation ont démontré que le C-CNA basé sur un réseau en série de capacités divisées [YAN08] est meilleur comparé au C-CNA proposé dans [BAK05]. En outre, la logique numérique a été modifiée afin de parfaire une bonne commutation des capacités. D'autres techniques de conception ont été rapportées dans la littérature, c'est le cas de l'approche proposée par Guan-Ying et al. [GUA09]. Pour un CAN-AS à 10 bits de résolution, la capacité d'échantillonnage est généralement autour de 10 à 20 pF. Les auteurs proposent alors un CAN-AS à 10 bits avec une petite capacité d'entrée, soit 1.2 pF. Le schéma bloc du circuit et le diagramme temporel sont décrits à la figure 3.26. L'architecture est complètement pleine échelle et les signaux d'entrée peuvent être négatifs ou positifs.



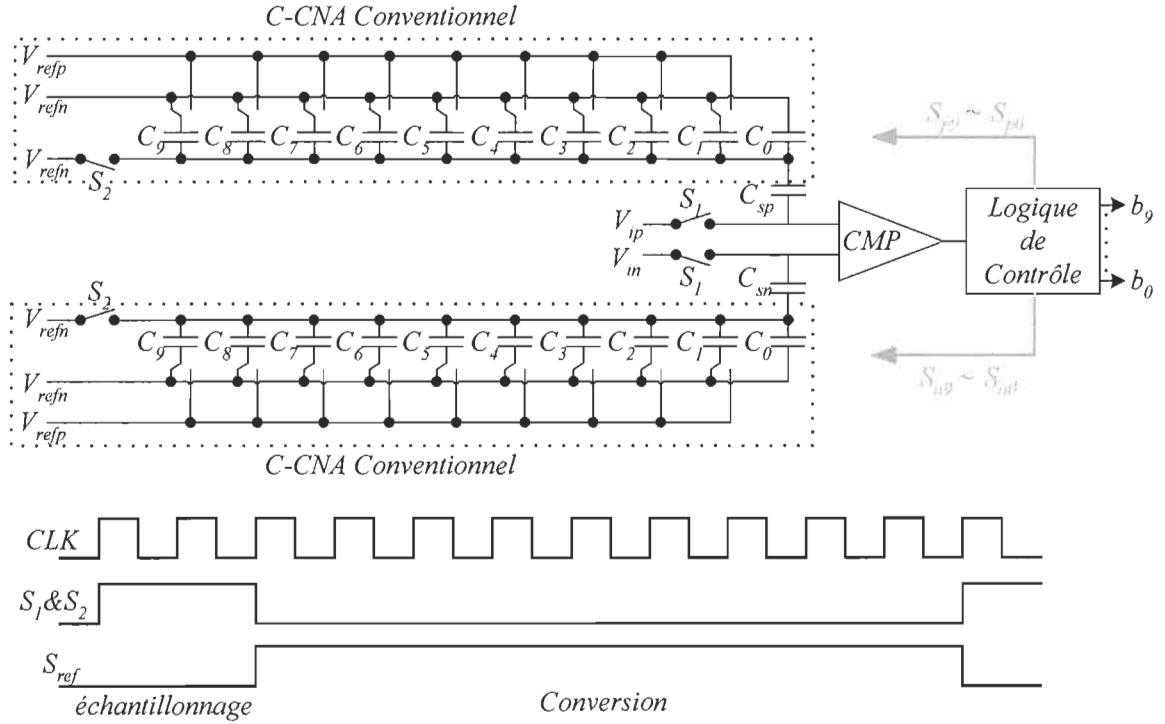


Figure 3.26 : Schéma bloc du C-CNA à basse capacité d'entrée et son diagramme de temps (Tiré de [GUA09]).

Les capacités d'échantillonnage,  $C_{sp}$  et  $C_{sn}$ , sont respectivement connectées entre le commutateur  $S_1$  et la plaque supérieure du réseau de capacités. Cette façon de procéder permet de réduire la capacité équivalente associée aux différentes entrées du comparateur. Afin d'éviter toute erreur de linéarité au niveau des commutateurs, un circuit doubleur d'horloge a été utilisé de façon à toujours obtenir un signal de contrôle d'amplitude égale à  $2V_{DD}$  pour contrôler  $S_1$  et  $S_2$ . La technique de commutation des capacités reste tout de même identique à celle présentée dans [McC75]. Une technique similaire a été employée par Liu et al. [LIU09], l'accent a été mis sur la séquence de commutation des capacités. L'architecture de CAN-AS proposée ici a une résolution d'au plus 6 bits. Contrairement aux topologies et techniques de conception présentées jusqu'ici, Lotfi et al. [LOT09], ont proposé une approche qui requiert deux sources

d'alimentations pour faire fonctionner le CAN-AS au complet. Le schéma bloc du CAN-AS décrit à la figure 3.27.

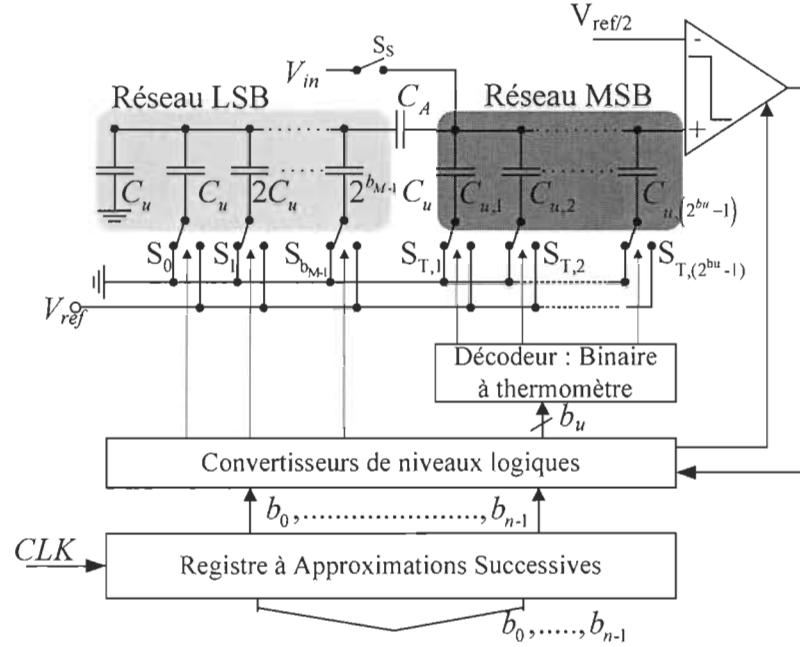


Figure 3.27 : Schématique d'un CAN-AS basé le C-CNA (Tiré de [LOT09]).

Au niveau du C-CNA, les auteurs utilisent la topologie présentée dans [BAK05], mais la technique de commutation des capacités est complètement différente. Au lieu de commuter tout le réseau de capacités par des valeurs binaires, les auteurs proposent plutôt de scinder le processus de commutation en deux groupes. Le réseau de LSB, relié aux commutateurs  $S_0$  à  $S_{b_M-1}$  est pondéré en binaire tandis que, le réseau de MSB, relié aux commutateurs  $S_{T,1}$  à  $S_{T,(2^{b_u}-1)}$  est pondéré en unaire. Ce qui permet de réduire la consommation d'énergie. Un décodeur binaire à thermomètre dont le schéma bloc est illustré à la figure 3.27, sert à produire des codes unaires. Au niveau de l'alimentation, le comparateur et la logique de contrôle sont alimentés à 0.5 V tandis que, le reste du circuit fonctionne à 1 V. Étant donné que les signaux de contrôle fournis par le bloc numérique varient entre 0 et 0.5 V, un convertisseur de niveau logique a été placé entre le C-CNA et

le registre à approximations successives. Le schéma bloc dudit convertisseur de niveau est présenté à la figure 3.28.

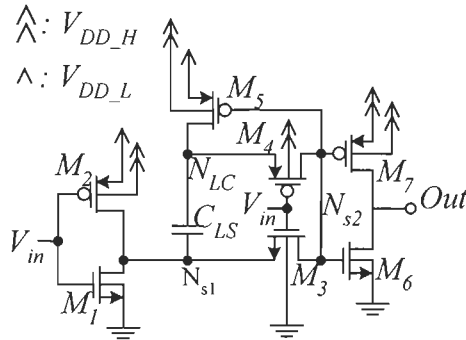


Figure 3.28 : Convertisseur de niveau logique (Tiré de [LOT09]).

Le circuit présenté ci-dessus reçoit en entrée un signal d'amplitude 0 V ou 0.5 V, et produit en sortie un signal d'amplitude 0 V ou 1 V. Quand le signal d'entrée,  $V_{in}$ , est haut ( $V_{DD\_L}$ ) i.e., 0.5 V, la sortie  $N_{s1}$  du premier inverseur ( $M_1$ ,  $M_2$ ) est basse ( $V_{SS}$ ). La capacité  $C_{LS}$  se décharge, le transistor  $M_4$  est bloqué tandis que, le transistor  $M_3$  conduit. Comme la source de  $M_3$  est au niveau bas, la tension au nœud  $N_{s2}$  devient assez bas ( $V_{SS}$ ) pour envoyer le signal de sortie (Out) au niveau très haut ( $V_{DD\_H}$ ). Quand le signal d'entrée,  $V_{in}$ , passe au niveau bas ( $V_{SS}$ ), la sortie du premier inverseur passe au niveau haut ( $V_{DD\_L}$ ), et la tension au nœud  $N_{LC}$ , source de  $M_4$ , passe à  $2V_{DD\_L} - V_{CHUTE}$  où  $V_{CHUTE}$  représente la chute de tension à travers  $C_{LS}$ . Pendant ce temps,  $M_4$  se met à conduire et  $M_3$  est bloqué. La tension au nœud  $N_{s2}$  est maintenant assez haute pour court-circuiter la sortie à '0'. Bien que la technique présentée ici possède beaucoup d'avantages, l'utilisation de deux sources d'alimentation distinctes augmente les sources de bruit dans le circuit. Au-delà de l'aspect circuiterie, de nouveaux algorithmes d'approximations successives ont été introduits par Yiu-Kee et al. [YIU09]. Cet algorithme est inspiré des travaux réalisés par Lampinen et al. [LAM05], la technique consiste à débiter la recherche binaire à partir de  $1/16 V_{ref}$  au lieu de  $1/2 V_{ref}$ , comme énoncé dans la méthode conventionnelle [McC75]. Ceci réduit considérablement le temps

de recherche. Yiu-Kee et al. [YIU09], proposent un algorithme d'approximations successives à deux étapes. La première étape consiste à faire une conversion brute tandis que, la deuxième étape regroupe la conversion dite exacte. Ces algorithmes sont amplement détaillés dans [YIU09].

### 3.4 Résumé des travaux présentés dans la littérature :

Le tableau 3.1 résume les métriques de performances des CAN-AS présentés dans ce chapitre. Il en ressort que certaines avancées ont été effectuées sur les CAN-AS. Celles-ci peuvent être décrites en ces points:

- ◆ Amélioration du taux de sortie des données.
- ◆ Diminution de la dissipation d'énergie ce qui entraîne une amélioration du FOM (*Figure Of Merit*)
- ◆ Présence de tous les codes de conversion à la sortie du CAN, ceci s'explique par une bon DNL (*Differential non-Linearity*) et INL (*Integral non-Linearity*)
- ◆ Amélioration du rapport signal sur bruit ce qui donne lieu à un bon ENOB (*Effective Number Of Bits*)

Au-delà des contributions déjà faites sur les CAN-AS, la conception des circuits qui opèrent à basse tension reste une préoccupation majeure car la taille des transistors continue à décroître et cela ouvre la voie à une amélioration continue des performances des CAN-AS.

Le prochain chapitre mettra l'accent sur la stratégie de conception et réalisation d'un convertisseur analogique numérique à approximation successive opérant à basse puissance, basse tension (1 V et moins).

Tableau 3.1 : Résumé de quelques métriques de performances des CAN-AS rapportés dans la littérature.

Travaux	[MOR00]	[HAO07]	[GIN07]	[ABD07]	[AGN08]	[YAN08]	[GUA09]	[LOT09]
Technologie	1.2 $\mu\text{m}$ CMOS	0.18 $\mu\text{m}$ CMOS	65 nm CMOS	0.13 $\mu\text{m}$ CMOS	0.18 $\mu\text{m}$ CMOS	90 nm CMOS	0.13 $\mu\text{m}$ CMOS	0.13 $\mu\text{m}$ CMOS
Tension (V)	1	1	1.2	0.8	1	1.2	1.2	0.5 et 1 V
Puissance ( $\mu\text{W}$ )	340	6.15	5930	4.94	3.1	14000	320	1
Taux de sortie (éch <sup>*</sup> ./s)	50 K	400 K	500000 K	400 K	100.9K	180000 K	12000 K	100 K
Resolution (bits)	8	8	5	8	12	8	10	10
Surface ( $\text{mm}^2$ )	< 3.24	0.7	0.91	0.125	----	----	0.07	----
ENOB@DC (bits)	7.9	7.31	----	7.54	11.1	7.7	8.16	9.2
FOM (pJ/étape de conversion)	-	0.097	4.4	0.064	0.014	0.35	0.095	0.017
DNL (LSB)	0.47	-0.9/+0.26	0.26	0.78	< $\pm 0.2$	----	-1/+1.27	-----
INL (LSB)	1.14	-0.53/+0.5	0.16	0.38	< $\pm 0.2$	----	-2.8/+2.97	-----
S/B (dB)	----	----	----	----	68.6	----	----	----
SFDR (dB)	62.87	47.4	36	59.5	----	58	62.47	----
SNDR (dB)	----	53.3	26.1	47.1	----	48	50.89	57
THD (dB)	-60.52	----	-41.5	----	----	----	----	-60

\* échantillon

## *Chapitre 4*

### ***PROPOSITION D'UN CAN-AS CMOS À BASSE TENSION***

Le traitement du signal reste un aspect complexe dans plusieurs applications microélectroniques. Les avancées technologiques permettent de concevoir des architectures de systèmes qui répondent de plus en plus aux exigences du marché de l'électronique moderne. Dans le 3<sup>ème</sup> chapitre, nous avons rapporté les récents travaux qui ont été effectués sur le CAN-AS.

Dans ce chapitre, nous décrivons les architectures proposées de CAN-AS distinctes basées sur une nouvelle topologie de comparateur analogique CMOS.

#### **4.1 Technique de conception d'un comparateur analogique CMOS à basse tension et à basse puissance**

Au cours des dernières années, l'intérêt accru vers les systèmes qui ont une faible consommation d'énergie, a été une source de motivation majeure dans l'industrie des semi-conducteurs. Tout ceci est rendu possible grâce à la diminution de l'échelle des transistors qui permet de réduire la puissance des circuits.

Le comparateur est l'un des composants électroniques le plus répandu dans les CAN. La performance et la précision d'un comparateur sont fortement déterminées par sa capacité à rejeter tout bruit référé à son entrée, et à traiter un signal à l'intérieur de la précision permise par le système global. À cause de son efficacité énergétique, le comparateur à verrou régénératif reste l'architecture la plus attractive, comparé au comparateur statique qui, est constitué d'un amp-op suivi d'une chaîne d'inverseur. Cependant, concevoir une telle architecture à basse tension et faible consommation de puissance requiert une topologie de circuits spécifiques. L'une des topologies est la cellule Flipped Voltage follower (FVF) qui fût d'abord introduite dans [GON05]

Nous allons présenter de façon explicite l'implémentation d'une nouvelle topologie de comparateur de tension dans la prochaine section.

#### **4.1.1 Comparateur tension basé sur la cellule FVF**

Un comparateur de tension est un circuit qui compare deux niveaux de tension et produit un niveau logique correspondant. Le comparateur de tension à structure dynamique a l'avantage d'avoir une faible consommation de puissance. Nous présentons ici une nouvelle stratégie de conception au niveau du comparateur dynamique. Cette stratégie consiste à utiliser la cellule "Flipped Voltage Follower" (FVF) dans la paire d'entrée différentielle du comparateur. La cellule FVF offre l'avantage de réaliser une opération de classe AB, améliorant ainsi la gamme d'entrée en mode commun (GEMC) du comparateur. Outre l'opération de classe AB, la cellule FVF inclue un suiveur de tension dont la faible impédance de sortie permet de fournir un large courant de sortie. Le circuit est similaire à celui présenté dans [YIN92] dont le schéma bloc est illustré à la figure 4.1. Nous proposons une approche plus innovatrice dans laquelle le nouvel étage d'entrée proposé permet d'améliorer sa performance globale en termes de vitesse de balayage (slew rate) et résolution. La figure 4.2 illustre le schéma bloc du comparateur proposé, il consiste à deux principaux étages; un étage d'entrée différentielle de classe AB et un étage à verrou régénératif suivi d'une bascule set-reset (S-R).

Le circuit de la figure 4.2 a un mode de fonctionnement relativement simple. Quand la tension à l'entrée négative  $V_{inn}$ , est supérieure à celle de l'entrée positive  $V_{inp}$  avec respectivement  $\phi_1$  de niveau logique '1' et  $\phi_2$  de niveau logique '0'. Le courant  $I_{MP2}$ , qui traverse le transistor  $M_{p2}$  est supérieur au courant  $I_{MP1}$ , du transistor  $M_{p1}$ .  $I_{MP2}$  va charger la capacité parasite du transistor  $M_{2a}$  de sorte que  $M_{2a}$  va conduire et forcer le nœud NH à un niveau proche de zéro tandis que, le transistor  $M_{1a}$  se retrouvera bloqué et le nœud NA va avoir une tension suffisamment grande. La sortie  $V_{out2}$  sera égale à '0' si

$V_{inn} > V_{inp}$ . La situation inverse se produirait si la tension appliquée à l'entrée  $V_{inn}$  était supérieure à la tension appliquée à  $V_{inp}$ .

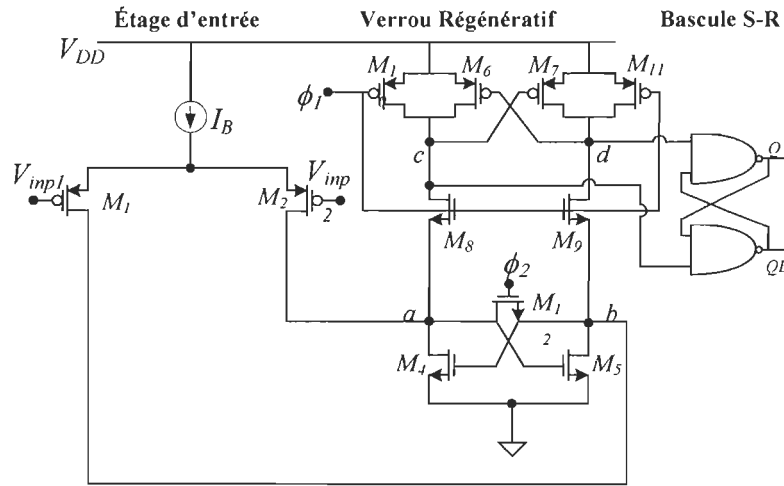


Figure 4.1 : Schématique du comparateur CMOS (Tiré de [YIN92]).

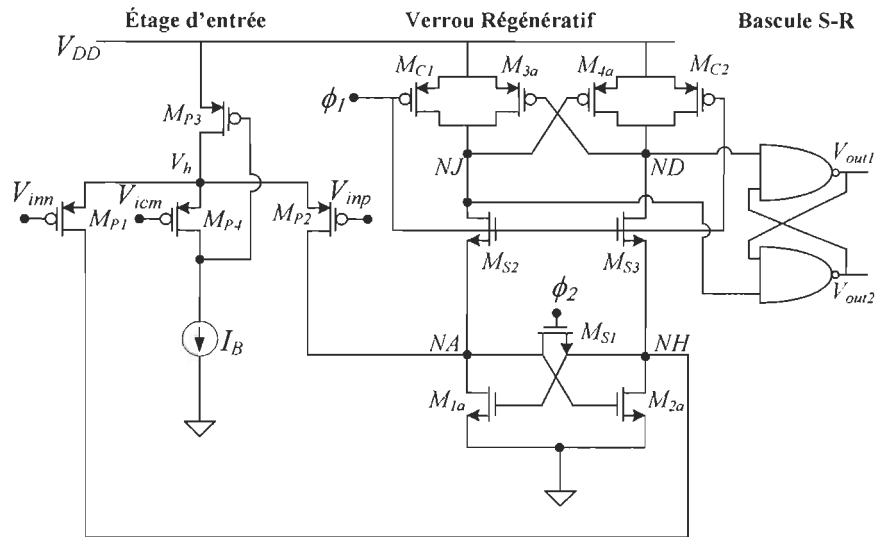


Figure 4.2 : Schématique du comparateur dynamique proposé utilisant la cellule FVF.

Les dimensions utilisées pour caractériser le comparateur proposé dans ce



mémoire sont présentées dans le tableau 4.1

Tableau 4.1: Dimensions des transistors utilisés dans le comparateur de la figure 4.2.

Transistors	Largeur ( $\mu\text{m}$ )	Longueur ( $\mu\text{m}$ )	M
$M_{P1}, M_{P2}, M_{P3}, M_{P4}$	5.4	0.54	6
MBIAS	5.4	0.54	1
$M_{Ia}, M_{2a}$	5.4	0.18	8
$M_{S1}, M_{S2}, M_{S3}$	3.6	0.18	4
$M_{C1}, M_{C2}$	6	0.18	6
$M_{3a}, M_{4a}$	5.4	0.18	20
Latch (nMOS)	1.2	0.18	5
Latch (pMOS)	6	0.18	5

#### 4.1.1.1 Étage d'entrée différentielle de classe AB

Plusieurs variétés d'étages d'entrée différentielle de classe AB ont été rapportées dans la littérature [FAY00], [GON05]. Dans le circuit proposé, l'étage d'entrée pseudo-différentielle de classe AB est réalisé avec les transistors  $M_{P1}, M_{P2}, M_{P3}, M_{P4}$  et le courant de polarisation  $I_B$ .  $M_{P4}, M_{P3}$  et  $I_B$  forment la cellule FVF. Cet étage d'entrée peut opérer avec une tension d'alimentation minimale égale à

$$V_{DD}^{\min} = |V_{TH}| + 2|V_{DS,sat}| \quad (4.1)$$

où  $V_{TH}$  est la tension de seuil des transistors de l'étage d'entrée et  $V_{DS,sat}$ , la tension effective.

La cellule FVF exhibe une faible impédance de sortie au nœud  $V_h$ . En conséquence, l'impédance à la source de  $M_{P4}$  (drain de  $M_{P3}$ ) peut être approximée par l'équation (4.2) [GON05]

$$R_{Vh} = \frac{1}{gm_{M_{P4}} gm_{M_{P3}} ro_{M_{P3}}} \quad (4.2)$$

La valeur de  $R_{Vh}$  est très petite, généralement dans l'ordre de 20 à 100  $\Omega$ . Puisque le courant qui traverse le transistor  $M_{P4}$  est égal à  $I_B$  qui est constant, sa tension source-grille  $V_{SG,Mp4}$ , est aussi constant si l'effet de substrat est négligé. Ainsi, toute variation de tension à la grille du transistor  $M_{P4}$  sera reflétée à sa source, augmentée de  $V_{SG,Mp4}$ . L'expression de  $V_h$  peut donc s'exprimer par la relation suivante

$$V_h = V_{icm} + V_{SG, Mp4} \quad (4.3)$$

En outre, il y a une rétroaction entre le drain de  $M_{P4}$  et la grille de  $M_{P3}$  qui ajuste la tension  $V_{SG, Mp3}$  dans le but de satisfaire les exigences en courant du circuit.

Au niveau implémentation, le choix de la valeur de  $V_{icm}$  est primordial pour le bon fonctionnement de la paire d'entrée. Le niveau de tension appliquée sur la grille du transistor  $M_{P4}$  a un impact sur le fonctionnement de la cellule FVF. On doit s'assurer qu'en tout temps que la valeur de la tension  $V_{icm}$  soit la moyenne des entrées  $V_{inn}$  et  $V_{inp}$ . Cela permettra ainsi de maintenir les transistors d'entrée près de leur région de saturation. Pour ce faire, nous avons utilisé un détecteur de signal en mode commun. Ce circuit est connecté entre les entrées de la paire pseudo-différentielle et la grille de  $M_{P4}$ . Deux versions ont d'ailleurs été proposées et les schémas électriques sont illustrés à la figure 4.3 telle que décrite dans [GON05].

Les transistors de la figure 4.3 ont les dimensions suivantes:

$W_{(M1-4)} = 5.4 \mu m$ ,  $L_{(M1-4)} = 1.08 \mu m$  et  $M = 2$  Quant à la résistance  $R_p$ , sa valeur est de 10 kOhms

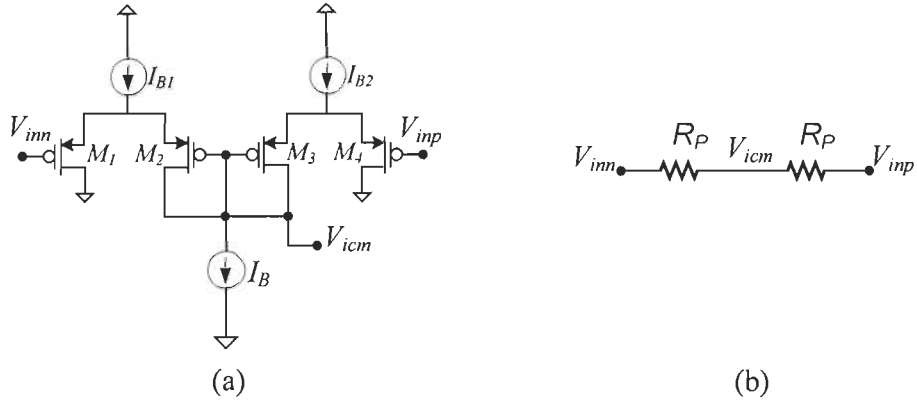


Figure 4.3 : Schématic d'un circuit de détection en mode commun: (a) basé sur des transistors CMOS et (b) basé sur deux résistances en série.

En supposant un bon appariement entre  $M_1$ ,  $M_2$ ,  $M_3$ ,  $M_4$  et un courant de polarisation  $I_B$  identique à  $I_{B1}$  et  $I_{B2}$  dans le circuit de la figure 4.3 (a), une analyse statique permet de vérifier notre assertion. Pour ce faire, considérons que les transistors opèrent dans leur région de saturation.

Équation des différents courants associés aux principales branches

$$\begin{aligned}
 I_{B1} &= \frac{1}{2} \mu_p C_{ox} \left( \frac{W}{L} \right) \left[ \left( V_{S1} - V_{inn} - |V_{th}| \right)^2 + \left( V_{S1} - V_{icm} - |V_{th}| \right)^2 \right] \\
 I_{B2} &= \frac{1}{2} \mu_p C_{ox} \left( \frac{W}{L} \right) \left[ \left( V_{S2} - V_{inp} - |V_{th}| \right)^2 + \left( V_{S2} - V_{icm} - |V_{th}| \right)^2 \right] \\
 I_B &= \frac{1}{2} \mu_p C_{ox} \left( \frac{W}{L} \right) \left[ \left( V_{S1} - V_{icm} - |V_{th}| \right)^2 + \left( V_{S2} - V_{icm} - |V_{th}| \right)^2 \right]
 \end{aligned}$$

Sachant que les trois courants sont égaux, on peut en déduire que

$$\begin{aligned}
I_B = I_{B1} &\Rightarrow V_{S1} - V_{inn} - |V_{th}| = V_{S2} - V_{icm} - |V_{th}| \\
&\Leftrightarrow V_{S1} - V_{inn} = V_{S2} - V_{icm}
\end{aligned} \tag{a}$$

et

$$\begin{aligned}
I_B = I_{B2} &\Rightarrow V_{S2} - V_{inn} - |V_{th}| = V_{S1} - V_{icm} - |V_{th}| \\
&\Leftrightarrow V_{S2} - V_{inp} = V_{S1} - V_{icm}
\end{aligned} \tag{b}$$

(a) et (b) nous donne la relation cherchée, soit

$$V_{icm} = \frac{V_{inn} + V_{inp}}{2} \tag{4.4}$$

Le circuit de la figure 4.3(a) est plus complexe comparé à celui de la figure 4.3(b). Il est versatile et peut permettre au comparateur de bien opérer aussi bien dans un CNA basé sur le réseau R-2R que celui basé sur la chaîne de capacités pondérées de façon binaire. La figure 4.3 (b) quant à elle, est une version plus simple et compacte, c'est un simple diviseur de tension dont la sortie s'exprime comme l'équation 4.4. Cependant, son utilisation se limite seulement aux structures de CNA de type R-2R. Lorsqu'il est employé dans un comparateur placé à la sortie du C-CNA, une détérioration du signal d'entrée est observée à cause du phénomène de transfert de charges qui survient entre le réseau de capacités, et les résistances du détecteur de signal. Pour remédier à ce problème, nous avons utilisé le circuit de la figure 4.3(a).

#### 4.1.1.2 Verrou régénératif

L'étage de verrou est basé sur l'architecture décrite dans [YIN92] (voir figure 4.2). Le circuit est constitué d'une paire de transistors nMOS en rétroaction positive ( $M_{1a}$ ,  $M_{2a}$ ), d'une paire de commutateurs ( $M_{S2}$ ,  $M_{S3}$ ) à canal n pour l'effet stroboscopique, un commutateur ( $M_{S1}$ ) à canal n pour l'initialisation, une paire de transistor pMOS en rétroaction positive ( $M_{3a}$ ,  $M_{4a}$ ) et d'une paire de transistors ( $M_{C1}$ ,  $M_{C2}$ ) à canal p formant des commutateurs pour la précharge. Les signaux d'horloges  $\phi_1$  et  $\phi_2$  sont des signaux à deux phases sans recouvrement. L'un des avantages de cette structure est que les

transistors  $M_{S2}$  et  $M_{S3}$  isolent les transistors  $M_{1a}/M_{2a}$  et  $M_{3a}/M_{4a}$  pendant la phase d'initialisation du circuit. La sortie du comparateur est prélevée aux nœuds NJ et ND au lieu des nœuds NA et NH. Cela permet d'augmenter de façon substantielle la vitesse de régénération du verrou. Le mode d'opération dynamique du comparateur est reparti en deux temps à savoir, l'intervalle d'initialisation et l'intervalle de temps pour le processus de régénération.

Durant l'intervalle d'initialisation, le signal  $\phi_1$  est au niveau bas, soit '0' tandis que le signal  $\phi_2$  est au niveau haut, soit ' $V_{DD}$ '. Le commutateur  $M_{S1}$  se met à conduire et la paire d'entrée différentielle est déconnectée du reste du circuit. Pendant ce temps, les transistors de précharge chargent les nœuds NJ et ND à un niveau de tension haut. La bascule S-R subséquente entre alors en mode mémoire ce qui permet de conserver la sortie précédente du comparateur.

Durant l'intervalle de régénération,  $\phi_1$  est au niveau haut et  $\phi_2$  est au niveau bas, une tension proportionnelle à la différence de tension d'entrée est établie entre les drains de  $M_{1a}$  et  $M_{2a}$ . Les transistors  $M_{C1}$  et  $M_{C2}$  sont bloqués tandis que  $M_{S2}$  et  $M_{S3}$  conduisent. Les transistors nMOS ( $M_{1a}/M_{2a}$ ) et pMOS ( $M_{3a}/M_{4a}$ ) amplifient la différence de tension entre les nœuds NA et NH, et entre les nœuds NJ et ND. Par la suite, la différence de tension est mise à un niveau proche de la tension pleine échelle de l'alimentation. Afin d'éviter des impondérables à la sortie, les nœuds ND et NJ sont connectés à une bascule S-R qui génère le bon niveau logique ('0' ou '1').

#### ***4.1.1.3 Contraintes de conception et analyse des performances***

Pour concevoir un comparateur doté d'une bonne précision, une faible dissipation d'énergie et une vitesse d'opération élevée, les aspects tels que le délai et l'optimisation du circuit doivent être considérés. Dans l'architecture proposée à la figure 4.2, la vitesse de comparaison est établie par la capacité à générer des niveaux logiques appropriés. Quand  $\phi_1$  est à mi-échelle de la tension d'alimentation  $V_{DD}$ , la conductance du transistor

$M_{S1}$  devient plus petit que la transconductance des transistors  $M_{1a,2a}$ , en conséquence, la phase de régénération débute. Dès lors, on peut évaluer le temps de régénération car les transistors  $M_{P1}$ ,  $M_{P2}$ ,  $M_{S1}$ ,  $M_{1a}$  et  $M_{2a}$  sont mis à contribution, et ils ont un impact direct sur le temps de réponse du circuit au complet. Une approximation de la constante de temps régénératif a été développée dans [YIN92] et elle peut s'exprimer par

$$\tau_{reg} = \frac{C_{tot}}{g_{M1a} - 2 g_{oMs1}} \quad (4.5)$$

où  $C_{tot}$  est la capacité parasite totale au nœud NA ou NH,  $g_{M1a}$  est la transconductance de  $M_{1a}$  et  $g_{oMs1}$  est la conductance de  $M_{S1}$ . Tout comme le processus de régénération, nous avons aussi le processus d'initialisation qui est contrôlé par le commutateur  $M_{S1}$ . Ces deux processus affectent fortement le délai de propagation du comparateur. Afin de réduire le délai et optimiser le circuit en même temps, nous avons dimensionné les transistors à partir des relations préalablement définies dans [YIN92] telles qu'énoncées ci-dessous:

- a. La largeur du transistor  $M_{S1}$  ( $W_{MS1}$ ) est au moins égale à 1/3 de la largeur du transistor  $M_{1a}$  ( $W_{M1a}$ ).
- b. La largeur des transistors  $M_{P1}/M_{P2}$  est au moins égale à 2 fois  $W_{M1a}$ .
- c. Les transistors  $M_{S1}$ ,  $M_{S2}$  et  $M_{S3}$  doivent avoir le même rapport de taille. La largeur des transistors  $M_{C1}/M_{C2}$  est au moins égale à 5/2  $W_{MS1}$ .
- d. La largeur des transistors  $M_{3a}/M_{4a}$  égale au moins à 5/2  $W_{M1a}$ .

Au-delà des performances d'un comparateur, nous avons aussi les effets secondaires qui limitent ces derniers. L'erreur de tension de décalage en entrée et le bruit de rebond sont des paramètres importants dont le concepteur doit tenir compte.

Dans l'architecture proposée, l'erreur de décalage de tension provient de l'erreur induite par la paire différentielle d'entrée, le verrou régénératif et le processus de contrôle de  $M_{S1}$ . Il peut être approximée par [YIN92]

$$V_{offset} = V_{offset1} + \frac{g_{M_{1a}}}{g_{M_{p1}}} (V_{offset2} + V_e) \quad (4.6)$$

où  $V_{offset1}$ ,  $V_{offset2}$ , et  $V_e$  représentent respectivement, l'erreur de tension de décalage des transistors d'entrée, l'erreur de tension causée par le verrou régénératif et l'erreur d'injection de charges différentielle due à une désactivation rapide du transistor  $M_{S1}$ . Une erreur négligeable  $V_e$  peut être réalisée si  $M_{S1}$  est dimensionné (comme nous l'avons mentionnée plus haut) ceci en réduisant les capacités  $C_{NA}$  ou  $C_{NH}$  (respectivement les capacités parasites au nœuds NA et NH). Par ailleurs, le comparateur doit être disposé symétriquement. Le terme  $g_{M_{1a}}/g_{M_{p1}} V_{offset2}$  est normalement plus petit que  $V_{offset1}$  puisque la paire de transistors  $M_{1a}$  et  $M_{2a}$  a leur substrat polarisé à la masse [YIN92]. Par conséquence, la source dominante d'erreur est  $V_{offset1}$ , causée par la paire d'entrée différentielle [HE09].

Il existe deux sortes d'erreur de décalage de tension dans une paire différentielle à savoir; la fluctuation de la densité de charges (tels que les états de surface et la concentration en impureté de dopage), et la fluctuation des dimensions (tel que le mésappariement du transistor). Puisque la densité d'état de surface et la concentration des impuretés peuvent être bien contrôlées et sont proportionnelles à l'épaisseur de l'oxyde de grille (4 nm dans le procédé CMOS 0.18  $\mu m$ ), ce terme est insignifiant [STE97]. Plusieurs travaux de recherche ont étudiés la contribution de l'erreur de tension de décalage due aux problèmes de mésappariement. Une estimation plus explicite de la variance de l'erreur de tension de décalage a été rapportée par Steyaert [STE97]. Elle est donnée par:

$$\sigma^2(V_{off1}) = \frac{k_p}{g_m \cdot L^2} (V_{GS} - V_t) \cdot \left[ A_{VT}^2 + \frac{A_\beta^2}{4} (V_{GS} - V_t)^2 \right] \quad (4.7)$$

où les constantes  $k_p$ ,  $A_{VT}$  et  $A_\beta$  sont dépendantes de la technologie. La table 1 dans [STE97] fournit les valeurs de ces constantes pour plusieurs technologies CMOS. Nous

observons une diminution dans les constantes  $A_{VT}$  et  $A_{\beta}$  avec la diminution de la taille minimale du composant. Ceci est principalement dû à la diminution de l'épaisseur de l'oxyde comme cela a été mesuré dans [PEL97]. La variance diminue avec l'augmentation de la surface de grille (W/L) et avec la diminution de l'épaisseur de l'oxyde dans le procédé CMOS 0.18  $\mu\text{m}$  submicronique.

Concernant le bruit de rebond, il est causé par les variations de tension aux nœuds NA et NH qui sont capacitivement couplés aux drains des transistors de la paire différentielle d'entrée [FIG06]. Il est pris en compte durant l'intervalle de temps de régénération. Étant donné que le temps de réponse du comparateur est plus élevé que celui de la perturbation introduite par le bruit de rebond, la sortie du comparateur n'est pas alors affectée. Par conséquent, ce bruit ne représente par une contrainte pour l'utilisation de notre comparateur dans un CAN-AS.

## **4.2 Techniques de conception à basse tension d'un CAN à approximation successive**

Comme nous l'avions mentionné précédemment, la conception d'un CAN-AS pouvant opérer à basse tension requiert des architectures spécifiques. Deux architectures distinctes de CAN-AS opérant à basse tension, soit 1 V et moins sont présentées dans cette section.

### ***4.2.1 Échantillonneur-bloqueur à basse tension et basse puissance***

Les CAN-AS présentés dans ce mémoire utilisent un circuit d'E/B comme étage d'entrée. Étant donné les contraintes qu'introduisent généralement un E/B, nous avons opté pour la simplicité en faisant recours à un circuit d'E/B idéal. Le modèle idéal de l'E/B a été implémenté à partir du langage Verilog et fourni par la librairie hdlLib de l'outil de conception assistée par ordinateur (CAO) Cadence.



#### ***4.2.2 Conception d'un comparateur à basse tension et basse puissance***

Le CAN à 1 bit ou comparateur de tension est un élément indispensable dans la performance des convertisseurs de données. Dans la section 4.1, nous avons décrit de façon explicite l'architecture du comparateur CMOS qui a été utilisé pour implémenter notre CAN-AS. Ce comparateur a une résolution de 12 bits, il opère à basse tension, soit 1 V et moins. Il possède une bonne vitesse de comparaison et consomme peu d'énergie. Nous avons tenu compte des contraintes qui le caractérisent à savoir l'erreur de tension de décalage et le bruit de rebond. Au niveau du dessin de masques, la technique du centroïde commun a été utilisée afin de réduire au maximum les erreurs dues à l'appariement et à la variation de procédés [MAL94].

#### ***4.2.3 Conception du Registre à approximation successive***

Le registre à approximation successive (RAS) sert à fournir des signaux de contrôle au réseau de commutateurs connectés au CNA. Il a été implémenté à partir d'un registre à décalage et une logique de contrôle. Le RAS fournit un code numérique dont la valeur dépend du résultat de comparaison, et il fournit aussi l'équivalent binaire du mot analogique à convertir. Son mode de fonctionnement repose sur le principe de l'approximation successive et il a été largement détaillé dans le chapitre 2.

La figure 4.4 décrit le schéma bloc du RAS. Le signal OENB, lorsqu'il est au niveau bas, marque la fin de la conversion.



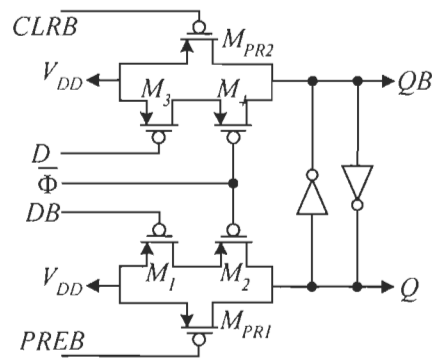


Figure 4.5 : Schématique du Verrou utilisé dans le RAS.

Le circuit ci-dessus requiert seulement 8 transistors d'où un avantage en termes de compacité. Les transistors ( $M_{PR1}$ - $M_{PR2}$ ) additionnels permettent d'initialiser (au besoin) toute la logique de conversion puisque toutes les bascules peuvent être initialisées à '0' ou préchargées à '1'. La bascule D à seule vraie phase d'horloge ou ("TSPC") peut être construite à partir de deux verrous en cascade, et deux signaux d'horloges complémentés. La figure 4.6 décrit le schéma bloc de la bascule D utilisée. Cette topologie n'a aucune limitation sur la pente du signal d'entrée [AFG96].

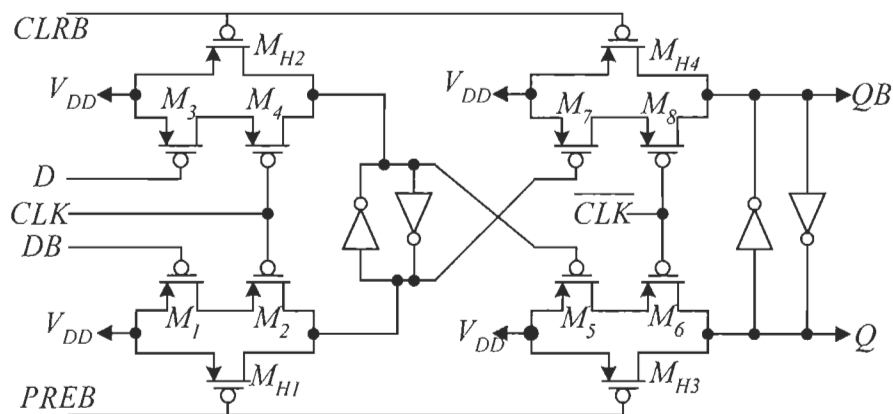


Figure 4.6 : Schématique de la bascule D utilisée dans le RAS.

Tableau 4.2: Dimensions des transistors utilisés dans le circuit de la figure 4.5

Transistors	Largeur ( $\mu\text{m}$ )	Longueur ( $\mu\text{m}$ )	M
M <sub>1</sub> , M <sub>2</sub> , M <sub>3</sub> , M <sub>4</sub>	1	0.18	1
M <sub>PR1</sub> , M <sub>PR2</sub>	2	0.18	1
Inverseur(nMOS)	2	1.5	1
Inverseur(pMOS)	1.5	0.18	6

Tableau 4.3: Dimensions des transistors utilisés dans le le circuit de la figure 4.6

Transistors	Largeur ( $\mu\text{m}$ )	Longueur ( $\mu\text{m}$ )	M
M <sub>1</sub> , M <sub>2</sub> , M <sub>3</sub> , M <sub>4</sub>	1	0.18	1
M <sub>5</sub> , M <sub>6</sub> , M <sub>7</sub> , M <sub>8</sub>	1	0.18	1
M <sub>H1</sub> , M <sub>H2</sub>	2	0.18	1
M <sub>H3</sub> , M <sub>H4</sub>	2	0.18	1
Inverseur(nMOS)	2	1.5	1
Inverseur(pMOS)	1.5	0.18	6

#### 4.2.4 Convertisseur numérique analogique dédié au CAN-AS

Dans l'architecture d'un CAN-AS, on retrouve le CNA au niveau de la rétroaction avec le comparateur. La non-linéarité du CNA affecte fortement la performance du CAN-AS. Il existe plusieurs variétés d'architectures de CNA, chacune ayant ses mérites et inconvénients. Le CNA à structure pipeline et à source de courant dissipent beaucoup d'énergie, par conséquent, ils ne constituent pas un choix idéal pour des applications à basse puissance.

Cette section sera consacrée à l'implémentation au niveau circuiterie d'un CNA basé sur le réseau R-2R, ainsi qu'un CNA formé d'une chaîne de capacités pondérées en binaire.

#### 4.2.4.1 CNA basé sur le réseau R-2R en mode tension

Le réseau R-2R ou structure en échelle à commutation de courant a été longtemps utilisé dans les convertisseurs de données. Nous nous sommes concentrés sur une configuration 8 bits et le schéma bloc est décrit à la figure 4.7, il est constitué d'une série de résistances cascadées.

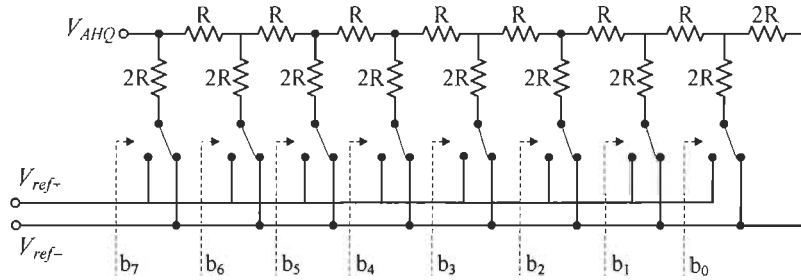


Figure 4.7 : Schéma bloc d'un CNA 8 bits à structure R-2R.

Le CNA de type R-2R opère comme un diviseur de tension. Sa structure en échelle a pour véritable fonction de transformer le courant en tension par l'intermédiaire des résistances. Les commutateurs  $b_0$  à  $b_7$  sont contrôlés par des codes binaires générés par le RAS.

L'expression générale de la tension de sortie  $V_{AHQ}$  est donnée par [BAK05]

$$V_{AHQ} = V_{ref-} + \sum_{k=1}^{k=n} \frac{1}{2^k} (b_{n-k} \cdot V_{ref+} + \overline{b_{n-k}} \cdot V_{ref-}) \quad (4.8)$$

où  $V_{ref-}$  et  $V_{ref+}$  représentent la tension de référence minimale et maximale appliquée aux CNA. Notons que l'effet résistances parasites n'a pas été considéré dans cette expression.

Au niveau des performances, la précision dépend fortement de la capacité à bien apparier les composants. L'appariement des résistances est un aspect important pour la linéarité du CNA de type R-2R. Nous savons que la linéarité d'un CNA est garantie par un  $INL \leq \pm \frac{1}{2} \text{ LSB}$ . Ceci est d'autant plus valable pour le CAN au complet. De façon générale, la valeur de la résistance doit être choisie de manière à minimiser la dissipation de puissance et à alléger le dessin de masques. Le bruit thermique est aussi une contrainte

qui peut fortement affecter la bonne fonctionnalité du CNA. Puisque la résistance constitue une source de courant dans le réseau R-2R, il est important d'avoir une connaissance sur la densité spectrale efficace du bruit. Elle peut être exprimée à partir de l'équation (4.9) comme décrite dans [BAK05]

$$S_v(f) = 4kTR \quad (4.9)$$

où  $k$  est la constante de Boltzmann ( $1.38 \times 10^{-23} \text{ J } ^\circ \text{ K}^{-1}$ ),  $T$  est la température en degré Kelvin et  $R$  est la résistance en Ohm. Nous avons utilisé une résistance de  $5 \text{ K}\Omega$ .

La structure R-2R garantit une bonne précision lorsque la résolution maximale est de 8 bits. Elle occupe moins d'espace, car la valeur maximale de la résistance est  $2R$ , ce qui est très intéressant. Cependant, lorsqu'on augmente la résolution, par exemple 10 bits et plus, la structure R-2R souffre des problèmes de linéarités et précisions. La valeur totale de la résistance  $R$  devient aussi une contrainte. La structure R-2R peut être alors très sensible au bruit thermique, dissiper beaucoup d'énergies et sa constante de temps devient élevée et peut affecter fortement la vitesse d'opération du système.

#### ***4.2.4.2 CNA à réseau de capacités pondérées en binaire***

Le CNA à réseau de capacités pondérées en binaire est un circuit constitué de capacités disposées en parallèle. Son mode de fonctionnement repose sur la redistribution des charges ou semi-redistribution dans certains cas. Nous présentons un C-CNA conventionnelle introduit précédemment dans [McC75]. La figure 4.8 décrit le schéma bloc d'un C-CNA à 10 bits. Les bits  $b_1$  à  $b_{10}$  sont produits par le RAS.

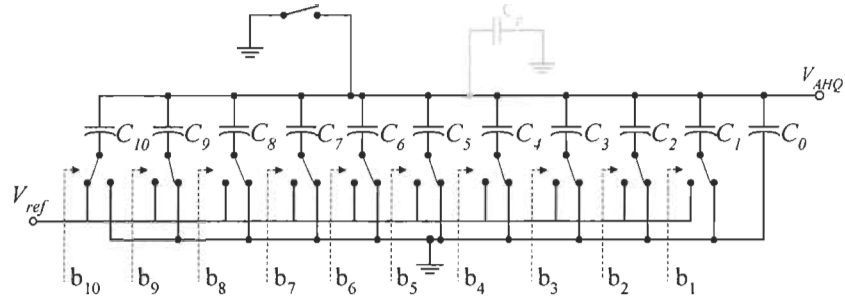


Figure 4.8 : Schéma bloc d'un CNA conventionnel à 10 bits.

$C_0$  est la capacité unitaire tandis que  $C_i = 2^{i-1} C_0$  avec  $i \in \{1, \dots, 10\}$ . L'expression générale de la tension de sortie peut s'exprimer par [BAK05]

$$V_{AHQ} = \frac{2^n C_o}{2^n C_o + C_p} \left( \frac{\sum_{i=1}^n b_i 2^{i-1}}{2^n} \right) \cdot V_{ref} \quad (4.10)$$

où  $C_p$  est la capacité parasite. On tient compte de  $C_p$  puisque sa valeur peut affecter la linéarité du C-CNA et introduire une erreur systématique de tension de décalage à l'entrée du comparateur. Si  $C_p$  est constant, l'erreur de gain est systématique par contre, s'il est dépendant de la tension, il y aura détérioration de la linéarité du CNA. Contrairement à l'architecture du C-CNA présentée dans [McC75], l'échantillonnage n'est pas inhérent dans notre cas, en conséquence nous avons eu recours à un E/B comme étage d'entrée.

Le mode de fonctionnement du C-CNA conventionnel a été largement abordé dans la section 3.1. Le principe de fonctionnement consiste à transformer des charges en tension. Le processus de conversion requiert le mode échantillonnage, maintien et redistribution.

Au niveau de la circuiterie, le choix de  $C_0$  doit se faire en tenant compte de l'impact du bruit thermique sur la précision du C-CNA. Pour ce faire,  $C_0$  doit être choisie

de manière à ce que le bruit thermique soit inférieur ou égal au bruit de quantification [BAK05] c.-à-d.,

$$\frac{KT}{C_0} \leq \frac{\Delta^2}{12}$$

$$\text{avec } \Delta = \frac{V_{FS}}{2^n}$$
(4.11)

où  $KT/C_0$  et  $\Delta^2/12$  sont respectivement le bruit thermique et la puissance du bruit de l'erreur de quantification.

En développant l'équation (4.11), on obtient;

$$\frac{KT}{C_0} \leq \frac{\Delta^2}{12}$$

$$\Leftrightarrow 12KT \leq C_0 \frac{V_{FS}^2}{2^{2n}}$$

$$\Leftrightarrow C_0 \geq 12KT \times \frac{2^{2n}}{V_{FS}^2}$$
(4.12)

À partir de l'équation (4.12), nous pouvons trouver la valeur minimale que peut avoir  $C_0$  en fonction de la résolution du CAN-AS. Afin d'avoir une estimation universelle, on prendra  $T = 300^\circ$  Kelvin et  $K = 1.38 \times 10^{-23} \text{ J}^\circ \text{ K}^{-1}$ .

Tableau 4.4: Estimation des valeurs minimales de  $C_0$  en fonction de la résolution du CAN-AS telle proposée par Baker [BAK05].

n	$C_{\min} (V_{FS}=1 \text{ Volt})$	$C_{\min} (V_{FS}=0.5 \text{ Volt})$
8	0,00325 pF	0,013 pF
10	0,052 pF	0,208 pF
12	0,833 pF	3,3 pF
14	13,3 pF	53,3 pF
16	213,3 pF	853,4 pF



Au niveau de la performance, la linéarité du C-CNA est limitée par l'appariement des capacités et l'effet des capacités parasites. Baker [BAK05] a montré que dans un CNA à réseau de capacités pondérées en binaire, le pire cas se produit à mi-échelle durant les transitions des codes 01...11 à 10...00. À ce niveau, on peut estimer les expressions du DNL (*Differential non-Linearity*) et INL (*Integral non-Linearity*) correspondantes à partir de l'équation 4.13.

$$\begin{cases} DNL = (2^n - 1) \cdot \Delta C_0 \text{ avec } \Delta C_0 = \frac{C_0}{2^{n+1} - 2} \\ INL = \pm 2^{n-1} \cdot \Delta C_0 \text{ avec } \Delta C_0 = \frac{C_0}{2^n} \end{cases} \quad (4.13)$$

où  $\Delta C_0$  est l'erreur due à l'appariement et  $n$  la résolution du C-CNA.

Par ailleurs, une importance toute particulière doit être accordée aux dessins de masques.

#### 4.2.5 *Technique de conception du réseau de commutateurs*

Le réseau de commutateurs sert à passer le courant au CNA. La technique utilisée pour implémenter ce réseau de commutateurs est fonction de la structure du CNA.

Pour un CNA basé sur le réseau R-2R, une attention particulière doit être mise sur les résistances du réseau de commutateur. Étant donné que chaque commutateur est connecté en série avec la résistance 2R comme illustré à la figure 4.7, la résistance équivalente associée à chaque commutateur va fortement affecter la valeur de la résistance 2R associée à chaque branche, et ainsi détériorer la tension de sortie  $V_{HAQ}$ . Pour surmonter un tel obstacle, nous avons utilisé des portes de transmission (transistor nMOS/pMOS) au niveau de chaque commutateur. Les transistors ont été dimensionnés de façon à avoir une très petite résistance de commutation  $R_{SW}$ . Ceci permettra de

s'assurer que la résistance de commutation  $R_{sw}$ , sera toujours très négligeable devant  $2R$  et en conséquence, elle n'affectera pas la précision du CNA de type R-2R.

Au niveau du CNA basé sur le réseau de capacités pondérées en binaire, la contrainte précédente n'a pas lieu d'être, les commutateurs contrôlés par les signaux  $b_1$  à  $b_{10}$  ont été conçus à partir des portes de transmission. Les transistors de la porte de transmission sont de grosse taille. Ceci permet d'assurer une grande vitesse de commutation. L'erreur d'injection de charges n'a pas été une préoccupation car la majorité des commutateurs sont activement actionnés durant tous les cycles de conversion [McC75]. Par ailleurs, les capacités parasites provenant des plaques inférieures de la chaîne de capacités du C-CNA n'ont aucune influence sur la tension de sortie du CNA.

Tout au long de ce chapitre, nous avons présenté les différentes étapes de conception d'un CAN-AS 8 bits et 10 bits de résolution. Une nouvelle stratégie de conception des comparateurs a été proposée afin de faire face aux problèmes liés à la réduction de l'alimentation. Nous avons aussi présenté une architecture non conventionnelle de bascule D. Elle a été utilisée pour implémenter le RAS. Au niveau du convertisseur N/A, nous avons opté pour des structures classiques. Cependant, une attention très particulière a été portée sur le choix des paramètres de conception qui garantissent le fonctionnement à basse tension et à basse puissance.

Les résultats de mesures expérimentaux et simulations seront présentés dans le prochain chapitre. Également y seront présentées les procédures de test et une analyse détaillée des résultats obtenus.

## ***Chapitre 5***

### ***RÉSULTATS ET DISCUSSION***

Dans les chapitres précédents, nous avons présenté la méthodologie de conception d'un comparateur dynamique, un CNA de type R-2R, un CNA capacitif et un circuit numérique de contrôle. De telles réalisations ne peuvent être effectives que si les résultats expérimentaux et/ou de simulation ne viennent corroborer les architectures de circuits présentés. Le comparateur dynamique proposé dans ce projet a été testé dans deux topologies de CAN-AS distincts.

Nous présenterons ici et de façon explicite les procédures de test, les résultats de simulations et ainsi que les mesures expérimentales des circuits implémentés durant ce mémoire.

#### **5.1 Environnement de conception et technologie utilisées**

Les circuits proposés dans ce mémoire ont été implémentés dans le procédé standard CMOS 0.18  $\mu\text{m}$  fourni par la CMC (*Canadian Microelectronics Corporation*). Cette technologie offre une seule couche de polysilicium, un puits de type N, six couches de métaux et une capacité métal-isolateur-métal (MIM). La circuiterie a été simulée dans l'environnement cadence, en utilisant les simulateurs Spectre et Hspice avec les modèles de transistors BSIMv3. Au niveau expérimental, les signaux d'horloge et d'entrée ont été générés à partir du générateur de forme d'ondes arbitraires Agilent Modèle 33250A. Les signaux de sortie ont été observés à l'aide de l'oscilloscope de la compagnie Tektronix modèle TDS7154.

## 5.2 Dessin de masques

Le dessin des masques des circuits intégrés mixtes est une étape cruciale dans le processus de conception. Elle marque la transition vers la fonderie, il faut donc utiliser des techniques qui permettent de faciliter la déposition des couches de métaux, réduire les capacités et résistances parasites, et pour finir, respecter les règles de conception. Dans le cadre de ce projet, nous avons pu réaliser l'implémentation physique des blocs analogique et numériques faisant partie intégrante du CAN-AS.

### 5.2.1 Réalisation du dessin de masque du comparateur basé sur la cellule FVF

La réalisation du dessin de masques du comparateur de la figure 4.2 constitue un point important dans le fonctionnement post-dessin de masques de notre CAN-AS. L'objectif ici consiste à obtenir après fabrication des résultats de mesure similaires à ceux obtenus en simulation. Pour ce faire, il faut s'assurer de bien appairer les transistors, réduire l'impact des capacités et résistances parasites. Au niveau de l'appariement des transistors, la géométrie du centroïde commun a été appliquée sur les transistors de l'étage d'entrée différentielle. Les transistors  $M_{P1}$ ,  $M_{P2}$ ,  $M_{P3}$  et  $M_{P4}$  de la figure 4.2 sont appariés entre eux ainsi que les transistors  $M_1$ ,  $M_2$ ,  $M_3$  et  $M_4$  de la figure 4.3. Des transistors DUMMY et anneaux de garde ont aussi été utilisés afin d'isoler le circuit au bruit externe, prévenir l'apparition du Latch-up. Les mêmes considérations ont été appliquées sur le dessin de masque du générateur d'horloge. La figure 5.1 présente le dessin des masques du comparateur et du générateur d'horloge. La micrographie de ces derniers est illustrée à la figure 5.2. La surface totale occupée par ces deux blocs est de  $152\text{ }\mu\text{m} \times 57\text{ }\mu\text{m}$ .

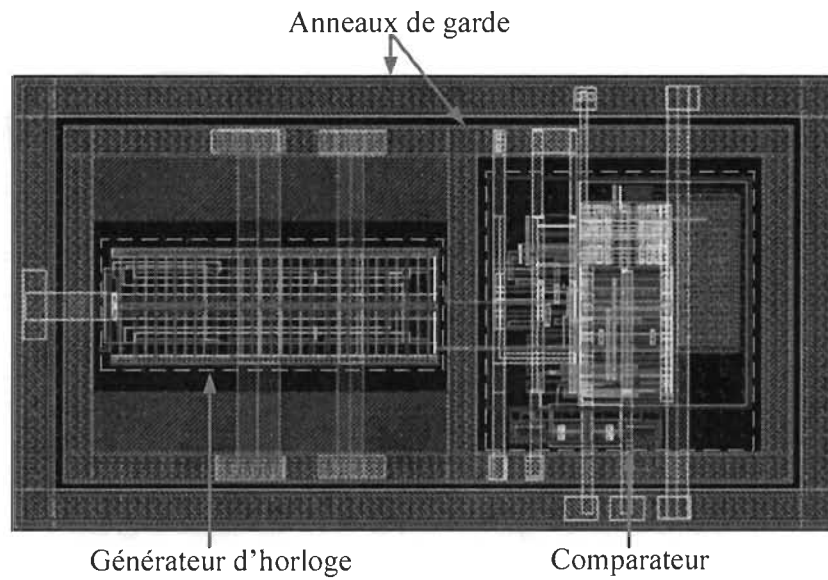


Figure 5.1 : Dessin de masques du comparateur et du générateur d'horloge

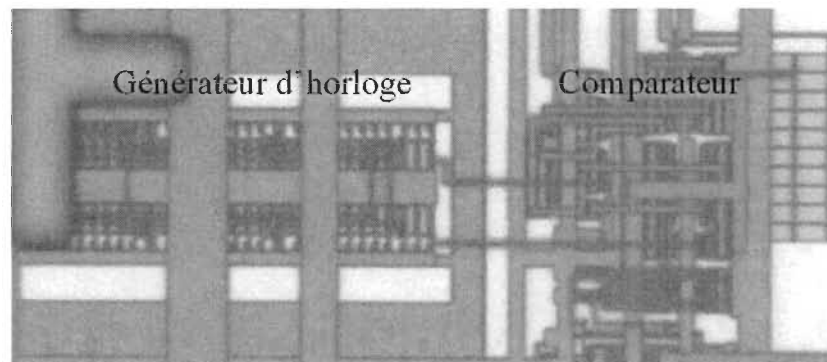


Figure 5.2 : Microphotographie du comparateur et générateur d'horloge.

### 5.2.2 Réalisation du dessin de masques d'un CNA basé sur le réseau R-2R

Dans la réalisation du dessin de masques d'un CNA de type R-2R à 8 bits, il faut s'assurer de réduire au maximum les résistances parasites, bien appairier les résistances du réseau R-2R et ensuite, protéger le circuit contre le bruit externe. Nous avons eu recours à une résistance de 5 kOhms pour concevoir le réseau R-2R. La mise en place du dessin de masque d'une telle résistance requiert d'abord un choix judicieux sur la couche à utiliser car, elle doit avoir une faible dissipation de puissance, moins de résistances parasites et être facilement contrôlable par le procédé.

L'expression algébrique d'une résistance est donnée par l'équation (5.1) [BAK05].

$$R = \frac{\rho}{T} \frac{L}{W} = R_S \frac{L}{W} \quad (5.1)$$

où  $R_S$  est la résistance par carré exprimée en  $\Omega/\square$ ,  $L$  et  $W$  sont la longueur et la largeur, paramètres du dessin de masques. Un carré est défini comme la condition lorsque  $L=W$ . Le concepteur est libre de choisir les valeurs de  $L$  et  $W$ , tandis que  $R_S$  est fixée par le procédé utilisé. De même,  $R_S$  est indépendante des dimensions du carré et elle est utilisée comme métrique des résistances intégrées [BAK05]. La couche semi-conductrice utilisée pour réaliser nos résistances intégrées est le polysilicium. Compte tenu des effets secondaires tels que les capacités et résistances parasites qui peuvent fortement affecter le comportement du réseau R-2R, la technique “*Interdigitated*” pour optimiser l'appariement des résistances a été appliquée pour l'appariement des résistances et les résistances DUMMY ont aussi été utilisés pour minimiser les effets de bord (interférences dues aux éléments externes). Par ailleurs, tout le réseau R-2R baigne dans un puits N afin d'isoler les résistances du bruit provenant du substrat.

En somme, il faut s'assurer que le pourcentage de polysilicium utilisé dans le dessin de masque global respecte le quota établi par les règles de conception définies par la TSMC [BAK05]. La figure 5.3 illustre le dessin des masques du CNA de type R-2R tel

que décrit à la figure 4.6 et la surface occupée est de  $89\text{ }\mu\text{m} \times 53.5\text{ }\mu\text{m}$ . La figure 5.4 illustre le dessin des masques du CAN-AS à 8 bits dont la surface est de  $508\text{ }\mu\text{m} \times 196\text{ }\mu\text{m}$ .

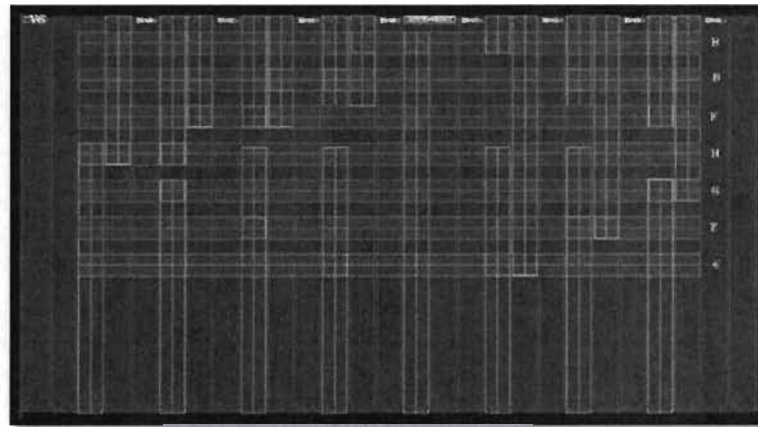


Figure 5.3 : Dessin des masques du CNA de type R-2R à 8 bits présenté à la figure 4.6.

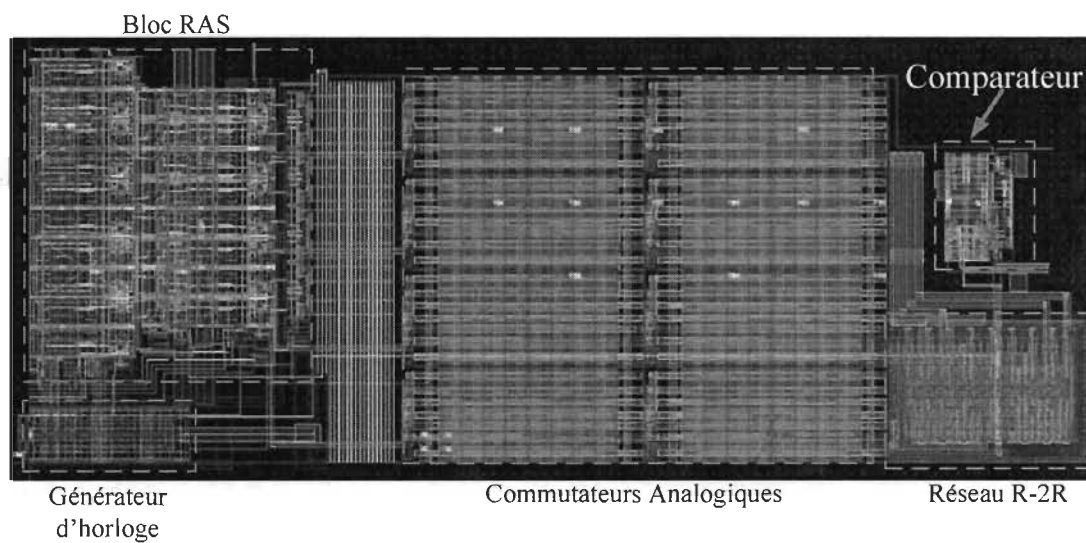


Figure 5.4 : Dessin des masques du CAN-AS à 8 bits de type R-2R.

### **5.2.3 Réalisation du dessin de masques du CNA à capacités pondérées de façon binaire**

La réalisation du dessin de masques d'un C-CNA tel que présenté à la figure 4.8, demande une attention particulière sur la gestion des capacités parasites. Pour réduire la sensibilité aux mésappariements et erreurs de décalage de tension systématiques, le dessin de masques du C-CNA a été disposé selon la technique du centroïde commun. Chaque capacité du réseau est représentée par une ou plusieurs capacités unitaires, ceci dépendamment de sa valeur initiale. Afin de respecter les règles de conception et prévenir les erreurs de linéarité, nous avons utilisé une capacité unitaire de 80 fF.

Au niveau de la fabrication des capacités intégrées, une mauvaise sous-cotation du dessin de masques peut causer des erreurs d'échelle. En outre, la non-uniformité de l'oxyde peut entraîner une erreur de gradient. L'effet de frange et les interconnexions sont aussi des sources d'erreurs. Bien que nous ne puissions contrôler l'aspect fabrication, certaines solutions ont quand même été proposées par McCreary et al. [McC75], afin d'implémenter des capacités ayant de bonne performance.

Les capacités doivent être fractionnées en capacité unitaire. Par exemple, pour  $C_{10} = 2^{n-1} C_0$ , la capacité  $C_{10}$  sera répartie en  $2^9$  capacités unitaires. Pour  $C_9 = 2^8 C_0$ , on aura  $2^8$  capacités unitaires, ainsi de suite jusqu'à la capacité de LSB. Ceci permet d'avoir une sous-cotation uniforme et ainsi minimiser les effets secondaires.

Une fois que l'on a établi un réseau de capacités uniformes, la technique du centroïde commun est alors appliquée afin de minimiser l'effet du gradient d'oxyde. Le dessin des masques sera par la suite entouré de capacités DUMMY qui contribueront à immuniser le circuit des effets de non uniformité des bords durant le procédé de gravure des couches de métal, qui constituent les plaques de capacités qui apparaissent pendant la fabrication [McC75]. Le plan architectural du dessin des masques du réseau de capacités est décrit à la figure 5.5.



[illegible]

Figure 5.5 : Plan du dessin des masques du réseau de capacités

D représente la capacité Dummy et les chiffres représentent chaque capacité du réseau.

Au niveau des blocs numériques à savoir le RAS, la logique de contrôle, le générateur d'horloge et le réseau de commutateurs, aucune disposition particulière n'a été prise d'autant plus que ces blocs ne copient pas de courant continu. Un niveau logique est obtenu à la sortie pour une tension appliquée en entrée, par contre, les signaux critiques tels que le signal d'horloge et de remise à zéro ont été isolés.

Durant le processus de gravure des masques, une accumulation de charges le long des conducteurs connectés à la grille de polysilicium peut engendrer des erreurs d'antenne ou détériorer la couche d'oxyde sur la grille. Au niveau physique, il y a une accumulation des charges durant le procédé de gravure de chacune des couches de métal. La présence de ces charges résulte en un champ électrostatique, autrement dit une différence de potentiel statique entre la grille de polysilicium et le substrat, ce qui va exercer un stress supplémentaire sur l'oxyde de la grille et éventuellement, lorsque la quantité de charge est suffisamment grande, détériorer ce dernier bien avant que le circuit ne soit mis sous tension. Pour remédier à ce problème, il faut prévoir des diodes d'antenne connectées sur les grilles de polysilicium à partir du métal 1. Autrement dit, une diffusion est utilisée pour libérer les charges afin de prévenir toute accumulation durant le processus de gravure. La diffusion ou diode d'antenne peut être construite avec une combinaison zone active/nplus/contact/métal 1 sur du substrat p. Par ailleurs, la diode d'antenne qui peut être de type nMos ou pMOS ne doit pas être connectée à toutes les grilles des transistors dans le circuit, mais uniquement sur celles dont le ratio de la superficie du métal par rapport à la superficie de la grille de poly auquel il se connecte soit supérieur à 100 ou 1000. Autrement dit, il faut s'assurer que toute grille se connecte à une diffusion proche, ou moins de 50  $\mu\text{m}$  [SIA08].

Compte tenu de tous ces aspects physiques qui peuvent fortement affectés le fonctionnement de notre circuit après fabrication, nous avons donc mis l'accent sur le respect des règles de conception lors de l'implémentation du dessin des masques. Au niveau du C-CNA, le ratio entre les capacités a été respecté de façon à bien minimiser les capacités parasites. La figure 5.6 présente le dessin des masques du CAN-AS à 10 bits

basé sur le C-CNA tel que présenté à la figure 4.8. Ce CAN-AS occupe une surface de  $635 \mu\text{m} \times 533.36 \mu\text{m}$ .

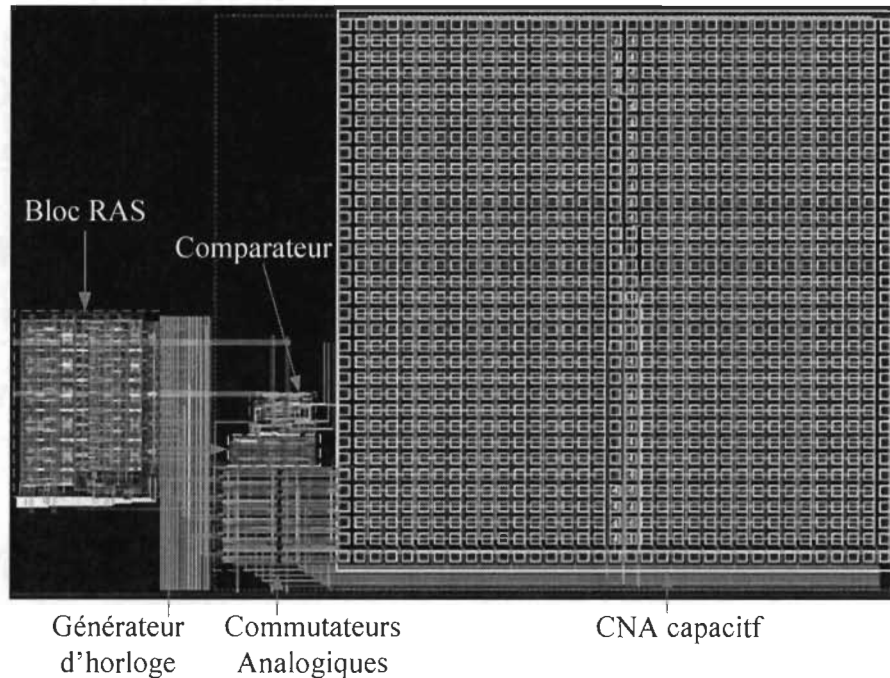


Figure 5.6 : Dessin des masques du CAN-AS à 10 bits basé sur un CNA à capacités pondérées en binaire tel que présenté à la figure 4.8.

### 5.3 Résultats de simulation post-dessin des masques

La fonctionnalité des circuits proposés dans ce projet a été validée par des résultats primaires qui permettent de confirmer nos assertions.

#### 5.3.1 Simulation fonctionnelle du comparateur basé sur la cellule “Flipped Voltage Follower”

Le comparateur proposé dans ce mémoire a été simulé avec Hspice, utilisant les modèles de transistors BSIMv3 et fabriqué dans le procédé CMOS  $0.18 \mu\text{m}$ . Dans ce

procédé, les niveaux de la tension de seuil des transistors nMOS/pMOS sont respectivement 0.52 V and  $-0.48$  V.

Les résultats de simulation du comparateur sont décrits à la figure 5.7 et 5.8. Le signal dynamique généré a une amplitude de 1 V crête-à-crête suivi d'une variation de 0.122 mV (qui correspond à  $\frac{1}{2}$  LSB, soit 12 bits de précision). La fréquence d'horloge est de 20 MHz, avec une tension d'alimentation  $V_{DD} = 1$  V. La figure 5.7 illustre les signaux d'entrée, tandis que la sortie et l'horloge sont décrites dans la figure 5.8. Le comparateur a une dissipation maximale de  $65.3 \mu\text{W}$  lorsqu'il est échantillonné à 20 MHz et ayant une charge capacitive de 0.25 pF. Le délai de propagation maximum se situe autour de 11 ns.

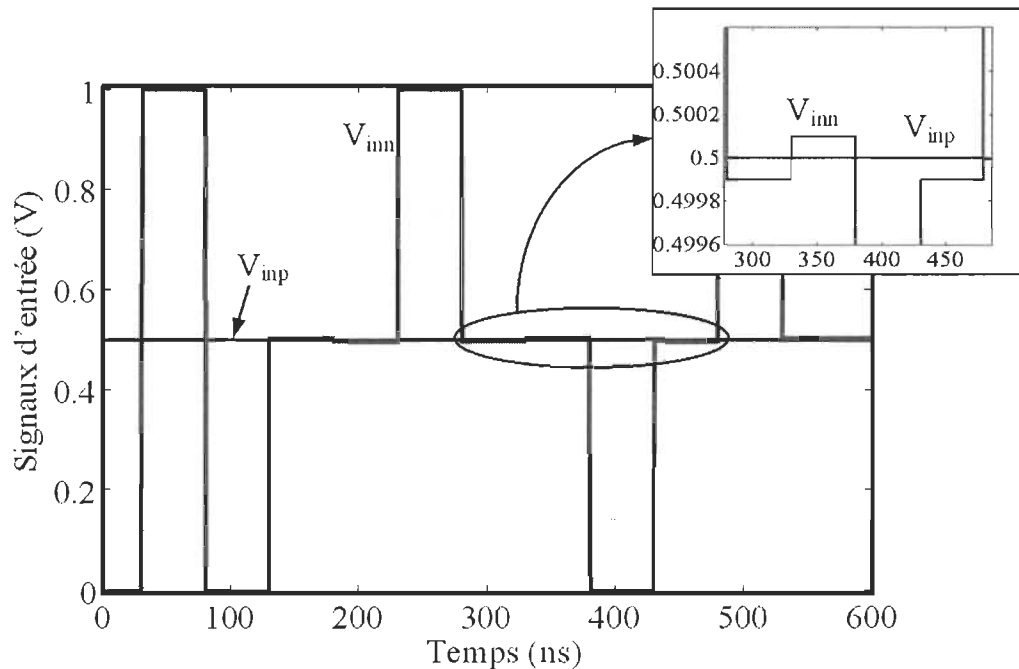


Figure 5.7 : Signaux appliqués à l'entrée du comparateur: Un signal dynamique d'amplitude 1 V crête à crête comparé et un signal de référence fixé à la tension en mode commun, soit 0.5 V.

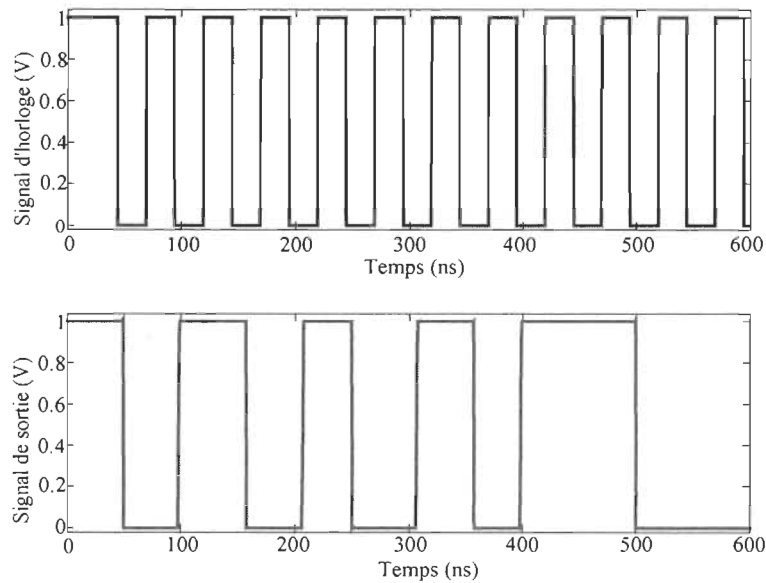


Figure 5.8 : Signal d'horloge à 20 MHz et signal de sortie du comparateur simulé.

Une simulation Monte-Carlo a aussi été réalisée afin d'évaluer l'impact du non appariement des transistors, la variation du procédé et la température. Le résultat, tel que décrit à la figure 5.9 révèle que, pour 200 comparateurs, on a une erreur de tension de décalage moyen égale à  $14 \mu\text{V}$  avec une déviation standard de  $11.2 \mu\text{V}$ , ce qui donne un offset maximum d'environ  $47.6 \mu\text{V}$ , soit 99.9 % du rendement ( $3\sigma$ ).

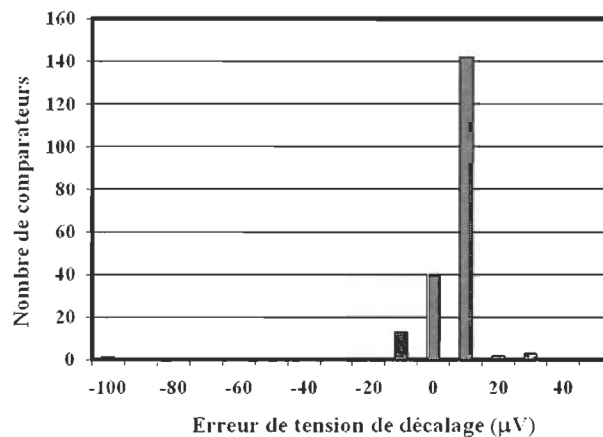


Figure 5.9 : Histogramme de l'erreur de tension de décalage du comparateur.

La simulation de Monte Carlo permet ainsi de mieux établir des prévisions concernant l'erreur de tension de décalage maximale que peut avoir un nombre donné de comparateurs. Ceci devient très intéressant lorsque sur une gaufre de silicium, on a un des milliers de comparateurs devant être envoyé sur une chaîne de test. L'estimation préalablement faite nous donnera des indices sur la variation de l'erreur de tension.

Comme nous l'avons mentionné précédemment, un deuxième facteur qui peut fortement affecter la performance du comparateur n'est autre que le bruit de rebond. Le bruit de rebond simulé à partir du circuit de test illustré à la figure 5.10, a permis d'observer une perturbation de 15 mV dans le pire des cas avec une largeur d'impulsion inférieure ou égale à 5 ns comme décrite à la figure 5.11, ce qui est inférieure au délai de propagation moyen du comparateur, soit 8.75 ns. Par conséquent, le bruit de rebond n'a pas d'impact sur la performance du comparateur.

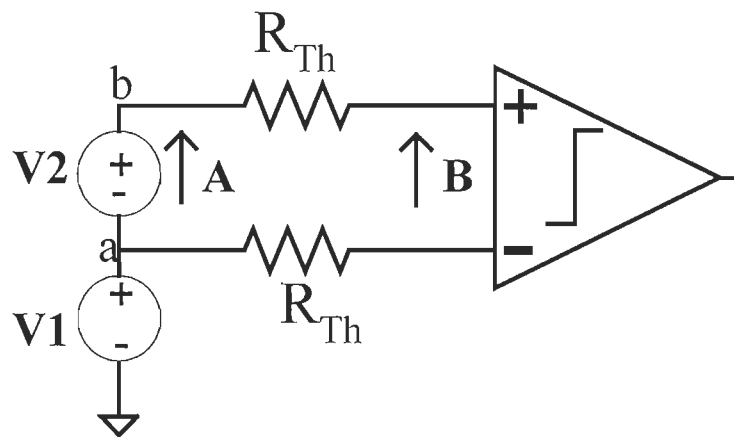


Figure 5.10 : Circuit d'évaluation du bruit de rebond (Tiré de [FIG06]).

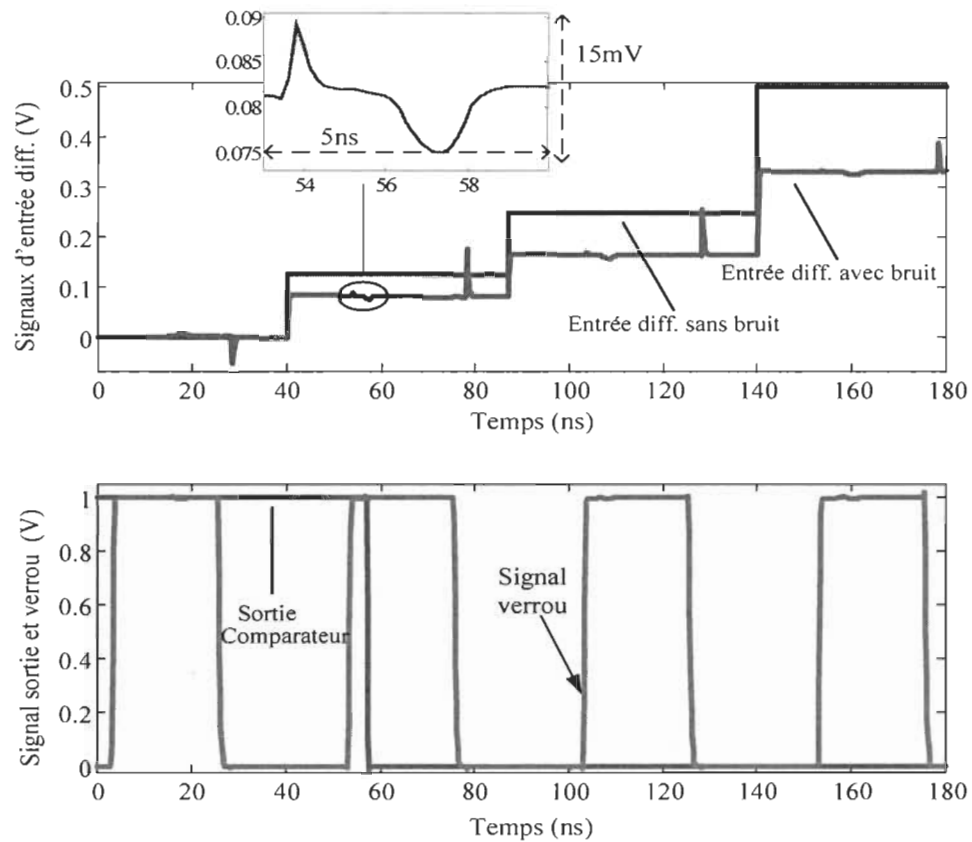


Figure 5.11 : Impact du bruit de rebond sur la performance du comparateur.

La sortie du compateurest activé par le signal de verrou qui n'est autre que le signal d'horloge  $\phi_1$  (voir figure 4.2) qui décide du changement d'état à la sortie du comparateur lorsqu'une différence de niveau de tension analogique est détectée sur son entrée différentielle.

### 5.3.2 Simulation fonctionnelle du CAN-AS

La simulation fonctionnelle du CAN-AS à 8 bits de type R-2R de la figure 5.4, et CAN-AS à 10 bits de type C-CNA de la figure 5.6 ont été réalisées à partir d'un signal dynamique produit par un générateur de fonction. Une vérification plus simplifiée a consisté à omettre l'E/B et à injecter directement un signal ayant la forme d'escalier à l'entrée du CAN-AS.

Dans le cas du CAN-AS à 8 bits de type R-2R, les signaux de niveau logique égale à 8xLSB, 32xLSB, 64xLSB et 128xLSB ont été injectés à l'entrée. Le CAN-AS a été simulé à une fréquence de 10 MHz. La figure 5.12 montre le signal obtenu au niveau de la sortie du CNA.

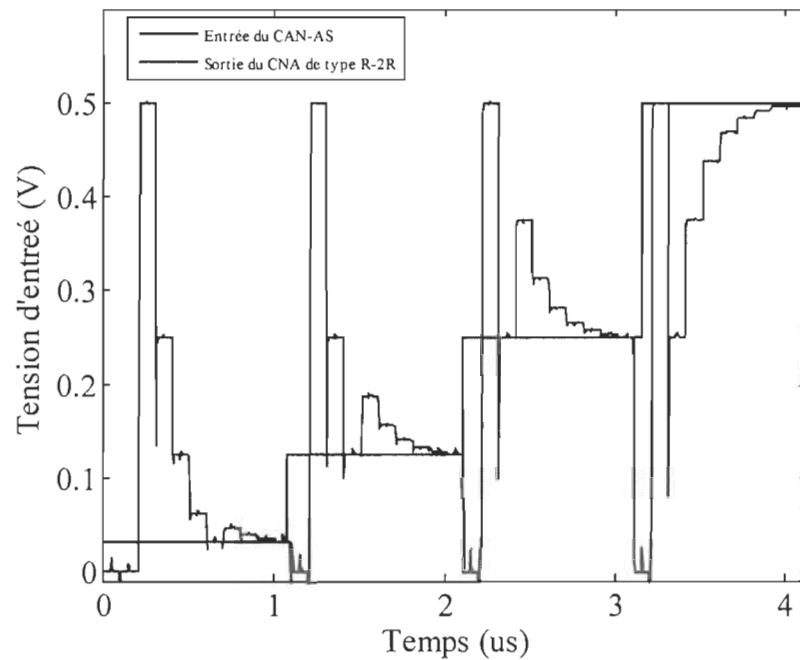


Figure 5.12 : Simulation du CAN à 8 bits de type R-2R (fig. 5.4) pour quatre conversions sous une fréquence d'horloge de 10 MHz (Taux de sortie à 1.25 MS/s).

La figure 5.12 montre clairement comment une conversion nécessite 8 coups d'horloge plus un coup d'horloge servant à la réinitialisation du CAN. Étant donné la configuration de test utilisée pour aligner le signal d'entrée et le signal d'horloge, on va observer des transitions au-dessous du signal à convertir. Ces transitions représentent la période durant laquelle le système se réinitialise avant de commencer une nouvelle conversion. Les conversions ne se produisent pas toujours au même instant mais la durée d'une conversation par rapport à la prochaine est la même puisque tout se fait sous l'impulsion du signal d'horloge.



La consommation en puissance du CAN-AS à 8 bits de type R-2R est de  $160 \mu\text{W}$  à 1 V avec un taux de sortie égale à 1.25 MS/s. La figure typique de mérite (*FOM – Figure Of Merit*) utilisé dans [HON07], est référencée ici afin de savoir l'énergie requise par conversion. Le FOM est défini comme

$$FOM = \frac{P}{2^{ENOB@DC} * f_s} \quad (5.2)$$

Où P est la puissance consommée et  $f_s$  la fréquence à laquelle les données sont prises en sortie.

Le FOM est donc de 0.62pJ/pas-de-conversion.

Dans le cas du CAN-AS à 10 bits à réseau de capacités pondérées en binaire, les signaux de niveau logique égale à 1xLSB, 128xLSB, 512xLSB et 1024xLSB ont été injectés à l'entrée. Le CAN-AS a été simulé à la vitesse 1 MS/s. La figure 5.13 illustre le signal obtenu à la sortie du CNA capacitif.

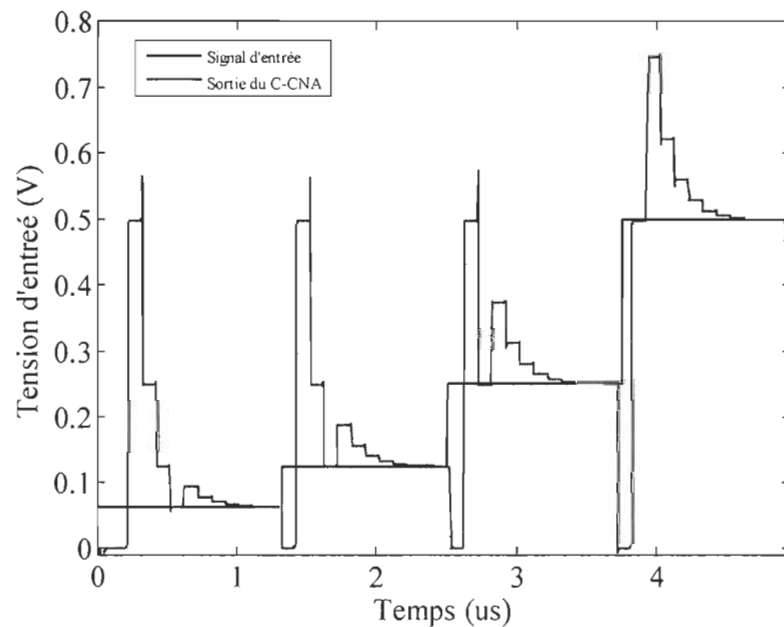


Figure 5.13 : Simulation du CAN-AS à 10 bits basé sur un C-CNA (fig. 5.6) pour quatre conversions sous une fréquence d'horloge de 10 MHz (Taux de sortie à 1 MS/s).

La figure 5.13 montre clairement comment la conversion nécessite 10 coups d'horloge plus un coup d'horloge servant à la réinitialisation du CAN. Étant donné la configuration de test utilisée pour aligner le signal d'entrée et le signal d'horloge, on va observer des transitions au-dessous du signal à convertir. Ces transitions représentent la période durant laquelle le système se réinitialise avant de commencer une nouvelle conversion. Les conversions ne se produisent pas toujours au même instant mais la durée d'une conversion par rapport à la prochaine est la même puisque tout se fait sous l'impulsion du signal d'horloge. Nous pouvons donc dire que les tensions analogiques obtenues à la sortie du CNA sont ceux escomptés et le décalage observé sur le graphe se produit pendant la période de réinitialisation du système.

La consommation de puissance du CAN-AS à 10 bits basé sur le C-CNA est de  $175\ \mu\text{W}$  à 1 V avec un taux de sortie égale à 1 MS/s. Le FOM est donc de  $0.27\ \text{pJ/pas-de-conversion}$ . Au vue des graphes ci-dessus, les CAN-AS proposés ici sont fonctionnels. La prochaine étape consiste à évaluer les performances dynamiques et statiques des CAN.

#### ***5.3.2.1 Mesure des performances dynamiques du CAN-AS***

La méthode traditionnelle du test dynamique consiste à utiliser un circuit d'E/B et un CNA d'une haute précision afin de reconstruire le signal de sortie du CAN. Une fois ce signal reconstruit, on applique la transformée de Fourier rapide afin d'évaluer les paramètres de performance dynamique tels que, le rapport signal sur bruit (S/B) et le FOM.

Dans cette méthode, il faut s'assurer de sélectionner adéquatement la fréquence d'échantillonnage, la fréquence du signal d'entrée et la taille des données à analyser. Pour ce faire, on applique l'échantillonnage cohérent qui décrit l'échantillonnage d'un signal périodique où un nombre entier de ses cycles correspond à une fenêtre d'échantillon prédéfini [ROB95]. Algébriquement, ceci est exprimé par

$$f_{in} = \frac{N_{window}}{N_{Données}} \times f_{Clk} \quad (5.3)$$

où  $f_{in}$  est la fréquence du signal continue d'entrée sinusoïdal,  $f_{Clk}$  est la fréquence d'horloge de l'E/B,  $N_{WINDOW}$  représente un nombre premier (nombre de cycles de l'onde sinusoïdale) dans la fenêtre d'échantillonnage, et  $N_{Données}$  est le nombre de données ciblées pour la fenêtre d'échantillonnage. Pour des raisons de fiabilité, nous avons utilisé un CAN-AS en configuration “*back-to-back*” afin de réaliser nos mesures. L'environnement de test est illustré à la figure 5.14.

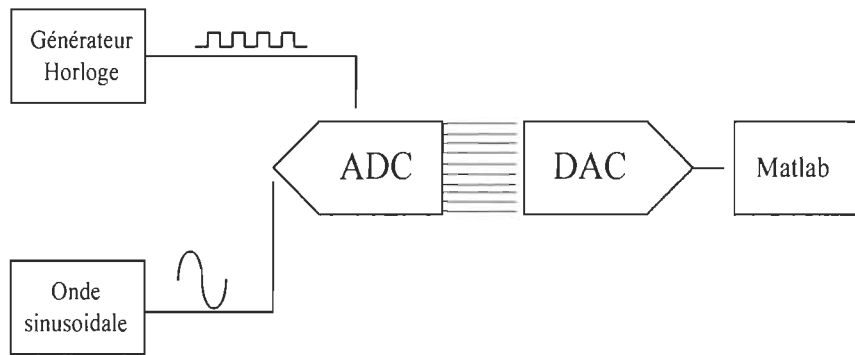


Figure 5.14 : Configuration de test permettant de reconstituer l'onde sinusoïdal d'entrée.

Le signal de sortie est reconstruit à partir du DAC idéal provenant de la librairie *ahdLib* de Cadence. Pour évaluer la non-linéarité, nous avons généré la densité spectrale de puissance (DSP) de ce signal à partir de Matlab. La procédure de test a été appliquée sur chaque topologie de CAN-AS.

Dans le cas du CAN-AS à 8 bits de type R-2R, nous avons appliqué une sinusoïde de fréquence 82.03125 kHz avec une amplitude de 300 mV crête à crête sous un échantillonnage de 1 MHz et le tout alimenté à 1 Volt. On a récupéré 256 ( $2^8$ ) données en sortie pendant 21 cycles d'horloges afin d'assurer les conditions de l'échantillonnage cohérent. La figure 5.15 illustre le spectre simulé. Le S/B est de 48.29 dB, ce qui correspond à une résolution effective de 7.68 dB.

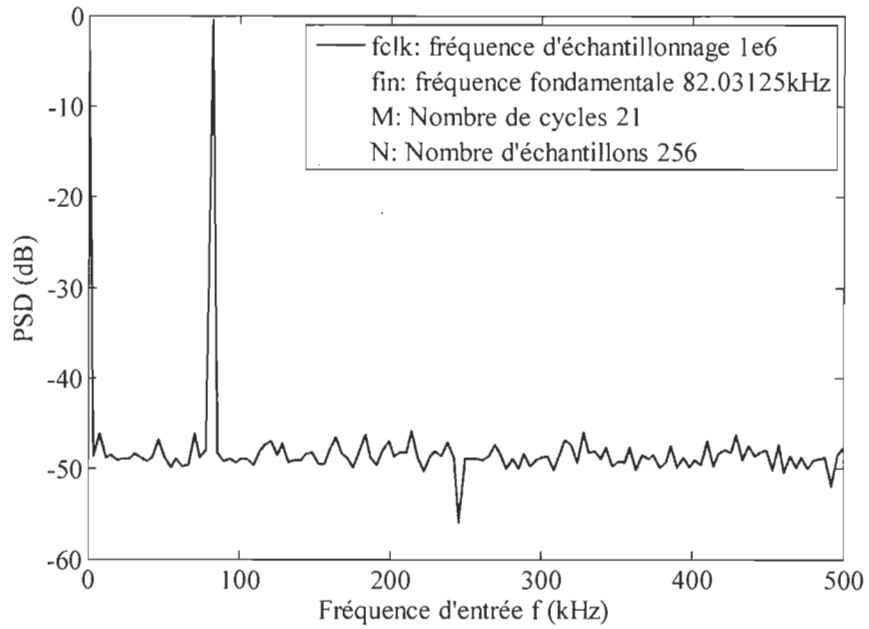


Figure 5.15 : Spectre de sortie simulé du CAN-AS à 8 bits de type R-2R (fig. 5.4) avec un signal sinusoïdal de fréquence 82.03125 kHz, une amplitude 300 mV crête à crête, un signal d'horloge de 1 MHz et sous une tension d'alimentation  $V_{DD}=1$  V.

Tableau 5.1 : Résumé des performances du CAN-AS à 8 bits de type R-2R

Technologie	CMOS 0.18 $\mu\text{m}$
Tension d'alimentation (V)	1
Taux de sortie (MS/s)	1.25
$S/B@f_{in}=82.03125$ kHz (dB)	48.29
$ENOB@f_{in}=82.03125$ kHz (bit)	7.68
FOM (pJ/Conversion-step)	0.62
Puissance Totale ( $\mu\text{W}$ )	160

La figure 5.16 illustre le spectre simulé dans le cas du CAN-AS à 10 bits de type capacitif.

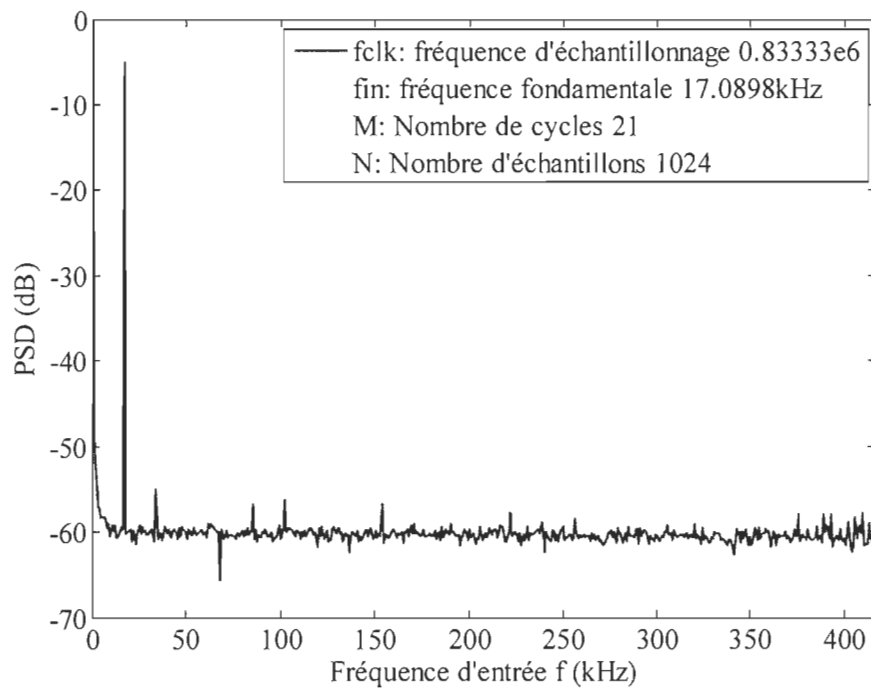


Figure 5.16 : Densité de sortie simulée du CAN-AS à 10 bits basé sur un C-CNA (fig. 5.6) avec un signal sinusoïdal de fréquence 17.08984375 kHz en entrée.

Nous avons appliqué une sinusoïde de fréquence 17.0898 kHz avec une amplitude de 250 mV crête à crête sous un échantillonnage de 0.83333 MHz et le tout alimenté à 1 V. On a récupéré 1024 ( $2^{10}$ ) données en sortie pendant 21 cycles d'horloges afin d'assurer les conditions de l'échantillonnage cohérent. Le S/B est de 57.86, ce qui correspond à une résolution effective de 9.32.

Tableau 5.2 : Résumé des performances du CAN-AS à 10 bits de type capacitif

Technologie	CMOS 0.18 $\mu\text{m}$
Tension d'alimentation (Volt)	1
Taux de sortie (MS/s)	1
S/B@ $f_{in}=17.0898$ kHz (dB)	57.86
ENOB@ $f_{in}=17.0898$ kHz (bit)	9.32
FOM (pJ/Conversion-step)	0.27
Puissance Totale ( $\mu\text{W}$ )	175

### 5.3.2.2 Mesure des performances statiques du CAN-AS

Dans le but de vérifier la précision et la linéarité de notre CAN-AS, nous avons tenté d'évaluer l'INL et le DNL. Plusieurs techniques de test ont été rapportées dans la littérature, mais les plus utilisées sont: le test par histogramme d'une rampe et celui par histogramme d'une onde sinusoïdale. Hsin-Wen dans [HSI08] analyse ces deux techniques et présente une structure de test à partir de l'histogramme d'une onde sinusoïdale.

Dans le cas du test par histogramme d'une rampe, il faut générer un signal de rampe périodique et proportionnel à la résolution du CAN-AS. Ce signal peut être une onde triangulaire dont la plage dynamique d'entrée est légèrement supérieure à celle du CAN. Le facteur le plus contraignant dans cette technique réside au niveau de l'environnement de test. La figure 5.17 décrit la configuration de l'environnement de test proposé dans [HSI08].

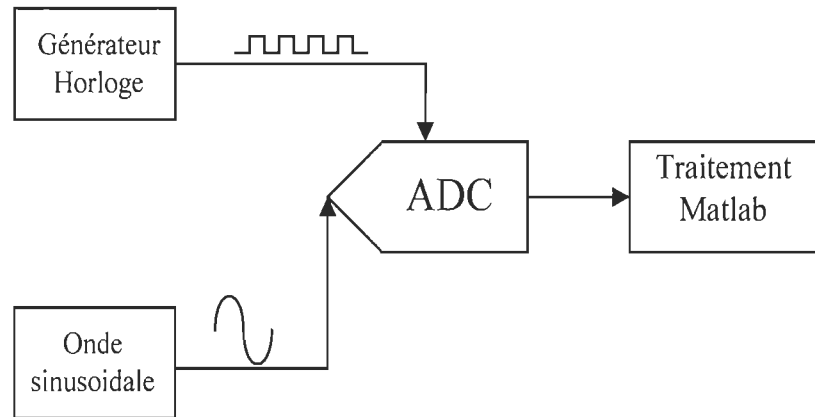


Figure 5.17 : Schéma bloc de la configuration de test utilisé pour évaluer les paramètres statiques.

Cette technique requiert une grande quantité d'échantillons par exemple: pour un convertisseur à 10 bits opérant à 1 MS/s, on a une centaine de milliers d'échantillons pour s'assurer d'évaluer de façon optimale l'INL et le DNL. En conséquence, leur évaluation devient difficile en simulation. L'aspect physique, autrement dit les mesures en laboratoire représentent une solution dans ce cas [HSI08].

#### 5.3.4 Comparaison des performances du CAN-AS

Le tableau 5.3 liste les résultats de comparaison. Les CAN-AS proposés dans ce mémoire offrent certains avantages comparés à ceux déjà présent dans la littérature. En prenant les travaux présentés par Guan-Ying et al [GUA09], on note que pour une même résolution, le nombre effective de bits obtenues à partir de notre architecture est plus proche de la valeur de départ comparé celle présenté dans [GUA09]. Le CAN-AS à 10 bits proposé dans ce mémoire possède un bon taux d'échantillonnage comparé à ceux présenté dans [AGN08] et [LOT09] par contre, elle dissipe plus d'énergie.

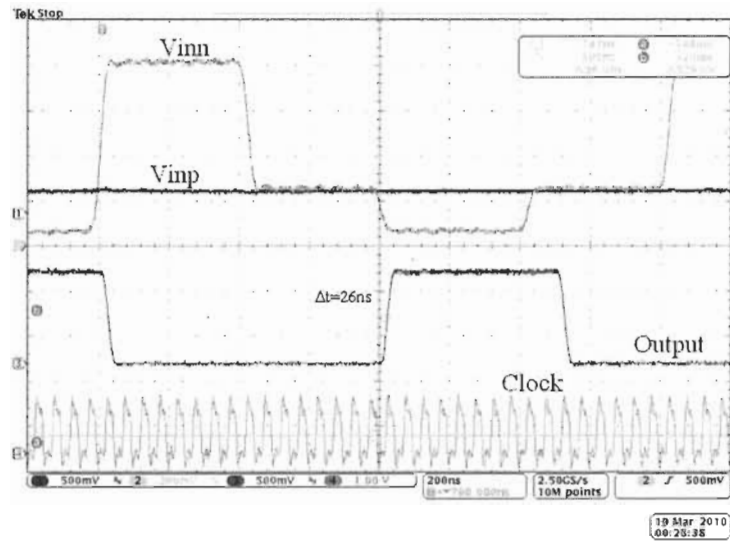
Tableau 5.3: Comparaison du CAN-AS proposé avec certains travaux présentés dans la littérature.

Sources	[GUA09]	[AGN08]	[LOT09]	Nos travaux	
Technologie	0.13 $\mu\text{m}$ CMOS	0.18 $\mu\text{m}$ CMOS	0.13 $\mu\text{m}$ CMOS	0.18 $\mu\text{m}$ CMOS	
Tension (V)	1.2	1	0.5 et 1	1	1
Puissance ( $\mu\text{W}$ )	320	3.1	1	160	175
Taux de sortie (éch <sup>*</sup> /s)	12000 K	100.9K	100 K	1250 K	1000 K
Resolution (bits)	10	12	10	8	10
Surface ( $\text{mm}^2$ )	0.07	----	----	0.01	0.33
ENOB@DC (bits)	8.16	11.1	9.2	7.68	9.32
FOM (pJ/étape de conversion)	0.095	0.014	0.017	0.62	0.27
S/B (dB)	----	----	----	48.29	57.86

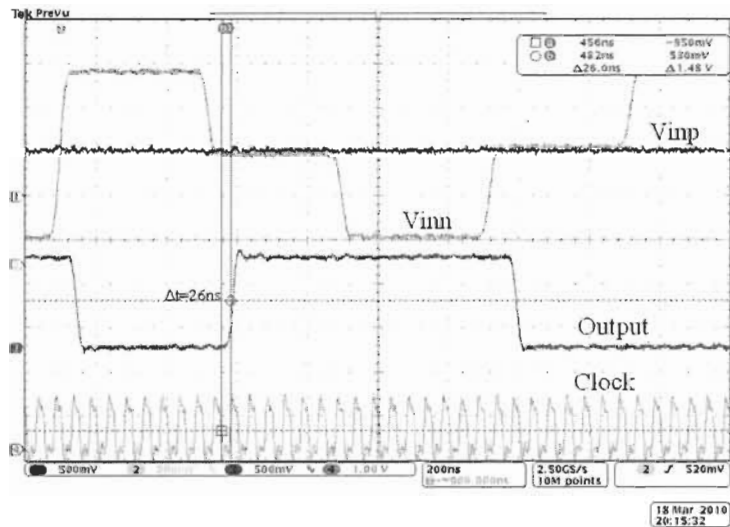
#### 5.4 Résultats expérimentaux du comparateur

Afin de vérifier la fonctionnalité pratique de l'architecture du comparateur proposé, des mesures ont été effectuées en laboratoire. La figure. 5.18 montre les résultats de mesures du comparateur lorsque un signal dynamique de tension 1 Volt crête à crête suivi par une polarité inversée d'environ 0.245 mV d'amplitude. Ces niveaux ont été utilisés afin de s'assurer que l'erreur de décalage de tension aléatoire ne puisse pas affecter de façon significative les résultats, tout en permettant au comparateur de prendre une décision dans un mode petit signal [RED97]. La tension en mode commun a été établie à 0.25 V et 0.5 V. On peut constater que, dans le pire des cas, le délai du comparateur est de 26 ns. Pour les deux figures, un générateur d'onde arbitraire a été utilisé pour produire le signal de test.





$$V_{CM} = 0.25 \text{ V}$$



$$V_{CM} = 0.5 \text{ V}$$

Figure 5.18 : Résultats des mesures du comparateur: Un signal d'entrée avec 1 Vpp, suivi d'une entrée inversée d'environ 0.245 mV, avec un niveau de référence en mode commun établi à 0.25 V et 0.5 V dans chaque régime d'opération. Le signal d'horloge est de 20 MHz.

Nous avons présenté les résultats expérimentaux et de simulation dans cette section. Une analyse approfondie permet de confirmer que le comparateur proposé dans

ce mémoire fonctionne correctement tant au niveau simulation que mesure. En outre, l'utilisation de ce comparateur dans l'implémentation de deux topologies de CAN-AS a permis de dégager des améliorations considérables.

## ***Chapitre 6***

### ***CONCLUSION ET DÉVELOPPEMENTS FUTURS***

L'objectif principal de ce projet était de proposer les techniques de conception des CAN à approximations successives dans les procédés submicroniques modernes. Nous avons conçu un CAN à approximations successives de 10 bits de résolution opérant à 1 V dans le procédé CMOS 0.18  $\mu\text{m}$ . La première partie du travail a été axée sur le principe de fonctionnement d'un CAN-AS, ses paramètres de performances et une revue de littérature des récents travaux qui ont déjà été effectués dans le domaine. L'étude a montré que la conception d'un CAN-AS reste une tâche méticuleuse qui demande une bonne maîtrise des éléments de base tels que le comparateur, l'échantillonneur bloqueur, le convertisseur analogique numérique et la logique numérique pour le contrôle.

#### **6.1 Vue d'ensemble du projet et difficultés rencontrées**

Pour mener à bien ce projet, nous avons travaillé suivant la méthodologie préalablement établie. L'architecture du comparateur proposée dans ce mémoire est dédiée aux applications qui opèrent à basse tension et basse puissance. Les résultats de mesure ont confirmé la fonctionnalité de cette architecture. Une nouvelle topologie de comparateur a été proposée et utilisée dans deux architectures de CAN-AS distinctes à savoir le CAN-AS à 8 bits basé sur un CNA de type R2R et le CAN-AS à 10 bits basé sur un CNA capacitif. Le but étant de vérifier à la fois l'impact du bruit de rebond sur la précision du convertisseur, la consommation en énergie de ce dernier et le degré de fiabilité du comparateur. Ce comparateur a fait l'objet d'une publication dans *Microelectronics journal* et une copie intégrale se trouve en annexe. Cette publication constitue une contribution notoire que j'ai réalisée dans mon mémoire.

Le CNA utilisé dans ce projet est une architecture conventionnelle et le circuit d'E/B n'y est pas inhérent. Au niveau de la circuiterie du bloc numérique de contrôle, nous avons allié robustesse et surface en optant pour des structures de circuits numériques plus simples et versatiles.

Au niveau des tests, on a eu recours à un E/B et CNA idéaux afin d'avoir un environnement de test adéquat. Le circuit du CAN-AS a été validé à partir d'une simulation post-dessin des masques, ceci pour les deux CAN-AS. Nous avons utilisé les simulateurs Hspice et Spectre de l'outil de conception Cadence. Dans le cas du CAN-AS à 10 bits basé sur le C-CNA, lorsqu'alimenté à 1 V avec un signal d'entrée sinusoïdal de fréquence égale à 17.08984375 KHz, la valeur calculée du S/B est de 57.86 dB, ce qui correspond à un ENOB de 9.32 et la puissance dissipée est de 175  $\mu$ W. Cette consommation en puissance est relativement bonne et peut encore diminuer si on réduit la fréquence d'horloge de moitié par exemple. Au niveau du CAN-AS à 8 bits de type R-2R, on a injecté une sinusoïde de 82.03125 KHz en entrée sous un échantillonnage de 1 MHz, le S/B calculé est de 48.29 dB, ce qui correspond à un ENOB de 7.68. La puissance dissipée est de 160  $\mu$ W. Nous pouvons donc dire que nos objectifs ont été atteints. La solution proposée pour réduire la consommation d'énergie dans les CAN-AS s'est montrée satisfaisante au regard des résultats obtenus. Dans le même ordre d'idée, la nouvelle architecture du comparateur qui a été proposée est fonctionnelle sur tous les plans.

Au-delà de ces réalisations, nous ne manquerons pas de signaler que les CAN-AS proposés dans ce projet restent toute fois limitée en fréquence d'opération, plus précisément celle de Nyquist. Par ailleurs, nous n'avons pas été en mesure d'évaluer les paramètres statiques du CAN-AS à cause des moyens matériels, mais cela constitue un point culminant pour les travaux futurs.

## 6.2 Recommandation pour des travaux futurs

Les convertisseurs de signaux restent un domaine très attractif où les concepteurs doivent relever de nouveaux défis dû à la constante réduction de l'échelle des transistors. La première recommandation consisterait à fabriquer les différentes topologies de CAN-AS proposées ici et toucher du doigt leur fonctionnalité physique. D'autres axes de développements pourraient être:

- ◆ Concevoir un CNA capacitif dans lequel l'E/B est inhérent et proposer une nouvelle logique de contrôle de façon à réduire leur consommation de puissance.
- ◆ Proposer une nouvelle architecture de CNA capacitif qui se démarque par une petite surface et une faible consommation d'énergie.
- ◆ Mettre sur pieds une technique de conversion par approximations successive qui nécessite au plus la moitié du nombre de bit comme cycle d'horloge requis à la conversion.
- ◆ Diminuer autant que possible la valeur du FOM

En somme, la conception d'un CAN-AS doté d'une bonne consommation d'énergie passe par un comparateur plus économe et une bonne faisabilité au niveau de l'implémentation du système.

## ***RÉFÉRENCES***

- [ABD07] Abdelhalim, K., et al., "A nanowatt successive approximation ADC with a calibrated capacitor array for biomedical applications," *Proc. MWSCAS*, pp. 136-139, Aug. 2007.
- [AGN08] Agnes, A., et al., "Design of an ultra-low power SA-ADC with medium/high resolution and speed," *Proc. ISCAS*, pp. 1-4, May 2008.
- [AHM08] Ahmed, I., et Johns, D. A., "An 11-Bit 45 MS/s Pipelined ADC With Rapid Calibration of DAC Errors in a Multibit Pipeline Stage," *IEEE J. Solid State Circuits*, Vol. 43, No. 7, pp. 1626-1637, July 2008.
- [BAK05] Baker, R. J. CMOS: Circuit Design, Layout, and Simulation, Wiley-IEEE 2<sup>nd</sup> Edition 2005.
- [BIN09] Binhee, K., et al., "An energy-efficient dual sampling SAR ADC with reduced capacitive DAC," *Proc. ISCAS*, pp. 972-975, May 2009.
- [BUL92] Bult, k., et Geelen, G. J. M., "An inherently linear and compact MOST-only current division technique," *IEEE J. Solid-State Circuits*, Vol. SC-27, No. 12, pp. 1730-1735, Dec. 1992.
- [CEN09] Centurelli, F., et al., "Design Solutions for Sample-and-Hold Circuits in CMOS Nanometer Technologies," *IEEE Trans. Circuits Syst. II*, Vol. 56, No. 6, pp. 459-463, June 2009.
- [CHE08] Cheng-Ta C., et al., "A Low-Cost CMOS Integrated Dual-Mode Dual-Slope ADC with Synchronous Rectification Circuit for AC/DC Signal Measuring." *Proc. IMTC*, pp. 165-169, May 2008.

- [CHU99] Chu, W.-S., et Wayne Current, K., "A CMOS Voltage Comparator with Rail-to-Rail Input Stage," *Analog Integrated Circuits and Signal Processing*, Vol. 19, No. 2, pp. 145-149, May 1999.
- [ELZ08] Elzakker, M. V., et al., "A 1.9uW 4.4fJ-Conversion-step 10b 1MS/s Charge-Redistribution ADC," *IEEE ISSCC Dig. Tech. Papers*, pp. 244-245, Feb. 2008.
- [FAY00] FAYOMI, C. J. B., et al., "Low-Voltage Analog Switch for High precision Sample-and-Hold Circuit," *Proc. MWSCAS*, Vol. 2, pp. 710-713, Aug. 2000.
- [FAY01] FAYOMI, C. J. B., et al., "A 1-V, 10-bit rail-to-rail successive approximation analog-to-digital converter in standard 0.18  $\mu$ m CMOS technology," *Proc. ISCAS*, Vol. 1, pp. 460-463, May 2001.
- [FAY07] FAYOMI, C. J.-B., et al., "A 1-V fully differential sample-and-hold circuit using hybrid cascode compensated DTMOS-based folded OTA," *IEEE Northeast Workshop Circuits and Systems*, pp. 33-36, Aug. 2007.
- [FAY08] FAYOMI, C. J.-B., et al., "The flipped voltage follower-based low voltage fully differential CMOS sample-and-hold circuit," *Proc. ISCAS*, pp. 1716-1719, May 2008.
- [FIG06] Figueiredo, P. M., et Vital J. C., "Kickback noise reduction technique for CMOS latched comparators," *IEEE Trans. Circuits Syst. II*, Vol. 53, No. 7, pp. 541-545, July 2006.
- [GIN05] Ginsburg, B. P., et Chandrakasan, A. P., "An energy-efficient charge recycling approach for a SAR converter with capacitive DAC," *Proc. ISCAS*, Vol. 1, pp. 184-187, May 2005.

- [GIN07] Ginsburg, B. P., et Chandrakasan, A. P., "500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *IEEE J. Solid State Circuits*, Vol. 42, No. 4, pp. 739-747, Apr. 2007.
- [GUA09] Guan-Ying, H., et al., "A 10-bit 12-MS/s Successive Approximation ADC with 1.2-pF Input Capacitance," *IEEE A-SSCC*, pp. 157-160, Nov. 2009.
- [HAO07] Hao-Chiao, H., et Guo-Ming, L., "A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, Vol. 42, No. 10, pp. 2161-2168, Sept. 2007.
- [HE09] He, J., et al., "Analyses of Static and Dynamic Random Offset Voltages in Dynamic Comparators," *IEEE Trans. Circuits Syst. I*, Vol. 56, No. 5, pp. 911-919, May 2009.
- [HSI08] Hsin-Wen, T., et al., "A Histogram-Based Testing Method for Estimating A/D Converter Performance," *IEEE Trans. Measurement*, Vol. 57, No. 2, pp. 420-427, Feb. 2008.
- [HWE09] Hwei-Yu, L., et Shen-Iuan, L., "A 140MS/s 10-bit pipelined ADC with a folded S/H stage," *Proc. ISCAS*, pp. 976-979, May 2009.
- [JEO08] Jeong-Sup Lee et In-Cheol Park, "Capacitor Array Structure and Switch Control for Energy-Efficient SAR Analog-to-Digital Converters," *Proc. ISCAS*, pp. 236-239, May 2008.
- [LAM05] Lampinen, H., et al., "Novel successive-approximation algorithms," *Proc. ISCAS*, Vol. 1, pp. 188-191, May 2005.
- [LIU09] Liu Chun-Cheng et al., "A 0.92 mW 10-bit 50-MS/s SAR ADC in 0.13  $\mu$ m CMOS Process," *IEEE Symp. VLSI Circuits Dig. Tech. papers*, pp. 236-237, June 2009.



- [LOT09] Lofti. R., et al., "An Ultra-Low-Power 10-Bit 100-kS/s Successive-Approximation Analog-to-Digital Converter," *Proc. ISCAS*, pp. 1117-1120, May 2009.
- [MAL94] Maloberti, F., "Layout of Analog and Mixed Analog Digital Circuits," in *Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing*, J. E. Franco and Y. Tsividis, 2<sup>nd</sup> Ed, Prentice Hall, 1994.
- [MOR00] Morteza pour, S., et Lee, E. K. L., "A 1-V, 8-Bit Successive Approximation ADC in Standard CMOS Process," *IEEE J. Solid-State Circuits*, Vol. 35, No. 4, pp. 642-646, Apr. 2000.
- [McC75] McCreary, J. L., et Gray, P., "All-MOS charge redistribution analog-to-digital conversion techniques," *IEEE J. Solid-State Circuits*, Vol. 10, No. 6, pp. 371-379, Dec. 1975.
- [OHN08] Ohnhaeuser, F., et Huemer, M., "Methods to eliminate dynamic errors in high-performance SAR A/D converter," *Proc. ISCAS*, pp. 2398-2401, May 2008.
- [PEL97] Pelgrom, M. J., et Vertregt, M., "CMOS Technology for Mixed Signals ICs," *IEEE J. Solid-State Circuits*, Vol.41, No. 7, pp. 967-974, July 1997.
- [RAZ95] B. RAZAVI, *Principles of Data Conversion System Design*, IEEE Press: New York 1995.
- [RED97] Redman-White, W., "A High Bandwidth Constant and Slew-Rate Rail-to-Rail CMOS Input Circuit and its Application to Analog Cells for Low Voltage VLSI Systems," *IEEE J. Solid-State Circuits*, Vol. 32, No. 5, pp. 701-712, May 1997.
- [ROB95] ROBERTS, G. W., "Calculating Distortion Levels in Sample-Data Circuits Using Spice," *Proc. ISCAS*, Vol. 3, pp 2059-2062, May. 1995.

- [SIA08] Semiconductor Industry Association (SIA), International Technology Roadmap for Semiconductors (ITRS), 2008 Update, available at <http://public.itrs.net>.
- [STE97] Steyaert, M., et al., "Custom Analog Low Power Design: The problem of low voltage and mismatch," *Proc. Custom Integrated. Circuits Conf.*, pp. 285-292, May 1997.
- [VAN06] Van der Plas, G., et al., "0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process," *IEEE ISSCC Dig. Tech. Papers*, pp. 2310, Feb. 2006.
- [YAN08] Yan Zhu, U-Fat C., et al., "Linearity analysis on a series-split capacitor array for high-speed SAR ADCs," *Proc. MWSCAS*, pp.922-925, Aug. 2008.
- [YIN92] Yin, G. M., et al., "A High-Speed CMOS Comparator with 8-b Resolution," *IEEE J. Solid State Circuits*, Vol. 27, No. 2, pp. 208-211, Feb. 1992.
- [YIU09] Yiu-kee, C. R., et Tsui, Chi-ying, "A Low Energy Two-step Successive Approximation Algorithm for ADC design," *Proc. ISCAS*, pp. 17-20, May 2009.
- [YUK85] Yukawa, A., "A CMOS 8-Bit High-Speed A/D Converter IC," *IEEE J. Solid-State Circuits*, Vol. 20, No. 3, pp. 775-779, June 1985.

## *Annexes*

### Low-Voltage, High-Speed CMOS Analog Latched Voltage Comparator using the "Flipped Voltage Follower" as Input Stage

Hugues J. Achigui<sup>1,2</sup>, Christian Fayomi<sup>1</sup>, Daniel Massicotte<sup>2</sup>, and Mounir Boukadoum<sup>1</sup>

<sup>1</sup> Department of Computer Science, Université du Québec à Montréal, Montréal, Canada

<sup>2</sup> Department of Electrical and Computer Engineering, Université du Québec à Trois-Rivières, Trois-Rivières, Canada

Submitted for publication in the  
Microelectronics Journal  
Years: 2011

Reference number: MEJ3122

**Abstract**— The design and characterization of a low-voltage, high-speed CMOS analog latched voltage comparator based on the flipped voltage follower (FVF) cell and input signal regeneration is presented. The proposed circuit consists of a differential input stage with a common-mode signal detector, followed by a regenerative latch and a Set-Reset (S-R) latch. It is suitable for successive-approximation type's analog-to-digital converters (ADC), but can also be adapted for use in flash type ADCs. The circuit was fabricated using 0.18  $\mu\text{m}$  CMOS technology, and its measured performance shows 12-bit resolution at 20 MHz comparison rate and 1-V single supply voltage, with a total power consumption of 63.5  $\mu\text{W}$ .

**Key words:** Flipped Voltage Follower, Low-Voltage, Analog CMOS Voltage comparator, Kickback noise.

#### 1. Introduction

Over the past years, growing interest for high-speed, low-power analog-to-digital converters (ADC) has been a major force driving the semiconductor industry toward increased integration of functional blocks within a single integrated circuit. Using smaller feature size

processes, smaller power consumption and shorter propagation delays can be expected. However, scaling down transistor dimensions is not a straightforward process due to high channel doping requirements, band-to-band tunneling across the junction, gate-induced drain leakage (GIDL), random doping variation, and difficulty to adequately control short channel effects [1]. Furthermore, as transistor dimensions become smaller, maximum supply voltages must also be reduced to fulfill reliability requirements [2], making analog circuit design more complex. The voltage comparator is representative of the circuits to which the previous concerns apply.

The voltage comparator is an important building block in ADC design. The performance and accuracy of an ADC are strongly determined by the comparator's ability to resolve the smallest voltage difference at its inputs. Thanks to its power efficiency, the dynamic latched comparator is currently the most attractive architecture for comparators. However, designing this circuit for low voltage operation can reduce its input dynamic range and the complementary differential

techniques [2,3] that are often used to enable rail-to-rail operation would increase power consumption. Component mismatch and random noise are also factors that affect the latched comparator's performance. As a result, novel circuit architectures are needed to correct the above-mentioned limitations.

In this paper, we describe a new approach to dynamic latch comparator design that replaces the input stage with a "flipped voltage follower" (FVF) cell [4]. The FVF cell offers the advantages of class-AB operation, enhanced input common mode range (ICMR), and the capacity for large voltage swing. Furthermore, because the FVF cell includes a voltage follower, its low output impedance allows it to source relatively large currents. The proposed circuit implementation is similar to the one in Ref. [5], but the new input stage improves performance in terms of slew rate and resolution. The higher slew rate is achieved thanks to the FVF's dynamic bias current setting, and the higher resolution is attainable thanks to its larger voltage swing, resulting in a higher signal-over-noise ratio. As well, the FVF has very low quiescent current [4].

The circuit is suitable for low-voltage, low-power and high-speed applications. It dissipates less than 65  $\mu$ W at 1-V single supply and can be implemented using standard 0.18  $\mu$ m CMOS technology. A sample device was fabricated and tested; it exhibited a 12-bit resolution while operating at 20 MHz comparison rate. As designed, there was no need to compensate the circuit for kickback noise as its duration was lower than that of the comparator's propagation delay. This makes the circuit mainly suitable for low and medium speed applications (< 20 MHz); however, the proposed architecture can achieve a higher speed if kickback noise compensation circuitry is added.

The balance of this paper is as follows: Section 2 describes the architecture of the proposed comparator, its bearing on circuit performance with more details provided on the regenerative process, are discussed in Section 3. Simulation and experimental measurements results are described in Section 4. Finally, conclusions are drawn in Section 5.

## 2. Proposed comparator circuit

The schematic of the proposed circuit is shown in Fig. 1(a). It includes two main stages: a class-AB differential amplifier and a regenerative latch followed by a set-reset (S-R) latch to provide the final output.

### 2.1. Class-AB differential input stage

Several variations of the class-AB amplifier stage have been reported in the literature [2,3]. In the proposed circuit, a pseudo differential class-AB input stage is realized with transistors  $M_{P1}$ ,  $M_{P2}$  and the FVF cell, which is composed of transistors  $M_{P4}$ ,  $M_{P3}$  and current source  $I_B$ . The particularity of the overall comparator circuit with respect to the one described in Ref. [5] resides in this input stage. As mentioned in Introduction, it can achieve high slew rate and resolution, with a very low quiescent bias current. Furthermore, errors such as offset voltage due transistors mismatch and charge density fluctuations can be reduced in the design phase by proper transistor sizing and careful layout.

The FVF cell exhibits very low output impedance at node  $V_h$ . Indeed, the impedance at the source of  $M_{P4}$  (which is also the drain of  $M_{P3}$ ) can be approximated by  $R_{1/h} = 1/(g_{m4}g_{m3}r_{o3})$  [5] which is very low, usually in the range of 20 to 100  $\Omega$ . Since the current through  $M_{P4}$  is equal to  $I_B$  which is constant, its source-to-gate voltage,  $V_{SG,M_{P4}}$ , is also constant if the body effect is neglected. As a result, any voltage variation at the gate of  $M_{P4}$  will be reflected at its source shifted by  $V_{SG,M_{P4}}$ , and provides  $V_h = V_{icm} + V_{SG,M_{P4}}$ . Furthermore, there is a shunt feedback through  $M_{P4}$  that adjusts  $V_{SG,M_{P3}}$  in order to satisfy the current requirements of the circuit.

An important issue to consider is setting voltage  $V_{icm}$  to maintain the input transistors near saturation under quiescent conditions and allow a low-voltage swing at node  $V_h$ . We used a common-mode signal sensor to provide this voltage. This circuit is connected to both input differential pairs and its output is connected to the gate of  $M_{P4}$  as shown in Fig. 1(b). Assuming matched bias current sources  $I_B$  and perfect matching between  $M_1$ ,  $M_2$ ,  $M_3$  and  $M_4$ , a straightforward analysis shows that the circuit in Fig. 1(b) provides  $V_{icm} = (V_{inn} + V_{inp})/2$  [4].

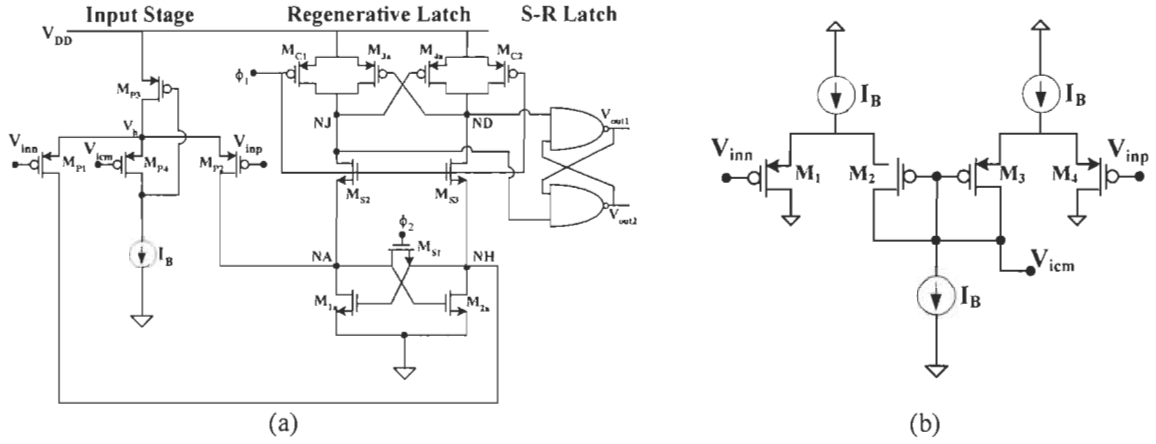


Fig. 1: Proposed circuits: (a) schematic of the dynamic comparator, (b) common mode sensing network

## 2.2. Regenerative latch

The latch stage is based on the architecture proposed in Ref. [5] (see Fig. 1(a)). The circuit consists of a pair of positive feedback nMOS transistors ( $M_{1a}$ ,  $M_{2a}$ ) with a pair of n-channel switches ( $M_{S2}$ ,  $M_{S3}$ ) for strobing, a n-channel switch ( $M_{S1}$ ) for resetting, a pair of positive feedback pMOS transistors ( $M_{3a}$ ,  $M_{4a}$ ), and a pair of precharge p-channel transistors ( $M_{C1}$ ,  $M_{C2}$ ). Clock signals  $\phi_1$  and  $\phi_2$  are two non-overlapping clocks. One advantage of this structure is that the strobing transistors isolate the n-channel flip-flop from the p-channel one, and work as load devices. The comparator output is taken at nodes NJ and ND instead of nodes NA and NH which increases the flip-flop regeneration speed. The dynamic operation of this circuit is divided into a reset and a regenerative time interval.

During the reset mode,  $\phi_1$  turns off and  $\phi_2$  turns on. As a result, switch  $M_{S1}$  turns on and the two previous logic states are equalized. In the same way, the precharge transistors charge nodes NJ and ND to the positive high level. The following S-R latch then works in memory mode and outputs the previous state.

During the regeneration time interval,  $\phi_1$  turns on and  $\phi_2$  turns off, and a voltage proportional to the input voltage difference is established between the drains of  $M_{1a}$  and  $M_{2a}$ . In the meantime, transistors  $M_{C1}$  and  $M_{C2}$  are turned off while  $M_{S2}$  and  $M_{S3}$  are closed. The n-channel and p-channel flip-flops regenerate the voltage difference between nodes

NA and NH, and between nodes NJ and ND. Thereafter, the total voltage difference is amplified to a level close to the rail-to-rail value of the supply voltage. In addition, the p-channel flip-flops enhance the speed of the device because the regeneration is done by two cross-coupled CMOS inverted, which realize a class-AB operation. Sometimes, the output may not completely reach the digital high or low levels. To overcome this issue, the regenerative latch is followed by a S-R latch that ensures sampling at the right level.

## 3. Design constraints and performance analysis

The design of an accurate comparator having low-power consumption and high-speed response must take into account the following considerations. Of first importance is the comparator's comparison rate that is usually established by its overdrive recovery capability, i.e., the time it takes to regenerate the input signals. Regarding the proposed circuit, it is set at nodes NA and NH, with transistors  $M_{P1,2}$ ,  $M_{1a,2a}$  and  $M_{S1}$  contributing to the regeneration speed. When  $\phi_1$ 's voltage reaches half of  $V_{DD}$ , the conductance of  $M_{S1}$  is smaller than the transconductance of  $M_{1a,2a}$ , and the regeneration phase starts. We can estimate the regeneration time constant by [5]:

$$\tau_{reg} = \frac{C_{tot}}{g_{M_{1a}} - 2g_{oM_{S1}}} \quad (1)$$

where  $C_{tot}$  is the total parasitic capacitance at node NA or NH,  $g_{M_{1a}}$  is the transconductance of  $M_{1a}$  and

$g_{oM_{S1}}$  is the conductance of  $M_{S1}$ . In addition to the regeneration speed, there is a resetting process that is driven by switch  $M_{S1}$ . These two processes strongly affect the comparator's propagation delay and were addressed according to the design sizing and optimization of resetting speed that were outlined in Ref. [5]. We thus chose at least three times the minimum length for the p-channel input differential pair, and to achieve high comparison speed, the minimum channel length was used in the latch circuit.

There exist additional effects that may limit the comparator's performance. The input-referred offset voltage and switching kickback noise are the most important ones. The total input referred offset voltage is given by [5]

$$V_{offset} = V_{offset1} + \frac{g_{M_{1a}}}{g_{M_{P1}}} (V_{offset2} + V_e) \quad (2)$$

where  $V_{offset1}$ ,  $V_{offset2}$ , and  $V_e$  represent the offset voltages of the input transistor pair, the n-channel flip-flop transistor pair, and the differential charge injection error from the fast turn-off of  $M_{S1}$ , respectively. A negligible error can occur if  $M_{S1}$  is sized in relation to  $C_{NA}$  or  $C_{NH}$  - the total capacitance at node NA or NH, respectively - and the comparator is laid out symmetrically. The term  $g_{M_{1a}}/g_{M_{P1}}V_{offset2}$  is normally smaller than  $V_{offset1}$  since the two transistors in the n-channel flip-flop are at 0-V substrate bias [5]. Therefore the dominant source of offset is  $V_{offset1}$  due to the differential input [6].

There are two kinds of offset sources in a MOS differential pair. They are charge density fluctuation (such as surface states and impurity doping concentration), and dimension fluctuation (such as transistor mismatch). Since surface state density and impurity concentration can be well controlled and are proportional to gate oxide thickness (4 nm in 0.18  $\mu\text{m}$  CMOS process), this term is insignificant [7]. Numerous works have studied offset contribution due to mismatch problems. A useful offset variance estimation, reported by Steyaert [7], is given by:

$$\sigma^2(V_{off1}) = \frac{k_p}{g_m \cdot L^2} (V_{GS} - V_t) \cdot \left[ A_T^2 + \frac{A_P^2}{4} (V_{GS} - V_t)^2 \right] \quad (3)$$

where constants  $k_p$ ,  $A_{VT}$  and  $A_P$  are technology dependent. Table 1 in Ref. [7] provides the values of these constants for several industrial CMOS technologies. We observe a decrease in constants

$A_{VT}$  and  $A_P$  with the decrease in the minimum device size. This is mainly due to the decrease in oxide thickness as was measured in Ref. [8]. The variance decreases with increasing gate area (W/L) and with decreasing oxide thickness in a deep submicron process such 0.18  $\mu\text{m}$  CMOS. Moreover, using layout techniques such as common centroid configurations [9] can be greatly reduce the variance. This strategy has been adopted in the proposed circuit layout.

Regarding the kickback noise, it is caused by voltage variations at nodes NA and NH that are capacitively coupled to the drains of the differential input transistor pair [10]: it is considerable during the regeneration time interval. Given that the time response of the proposed comparator lasts longer than the perturbation introduced by the kickback noise, the comparator's output is not affected by it [5]. Thus, this noise is of no concern for our application in a successive-approximations ADC. On the other hand, it effect must be account for in a flash converter. In such case, the effects of kickback noise can be greatly reduced by introducing a sampling switch controlled by  $\phi_2$  or a clock phase a bit earlier than  $\phi_2$ , and inserting a small capacitor (about 0.2 pF) in parallel with each of the comparator inputs [5,10]. In order to reduce the charge injection error, these two switches must be sized as small as possible in relation to the total capacitance at the comparator input sides, and the whole structure must be laid out carefully based on the mitigate parasitic effects.

#### 4. Experimental results

The proposed comparator circuit was simulated with HSPICE, using BSIMv3 transistors models, and fabricated in 0.18  $\mu\text{m}$  CMOS technology. In this technology, the threshold voltage levels are approximately 0.52 V and -0.48 V for nMOS and pMOS transistors, respectively.

The simulated behavior of the comparator is illustrated in Fig. 2. The simulation was performed at a sampling frequency of 20 MHz, using  $V_{DD} = 1$  V and a switching voltage overdrive of 0.122 mV (which corresponds to 0.5 LSB at 12-bits precision). The results show that the comparator dissipates a maximum of 65.3  $\mu\text{W}$  at 20 MHz clock frequency and 0.25 pF capacitive load, and the maximum propagation delay is about 11 ns. A Monte-Carlo simulation with 200 runs was also performed to



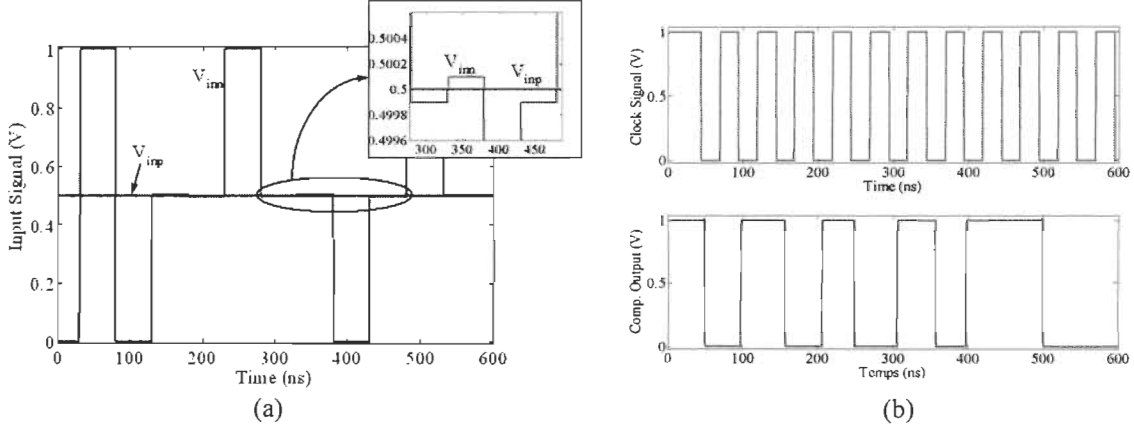


Fig. 2: Simulated comparator: (a) input signal, (b) clock and output signals.

evaluate the impact of transistor mismatch, process variation and temperature. The results, shown in Fig. 3, reveal an average input-referred offset voltage of 14  $\mu\text{V}$  with 11.2  $\mu\text{V}$  standard deviation and a maximum value of about 47.6  $\mu\text{V}$  for 99.9 % yield ( $3\sigma$ ). In addition, the simulated kickback noise shows a peak perturbation of 15 mV in the worst case, with a duration of less than 5 ns, as shown in Fig. 4(a). This is lower than the comparator's average propagation delay of 8.75 ns. As a result, kickback noise does not seem to affect its performance.

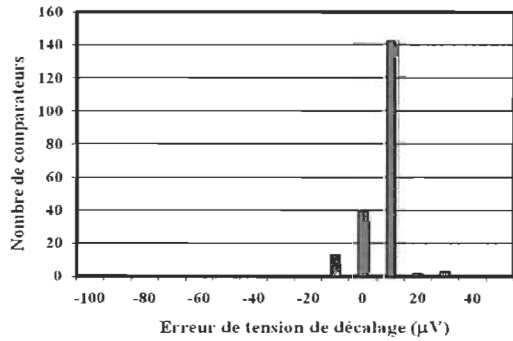


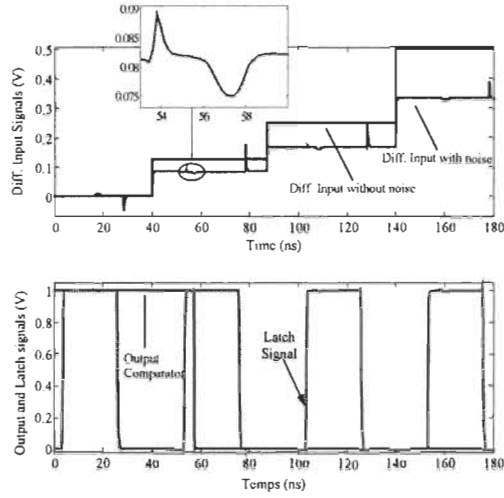
Fig. 3: Monte-Carlo simulation result with process and mismatch variation showing the spread of input referred offset voltage of the comparator. The mean offset is 14  $\mu\text{V}$  with a standard deviation of 11.2  $\mu\text{V}$  over 200 trials.

The chip photograph is shown in Fig. 4(b), and its core area occupies 57  $\mu\text{m} \times 152 \mu\text{m}$ . Fig. 5 shows the measured comparator recovery performance for an input voltage of 1  $V_{pp}$  followed by a polarity reversal of about 0.245 mV amplitude. These levels

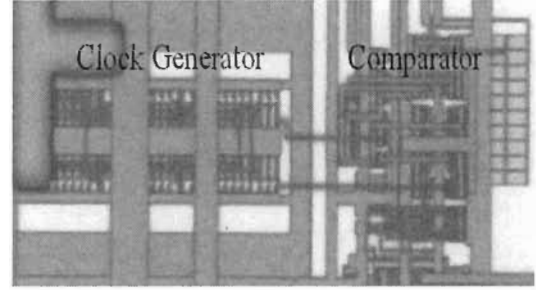
were used to ensure that random offsets did not affect responses significantly, while still driving the comparator to make a decision in small-signal mode [11]. The common-mode reference voltage was 0.25 V and 0.5 V. One observes that the comparator's worst case recovery time delay is close to 26 ns. For both figures, an arbitrary waveform generator was used to produce the test signal. A deeper analysis shows that in Eq. (2),  $V_{offset1}$  has the most impact as discussed earlier, so the average offset obtained in simulation is attributed to this term and is caused by either the difference in process parameters and/or device mismatches. In the simulation, we obtained an average delay of 8.75 ns, meaning that the total parasitic capacitance at node NH or HD has slightly impacted our result. Finally, Table 1 summarizes the comparator's performance in comparison with the recent work presented in the literature. The comparison also includes the well-known figure of merit (FOM) [13] commonly used for ADC performance comparison, and defined as follows:

$$FOM = \frac{P_d}{2^n \times f_s} \quad (4)$$

where  $P_d$ ,  $n$ , and  $f_s$  are the power dissipated, the number of bits (resolution), and the sampling frequency of the comparator, respectively. As Table 1 shows, the proposed circuit has the lowest FOM, energy dissipated per conversion.

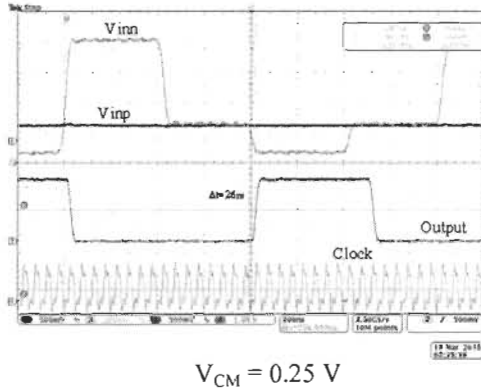


(a)

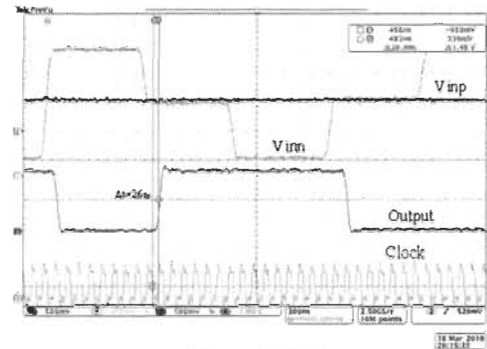


(b)

**Fig. 4:** Simulated kickback noise and Chip: (a) Simulation results of kickback noise on the performance of comparator, (b) Chip microphotograph



$V_{CM} = 0.25 \text{ V}$



$V_{CM} = 0.5 \text{ V}$

**Fig. 5:** Comparator recovery performance: An input signal with 1 Vpp, followed by about 0.245 mV reversal of input, with common-mode reference levels in each of main operating regimes (0.25 V and 0.5 V). Clock frequency is 20 MHz.

## 5. Discussion and conclusion

In our design, the effect of the kickback noise was ignored due to its duration in comparison with the regeneration delay. This is acceptable for low-to-medium speed ADCs such as those based on successive approximation. For higher speed ADCs, a compensation mechanism can be devised to cancel the effect of kickback noise. The mechanism could consist of adding transistors to isolate the

input differential pair from the regeneration latch, and decoupling capacitors in parallel with the former [10].

In this paper, we presented the design of a low-voltage, high-speed CMOS analog comparator. The circuit is based on the flipped voltage follower cell commonly used as an input stage for a low-power operational amplifier design. The circuit was implemented in 0.18  $\mu\text{m}$  CMOS technology that only dissipates 63.5  $\mu\text{W}$  at a comparison rate of 20 MHz under 1 V supply voltage, with a FOM of 0.77



fJ/conversion. Compared with recent researches, the novelty of our circuit resides on the slew rate and resolution. In addition, the presented comparator compared to those presented in the literature enables us to achieve a lowest figure of merit. The

average input-referred offset was 14  $\mu\text{V}$  with a maximum value of 47.6  $\mu\text{V}$ . Finally, this comparator capability enables its use in high-speed, medium resolution applications such as the successive approximation ADC.

**Table 1:** Summary and comparison to others works

Reference	[5]	[12]	[14]	[15]	[16]	[17]	This Work
Technology ( $\mu\text{m}$ -CMOS)	1.5	0.8	0.6	0.5	0.35	0.18	0.18
Supply voltage (V)	$\pm 2.5$	5	-	$\pm 1.5$	1.2	1.8	1
Power, $P_d$ ( $\mu\text{W}$ )	850	100	750	-	8.4	121	63.5
Sampling Rate (MHz)	65	0.1	40	-	20	30	20
Resolution (bits)	8	8	8	-	8	8	12
Propagation delay (ns)	-	-	-	932*	-	-	26*
Offset Voltage (mV)	3.3	-	-	24.2	3	-	0.0476
FOM (fJ/conv.)	51.08	3906.2	73.2	-	1.64	15.7	0.77

\* Measured value.

## References

- [1] Semiconductor Industry Association (SIA), International Technology Roadmap for Semiconductors (ITRS), 2008 Update, available at: <<http://public.itrs.net>>.
- [2] C. Fayomi, G. W. Roberts and M. Sawan, Low power/low voltage high speed CMOS differential track and latch comparator with rail-to-rail input, Proc. ISCAS 5 (2000) 653-656.
- [3] H.-C. Hong, and G.-M. Lee, A 65- fJ/Conversion- Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC, IEEE J. Solid State Circuits 42 (10) (2007) 2161-2168.
- [4] R. Gonzalez, J. Ramirez-Angulo, A.J. Lopez-Martin, A. Torralba, J. A. G., Galan, A. Carlosena, and F.M., Chavero, The Flipped Voltage Follower: a useful Cell for Low-Voltage Low-Power Circuit Design, IEEE Trans. Circuits Syst. I 52 (7) (2005) 1276-1291.
- [5] G. M. Yin, F. Op't Eynde, and W. Sansen, A figh-speed CMOS Comparator with 8-b resolution, IEEE J. Solid State Circuits 27 (2) (1992) 208-211.
- [6] J. He, S. Zhan, D. Chen, and R. L. Geiger, Analyses of Static and dynamic random offset voltages in dynamic comparators, IEEE Trans. Circuits Syst. I 56 (5) (2009) 911-919.
- [7] M. Steyaert et al., Custom analog low power design: the problem of low voltage and mismatch, in: Proceedings of the Custom Integrated Circuits Conferences, 1997 285-292.
- [8] M. J. Pelgrom and M. Vertregt, CMOS technology for mixed signals ICs, Solid-State Electron. 41 (7) (1997) 967-974.
- [9] F. Maloberti, Layout of analog and mixed analog digital circuits, in J. E. Franco, Y. Tsividis (Eds.), Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing, 2nd ed, Prentice Hall, 1994.
- [10] P. M. Figueiredo, and J. C. Vital, Kickback noise reduction technique for CMOS latched comparators, IEEE Trans. Circuits Syst. II 53 (7) (2006) 541-545.
- [11] W. Redman-White, A high bandwidth constant and slew-rate rail-to-rail CMOS input circuit and its application to analog cells for low voltage VLSI Systems, IEEE J. Solid State Circuits 32 (5) (1997) 701-712.
- [12] J. Tomisawa, K. Nishikawa, and S. Yamakawa, Low-current consumption CMOS comparator using charge-storage amplifier for A/D converters, Proc. ISCAS (2008) 1942-1945.
- [13] M. V. Elzakker et al., A 1.9 $\mu\text{W}$  4.4fJ-Conversion-step 10b 1MS/s Charge-Redistribution ADC, in Proceeding of the ISSCC Dig. Tech. Papers, Feb. 2008, pp. 244-245.
- [14] C. J. Solis, and G. O. Ducoudray, High Resolution Low Power 0.6 $\mu\text{m}$  CMOS 40MHz Dynamic Latch Comparator, in: Proceedings of the MWSCAS, August 2010, pp. 1045-1048.
- [15] P. M. Furth, V. B. Yen-Chun, Tsen, Kulkarni and T. K. Poriyani House Raju, On the design of low-power CMOS comparators with programmable hysteresis, in: Proceedings of the MWSCAS, August 2010, pp. 1077-1080.
- [16] L. Hoi, A low-voltage low-power comparator with current-controlled dynamically-biased preamplifiers for DCM bucks regulators, in: Proceedings of the ICECS, December 2009, pp. 371-374.

- [17] P. Otfinowski, A 2.5MSs 225  $\mu$ W 8-bit charge redistribution SAR ADC for multichannel applications, in: Proceedings of the MIXDES, June 2010 pp. 182-185.