

UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

COMME EXIGENCE PARTIELLE
DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE

PAR
LOTFI MEJRI

MISE EN ŒUVRE EN TECHNOLOGIE ITGE DE LA MÉTHODE PARALLÈLE
D'ANNULATION DES INTERFÉRENCES À RETOUR DE DÉCISION

Avril 2008

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

Résumé

Les systèmes sans fil de la troisième génération sont basés sur l'accès multiple à répartition de code à séquences directes (DS-CDMA - *Direct-Sequence Code Division Multiple Access*). Dans ce système d'accès, tous les usagers partagent les ressources en temps et en fréquences. Ils ne sont séparés qu'en utilisant des codes pseudo-aléatoires (signatures). Ces codes doivent être orthogonaux pour distinguer les usagers et permettre ainsi au détecteur conventionnel Rake de reconstituer l'information de l'utilisateur désiré. Cependant, dans la pratique, ces codes ne sont pas orthogonaux. Ceci donne naissance aux interférences à accès multiple (MAI - *Multiple Access Interference*). Afin de réduire ces interférences, le détecteur à annulation des interférences en parallèle à étages multiples (MPIC - *Multistage Parallel Interference Cancellation*) a été proposé. Il existe différentes versions de cet algorithme dont celui à retour de décision (DF-MPIC - *Decision Feedback MPIC*) qui permet d'améliorer les performances, mais réduit considérablement le parallélisme et ainsi la mise en œuvre devient non triviale.

L'objectif de ce mémoire est la proposition d'architectures parallèles pour la mise en œuvre en technologie ITGE (Intégration à Très Grande Échelle) du MPIC avec et sans retour de décision. Un nouvel algorithme est également proposé pour offrir un meilleur compromis performance/complexité. Cet algorithme, nommé bloc parallèle DF-MPIC (BP-DF-MPIC) offre différentes possibilités afin de se rapprocher des performances algorithmiques du DF-MPIC avec une complexité de mise en œuvre plus proche du MPIC.

Table des matières

Résumé.....	ii
Table des matières.....	iii
Liste des tableaux.....	vi
Liste des figures.....	vii
Chapitre 1 - Introduction.....	1
1.1 Problématique.....	5
1.2 Objectifs.....	6
1.3 Méthodologie.....	6
Chapitre 2 - Système DS-CDMA.....	8
2.1 Introduction.....	8
2.2 Modélisation des systèmes DS-CDMA.....	9
2.2.1 Modèle du signal transmis.....	10
2.2.2 Modèle de canal et réception du signal.....	11
2.3 Détecteur Rake conventionnel.....	14
2.4 Détecteurs à annulation des interférences en parallèle (PIC).....	16
2.4.1 Détecteur MPIC.....	18
2.4.2 Détecteur MPIC à décision douce.....	22

2.4.3	Détecteur DF-MPIC.....	22
2.5	Conclusion.....	23
Chapitre 3 - Architecture ITGE du MPIC.....		24
3.1	Architectures du détecteur Rake.....	24
3.1.1	Architecture Rake-TR.....	25
3.1.2	Architecture Rake-TR-OP	33
3.2	Architecture du détecteur MPIC.....	38
3.2.1	Architecture CALCUL-R.....	38
3.2.2	Architecture MPIC-TR	43
3.3	Architecture du détecteur DF-MPIC	48
3.4	Architecture BP-DF-MPIC-TR	52
3.4.1	Interface BP-DF-ALIGNEMENT	54
3.4.2	Unité de traitement BP-DF-ETAGE_i.....	55
3.5	Conclusion.....	60
Chapitre 4 - Résultats de simulations.....		61
4.1	Performances algorithmes des détecteurs.....	61
4.2	Synthèse du détecteur Rake.....	66
4.3	Synthèse du calcul de la matrice de corrélation	68
4.4	Synthèse du MPIC.....	68

4.4.1 Synthèse du MPIC sans rétroaction	69
4.4.2 Synthèse du MPIC avec rétroaction.....	71
4.4.3 Synthèse du bloc parallèle MPIC avec rétroaction.....	72
4.5 Conclusion.....	73
Chapitre 5 - Conclusion générale.....	74
Bibliographie.....	75

Liste des tableaux

Tableau 4-1	Caractéristiques de la composante 2VP100ff1704 de xilinx	67
Tableau 4-2	Ressources nécessaires pour la mise en œuvre du Rake-RT-OP dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers.....	67
Tableau 4-3	Ressources nécessaires pour la mise en œuvre du calcul de la matrice de corrélation dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers	69
Tableau 4-4	Ressources nécessaires pour la mise en œuvre du HD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers.....	70
Tableau 4-5	Ressources nécessaires pour la mise en œuvre du SD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers.....	70
Tableau 4-6	Ressources nécessaires pour la mise en œuvre du DF-HD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers.....	71
Tableau 4-7	Ressources nécessaires pour la mise en œuvre du DF-SD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers.....	72
Tableau 4-8	Ressources nécessaires pour la mise en œuvre du DF-SD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers.....	73

Liste des figures

Figure 1.1 Le concept du cellulaire.....	3
Figure 1.2 Techniques d'accès multiple.....	4
Figure 2.1 Schéma global d'une transmission numérique sans fil.....	8
Figure 2.2 Différentes techniques CDMA.....	9
Figure 2.3 Étalement d'un signal en WCDMA.....	10
Figure 2.4 Canal de communication sans fil.....	11
Figure 2.5 Détecteur Rake	15
Figure 2.6 Détecteur MPIC au niveau chip à M étages	19
Figure 2.7 Description d'un étage PIC au niveau du chip	19
Figure 2.8 Structure de l'étage i du détecteur MPIC au niveau bit.....	21
Figure 2.9 Structure de l'étage i du détecteur DF-MPIC.....	23
Figure 3.1 Bloc d'entrées/sorties du détecteur Rake.....	25
Figure 3.2 Architecture interne du détecteur Rake-TR.....	26
Figure 3.3 Contrôle du FINGERx.....	27
Figure 3.4 Bloc d'entrées/sorties du détecteur finger	28
Figure 3.5 Unité de désétalement.....	29
Figure 3.6 unité de compensation de la phase.....	30
Figure 3.7 Unité d'alignement du FINGERx.....	31
Figure 3.8 Unité MRC	32
Figure 3.9 Unité de décision	33
Figure 3.10 Architecture interne du détecteur Rake-RT-OP	34
Figure 3.11 Unité de désétalement.....	35

Figure 3.12 unité de compensation de la phase.....	36
Figure 3.13 Unité d'alignement du FINGERx.....	37
Figure 3.14 Architecture globale du MPIC au niveau bit sans retour de décision.....	39
Figure 3.15 Architecture externe du bloc CALCUL-R.....	39
Figure 3.16 Architecture interne de l'unité CALCUL-R.....	40
Figure 3.17 Architecture interne de l'étage#1 de l'unité COEF_CORR.....	41
Figure 3.18 Architecture interne de l'étage#2 de l'unité COEF_CORR.....	42
Figure 3.19 Architecture interne du détecteur MPIC.....	43
Figure 3.20 Interface d'alignement.....	44
Figure 3.21 Unité de sommation des interférences de l'étage _i que subit l'utilisateur 1.....	45
Figure 3.22 Unité de sommation des interférences de l'étage _i que subit l'utilisateur k.....	45
Figure 3.23 Unité de soustraction des interférences de l'étage _i	46
Figure 3.24 Interface de sortie.....	47
Figure 3.25 Architecture interne du DF-MPIC-TR.....	48
Figure 3.26 Interface DF-alignement <i>DF-MPIC-TR</i>	49
Figure 3.27 Unité de sommation des interférences primaires de l'étage <i>i</i> que subit l'utilisateur <i>k</i>	50
Figure 3.28 Unité de sommation, et soustraction des interférences de l'étage _i	51
Figure 3.29 Architecture de l'étage <i>i</i> du BP-DF-MPIC-TR.....	53
Figure 3.30 Architecture interne du BP-DF-MPIC-TR.....	53
Figure 3.31 Architecture interne d'interface BP-DF-ALIGNEMENT.....	54
Figure 3.32 Entrées/sorties du BP-DF-ETAGE _i	55
Figure 3.33 Entrées / Sorties des sous bloc MAI.....	56
Figure 3.34 Architecture interne du MAI ₁	57
Figure 3.35 Architecture interne du MAI ₃	58

Figure 3.36 Architecture interne du MAI_30	59
Figure 4.1 Performance des détecteurs lorsque la décision dure est utilisée dans un environnement DS-CDMA asynchrone avec un BER=5%.....	64
Figure 4.2 Performance des détecteurs lorsque la décision douce est utilisée dans un environnement DS-CDMA asynchrone avec un BER=5%.....	65

Liste des acronymes

ASIC	: Application Specific Integrated Circuit
VLSI	: Very Large Scale Integration
ITGE	: Intégration à Très Grande Échelle
FPGA	: Field Programmable Gate Array
3G	: Troisième génération des systèmes cellulaires
3GPP	: Third Generation Partner Project
BER	: Bit Error Rate
SNR	: Signal Noise Ratio
BPSK	: Binary Phase Shift Keying
FDMA	: Frequency Division Multiple Access
TDMA	: Time Division Multiple Access
CDMA	: Code Division Multiple Access
DS-CDMA	: Direct Sequence Code Division Multiple Access
W-CDMA	: Wideband Code Division Multiple Access
UMTS	: Universal Mobile Telecommunications System
IMT-2000	: International mobile telecommunications
GSM	: Global System for Mobile communications
PN	: Pseudorandom Noise
ISI	: Inter Symbol Interference
MAI	: Multiple Access Interference
MUD	: Multi-User Detector
PIC	: Parallel Interference Cancellation
HD-PIC	: Hard Decision Parallel Interference Cancellation
MPIC	: Multistage Parallel Interference Cancellation
DF-MPIC	: Decision Feedback Multistage Parallel Interference Cancellation
DF	: Decision Feedback
MIMO	: Multiple Input Multiple Output
MLSD	: Maximum Likelihood Sequence Detector
MAP	: Maximum A Posteriori
ML	: Maximum Likelihood

IC	: Interference Cancellation
SIC	: Successive Interference Cancellation
TR	: Temps Réel
MRC	: Maximum Ratio Combining

Chapitre 1 - Introduction

Depuis l'antiquité, l'être humain n'a pas cessé de chercher les différents moyens pour faire véhiculer le message à son correspondant (parole, gestes de la main, signaux de fumée, etc....). Ces méthodes de communication ont une couverture très limitée. Ainsi à travers les époques successives, l'être humain a fourni ses efforts intellectuels aussi bien que physiques afin de découvrir de nouvelles méthodes de communications adéquates. Le fruit de ces efforts a été couronné, pour la première fois dans l'histoire des télécommunications par l'invention de télégraphe par *Samuel Morse* en 1837; et à la fin du 18^e siècle, la réalisation des premières expériences de la Radio (transmission sans fil) par *Guglielmo Marconi*. Néanmoins, il fallait attendre les années 1940 avant la commercialisation de ce nouveau moyen de communication où le premier téléphone mobile fut mis sur le marché. La première génération (1G) de systèmes cellulaires avait fait son apparition dans les années 70-80. Les téléphones mobiles de la première génération étaient volumineux, généralement installés dans les voitures ou transportés dans des valises. Ils étaient onéreux avec une couverture limitée. La 1G est basée sur un système analogique de type (FDMA). Le concept du cellulaire promettait une capacité illimitée à travers la division des cellules. Cependant, l'industrie a rencontré des limites pratiques lorsque la popularité des cellulaires a explosé dans les années 1990 [3]. En utilisant des cellules de plus en plus petites, il était devenu extrêmement difficile et onéreux de placer des stations de base aux meilleurs emplacements. La première génération, qui ne permettait pas de

garantir la confidentialité des communications, est vite devenue saturée suite à la forte demande. Plusieurs des systèmes cellulaires de la première génération en Europe étaient incompatibles, et les Européens ont rapidement convergé sur une norme commune pour les systèmes numériques de la deuxième génération (2G) appelés le **GSM** est basé sur le **TDMA** comme technique d'accès multiple. De son côté, l'Amérique du Nord expérimentait le système **CDMA (IS-95)**. La 2G a permis l'introduction du numérique; cependant, les problèmes d'accès demeuraient présents et les débits atteints étaient faibles. Trois bonnes raisons qui ont poussé à développer la troisième génération (3G) : multimédia, large capacité, et une norme universelle [2]. Dans le système (2G) le débit est de l'ordre de 9.6kbps, donc le système devient trop long lorsqu'il s'agit de charger des informations riches en texte et en images. Aussi afin de faire face à la croissance rapide du nombre des usagers de téléphonie cellulaire, la question de la capacité doit être également abordée, et finalement l'établissement d'une norme universelle devient de plus en plus important en 21e siècle, puisque de plus en plus les gens voyageront autour du monde pour des affaires ou pour des loisirs. Les systèmes de communications mobiles de la troisième génération sont étudiés dans le monde entier, sous les noms **UMTS** et **IMT-2000** [3]. La principale norme de la troisième génération (3G) utilisée en Europe est l'**UMTS**, utilisant un codage **W-CDMA**. Le **W-CDMA** et l'**IS-95** utilisent tous deux la méthode d'accès multiple par répartition de code au moyen d'une modulation par séquence directe **DS-SS**. Le système de télécommunication de la troisième génération offre la possibilité de construire de multiples applications autour de la voix et les données. L'environnement sans fil est divisé en petits secteurs connus sous le nom de cellules, comme le montre la figure 1.1.

Chaque cellule contient une station de base (BS) qui communique avec des stations mobiles, dans la cellule en transmettant et en recevant des signaux par le lien radio. La transmission de la station de base à la station mobile (MS) est typiquement mentionnée sous le nom de liaison descendante (*downlink*). Le terme qui correspond à une transmission de la station mobile vers une station de base est mentionné sous le nom de liaison montante (*uplink*).

La tendance générale pour les systèmes mobiles est l'adoption d'une technique à accès multiple partagée par plusieurs utilisateurs. Fondamentalement il y a trois techniques de base d'accès multiple : le FDMA, le TDMA et le CDMA [4], comme le montre la figure 1.2.

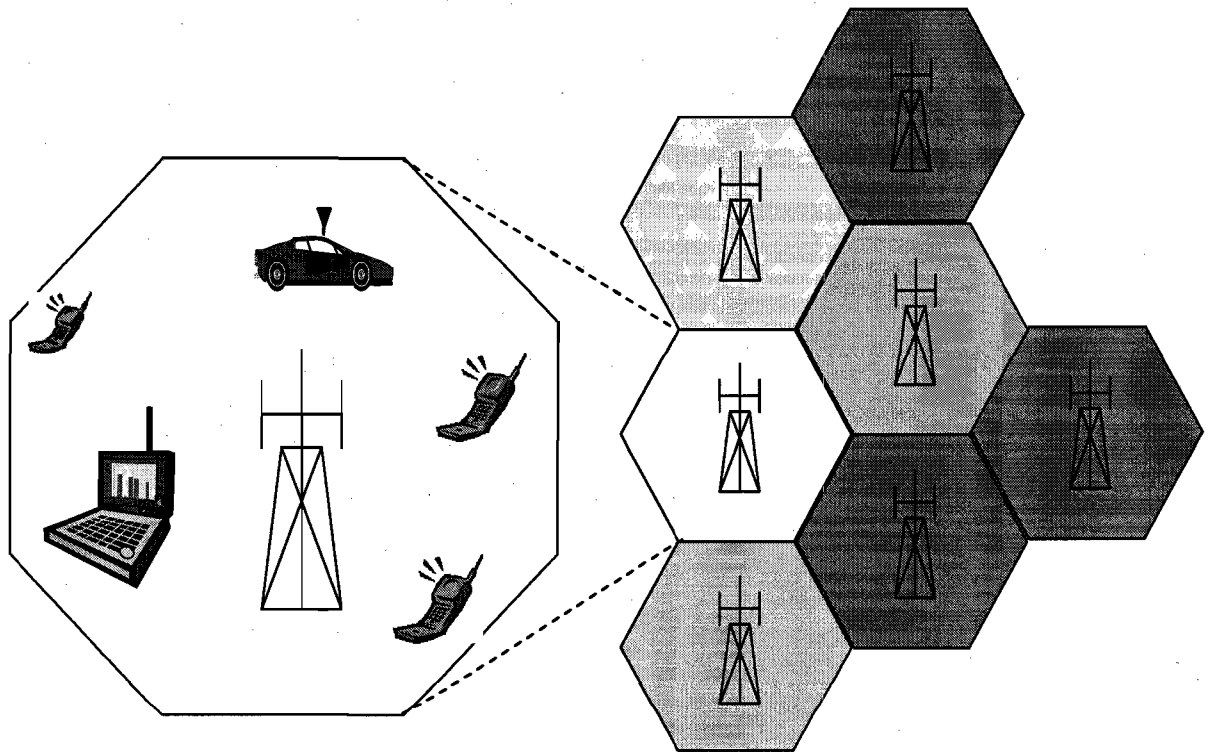
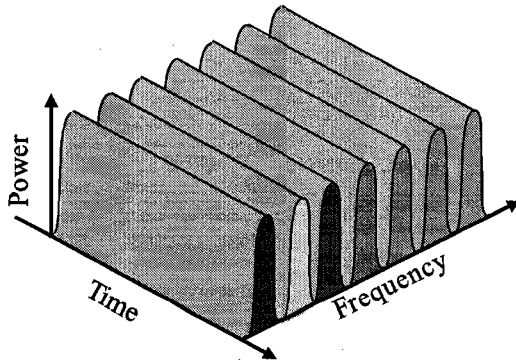


Figure 1.1 Le concept du cellulaire.

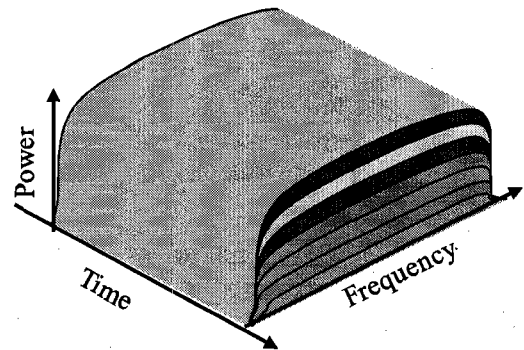
Dans un système basé sur le FDMA, tous les utilisateurs parlent en même temps; ils sont séparés par des fréquences propres à chacun d'eux. Le FDMA est similaire au principe de la radio AM et FM. Dans un système TDMA, les usagers utilisent la même fréquence, mais sont séparés dans le temps. Finalement, les usagers du CDMA parlent en même temps et utilisent les mêmes fréquences; ils sont séparés par des codes quasi orthogonaux spécifiques à chacun.

Le CDMA est la technique la plus populaire. Elle présente plusieurs qualités attrayantes. Elle simplifie la planification du partage du canal, et augmente la résistance des signaux aux évanouissements sur les canaux à trajets multiples et aux autres signaux de même type.

FDMA : *Frequency Division Multiple Access*



CDMA : *Code Division Multiple Access*



TDMA : *Time Division Multiple Access*

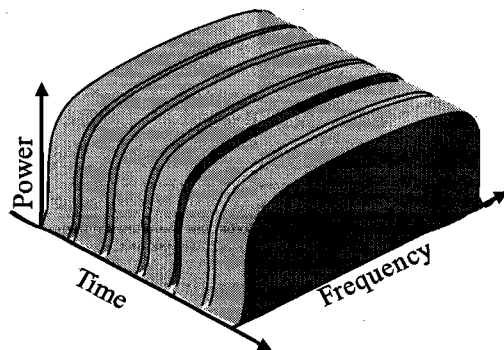


Figure 1.2 Techniques d'accès multiple.

1.1 Problématique

De nos jours les communications sans fil sont présentes dans plusieurs systèmes : téléphone cellulaire, radio numérique, réseaux satellites, etc. Le succès des communications sans fil se situe dans la capacité de fournir la connectivité instantanée n'importe quand et n'importe où et la capacité de fournir des services à grande vitesse de données aux utilisateurs mobiles. Pour les systèmes 3G, la technique CDMA est limitée par les interférences à accès multiple (MAI). Il a été reconnu que cette interférence n'était pas une limitation intrinsèque au système CDMA. Elle est due au fait que le détecteur mono-usager ignore la présence des interférences causées par les autres usagers [5]. Cette remarquable observation a donné le départ à une nouvelle activité de recherche sous le nom de détecteurs à usagers multiples (MUD). L'inconvénient principal de tels détecteurs est l'augmentation de la complexité comparée au détecteur conventionnel. Le détecteur à annulation des interférences en parallèle à étages multiples (MPIC) est considéré comme un candidat sérieux pour le mettre en pratique. Il montre un bon compromis entre performance et complexité. Sauf que pour satisfaire les performances du système de la troisième génération (3G), il faut utiliser le détecteur MPIC avec retour de décision. L'inconvénient majeur d'une telle structure est la perte du parallélisme. En effet, pour assurer une bonne performance, la structure avec retour de décision utilise les données précédentes de tous les usagers, ce qui rend la structure avec une dépendance des données sévère et donc le parallélisme devient non trivial. Plusieurs détecteurs MPIC ont été proposés pour améliorer les performances, mais très peu avaient été mis en pratique par une intégration à très grande échelle (ITGE ou VLSI) [6] [7]. Dans [6], l'architecture proposée traite l'estimation de canal et le détecteur MPIC en même temps. Toutefois, cette structure n'est pas réalisable

dans les systèmes WCDMA puisque le pilote utilisé pour l'estimation de canal est multiplexé dans le code et non dans le temps telle que proposée par les auteurs [8]. Dans [7], l'architecture proposée est intimement liée à la version du MPIC considérée qui est sans retour de décision. Malheureusement, il est bien connu que les performances d'une telle architecture se dégradent à mesure que le nombre d'utilisateurs augmente [9], [10].

1.2 Objectifs

L'objectif principal de ce mémoire est de proposer des architectures parallèles pour la mise en œuvre à très grande échelle du détecteur à annulation des interférences en parallèle à étages multiples (MPIC). Un des défis principaux est la prise en charge du retour de décision (*décision feedback*) dans la conception des architectures parallèles. Le DF-MPIC devra éventuellement être modifié pour offrir un compromis entre performances et mise en œuvre.

1.3 Méthodologie

La recherche bibliographique ayant permis de cerner précisément la problématique, les grands axes de travail ont été définis afin de permettre l'aboutissement des travaux de recherche. Ces axes concernent les principales techniques et structures en ITGE qui ont été utilisées par d'autres chercheurs dans ce domaine. Les détecteurs visés sont le Rake, le MPIC à décision douce et dure et le DF-MPIC à décision douce et dure.

Dans une première étape de développement, un modèle simplifié de la communication DS-SS est considéré. Les hypothèses simplificatrices sont justifiées par la nécessité d'offrir un environnement adapté pour analyser les performances algorithmiques des

détecteurs considérés. Cette analyse se fera grâce à des simulations dans le logiciel Matlab de Mathworks.

L'étape suivante consiste à simuler les algorithmes en point fixe et à proposer des architectures parallèles aux détecteurs retenus et de les coder en VHDL. Il est important de s'assurer du bon fonctionnement des architectures codées en VHDL. Dans notre cas, tous les programmes VHDL seront simulés dans l'environnement ModelSim de Mentor Graphics et les sorties seront comparées à celles du programme haut niveau de Matlab. Étant donné la complexité de mise en œuvre en parallèle du DF-MPIC et le manque de performance algorithmique du MPIC, une nouvelle structure du MPIC devrait être proposée afin d'offrir un meilleur compromis performance/complexité.

La dernière étape de validation est la synthèse du programme VHDL. Dans ce travail, une implantation sur FPGA est privilégiée afin de comparer les différentes structures. Ce choix est justifié par la disponibilité du logiciel de synthèse (Leonardo de Mentor Graphics) et l'adoption d'une même base de comparaison pour les différentes structures en choisissant la composante Virtex II Pro 100 de Xilinx.

Chapitre 2 - Système DS-CDMA

Ce chapitre traite la technique utilisée par le système DS-CDMA applicable dans le domaine de télécommunication sans fil, dans la section 2.1 une introduction générale du système DS-CDMA. Le modèle mathématique est défini dans la section 2.2. Dans la section 2.3, nous décrivons le détecteur Rake qui est l'élément de base du système DS-CDMA. Dans la section 2.4 nous décrivons les différentes variantes du détecteur MPIC.

2.1 Introduction

Le DS-CDMA est l'architecture la plus populaire utilisée pour la transmission ou la réception dans un système de communication numérique des systèmes cellulaires. Dans cette technique d'accès multiple, les utilisateurs partagent les ressources en temps et en fréquences et ne sont séparés que par des codes. Il s'agit, dans ce cas, d'affecter à chaque émetteur un code, appelé signature. De cette façon, le détecteur peut décoder le signal et extraire l'information. Ces codes sont orthogonaux ou quasi orthogonaux, ce qui permet de séparer les utilisateurs à la réception. Le schéma global de la transmission numérique sans fil est montré à la figure 2.1.

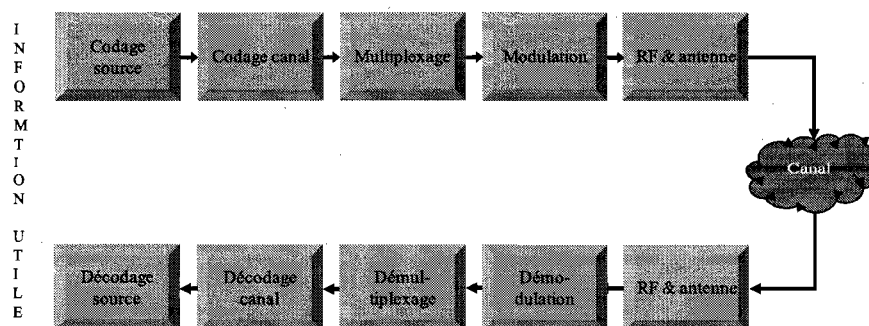


Figure 2.1 Schéma global d'une transmission numérique sans fil

Pour plus d'information sur le CDMA on peut se référer à [12]-[15]. Le CDMA est classé en deux grandes catégories. La première, sous le nom de CDMA Direct, regroupe le CDMA à séquences directes, le CDMA à saut de fréquence et le CDMA à saut de temps. La seconde, sous le nom de CDMA hybride, associe le multiplexage par code aux autres techniques de multiplexage de manière plus hiérarchisée; comme le montre la figure 2.2. Puisque ce travail est basé sur un système DS-CDMA, une courte description de cette technique est présentée dans la section suivante.

2.2 Modélisation des systèmes DS-CDMA

Le DS-CDMA utilise le principe de l'étalement de spectre [17]. L'idée est de transformer un signal en bande relativement étroite en un signal qui a l'apparence d'un bruit sur une bande large comme le montre la figure 2.3. La méthode consiste à multiplier le signal binaire d'information par une séquence binaire pseudo-aléatoire « code PN » dont la fréquence des symboles « appelés chips » est beaucoup plus élevée que la fréquence des symboles du signal. Cela a donc pour effet d'étaler la largeur de bande du signal.

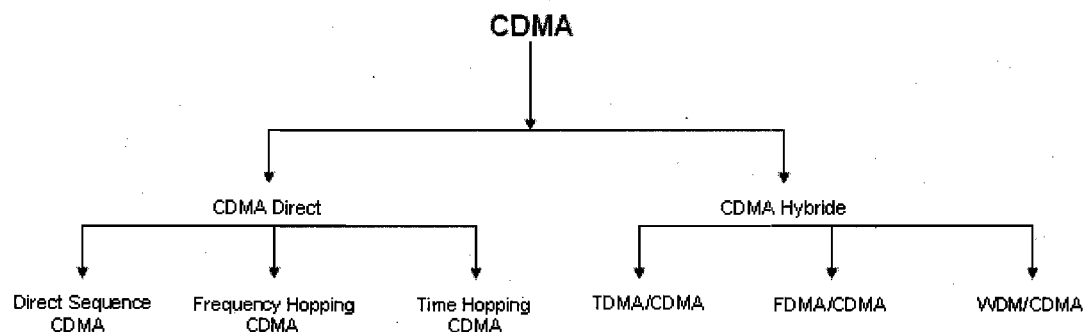


Figure 2.2 Différentes techniques CDMA.

De même, la puissance du signal se retrouve répartie sur toute la nouvelle largeur de bande. Le signal se retrouve alors noyé dans le bruit. On considère la liaison montante de

la station mobile vers la station de base d'un système DS-CDMA avec K usagers dans la cellule. Pour l'utilisateur d'indice k , le système contient une source S_k . On suppose que les données transmises sont étalées par un code pseudo-aléatoire unique à l'utilisateur k de longueur N_c . On considère une modulation de phase binaire « *BPSK* » pendant la transmission. La séquence d'information du $k^{\text{ème}}$ usagers $b_k \in \{+1, -1\}$ (mais peut être étendue à la modulation complexe QPSK $\Xi = \left\{ \frac{1+j}{\sqrt{2}}, \frac{1-j}{\sqrt{2}}, \frac{-1+j}{\sqrt{2}}, \frac{-1-j}{\sqrt{2}} \right\}$) avec une cadence de durée T et la période de la bribe (*chip*) est T_c où $N_c = T/T_c$. les transmissions sur le lien physique sont réalisées par trame comme sur un système radio mobile de troisième génération UMTS [18].

2.2.1 Modèle du signal transmis

Le signal à l'émission pour le $k^{\text{ème}}$ usager peut s'exprimer en bande de base comme :

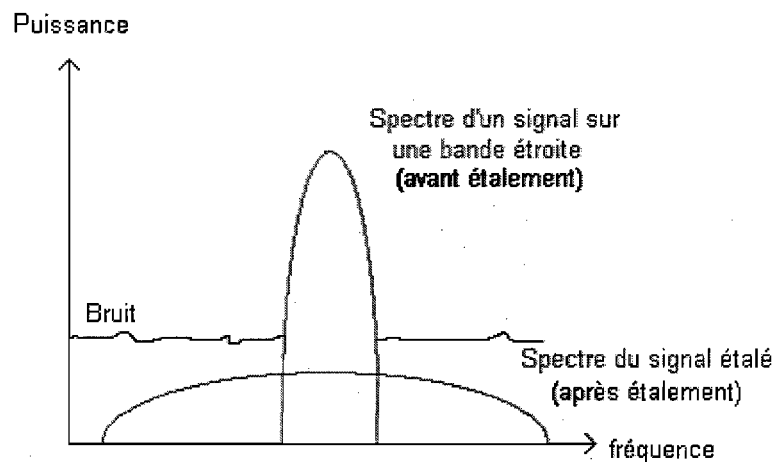


Figure 2.3 Étalement d'un signal en WCDMA.

$$s_k^{(n)}(t) = \sum_{m=0}^{N_c-1} s_{k,m}^{(n)} \psi(t - mT_c) \quad (2.1)$$

Avec T_c est la période du *Chip*, $S_{k,m}^{(n)}$ le $m^{\text{ème}}$ chip du $k^{\text{ème}}$ usager et de la $n^{\text{ème}}$ donnée transmise et $\psi(t)$ est le filtre de formation des impulsions.

2.2.2 Modèle de canal et réception du signal

Fondamentalement, le canal sans fil est un environnement hostile, caractérisé par des phénomènes d'atténuation. Le signal reçu est une combinaison de plusieurs composantes arrivant de diverses directions décalées dans le temps en raison de la propagation par trajets multiples, comme le montre la figure 2.4. De plus les délais entre les trajets augmentent exponentiellement avec le nombre des trajets et les amplitudes des trajets diminuent également exponentiellement avec les délais [14].

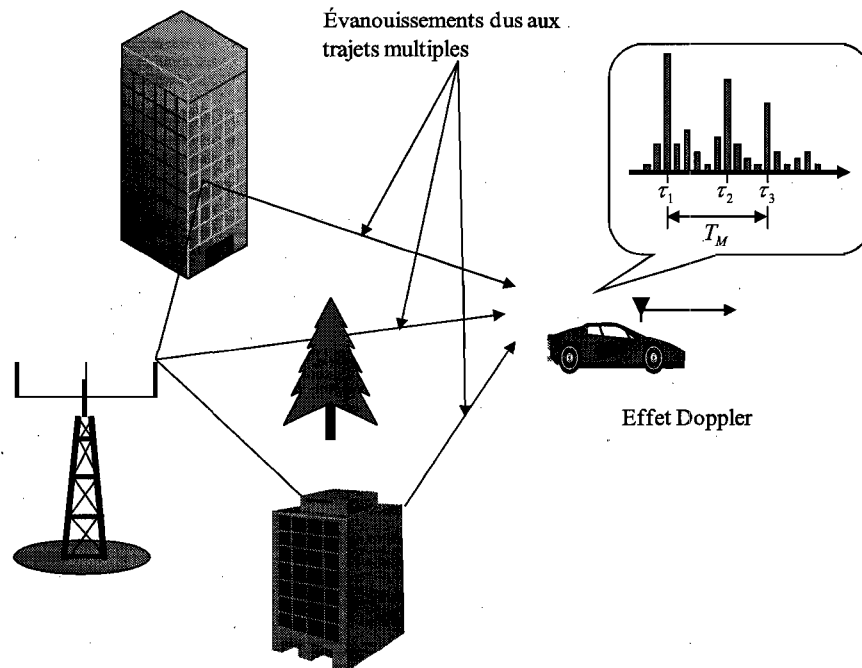


Figure 2.4 Canal de communication sans fil

Le signal reçu est donc la somme de ces différents trajets et d'un bruit blanc additif gaussien. Il a la forme :

$$\tilde{r}(t) = \sum_{n=0}^{N_b-1} \sum_{k=1}^K A_k b_k^{(n)} s_k^{(n)}(t-nT) * h_k^{(n)}(t) + \eta(t) \quad (2.2)$$

Avec $\eta(t)$ est le bruit blanc additif gaussien de densité spectrale σ^2 , A_k l'amplitude reçue, $b_k^{(n)}$ le $n^{\text{ème}}$ symbole transmis, T la période du symbole et $*$ le produit de convolution.

La réponse impulsionnelle du canal de transmission de l'utilisateur k est :

$$h_k^{(n)}(t) = \sum_{l=1}^{L_k} h_{k,l}^{(n)} \delta(t - \tau_{k,l}) \quad (2.3)$$

L_k est le nombre de trajets de propagation « $L = L_k$ sans perte de généralité », avec $h_{k,l}^{(n)}$ est le gain complexe du trajet l de l'utilisateur k à l'instant n , $\tau_{k,l}$ est le délai de propagation et $\delta(t)$ l'impulsion de Dirac. Le signal reçu peut prendre la forme :

$$\tilde{r}(t) = \sum_{n=0}^{N_b-1} \sum_{k=1}^K A_k b_k^{(n)} \sum_{l=1}^{L_k} h_{k,l}^{(n)} s_k^{(n)}(t-nT - \tau_{k,l}) + \eta(t) \quad (2.4)$$

Le signal reçu est échantillonné à la fréquence P/T_c .

Avec $P=1$: *Baud spaced*; $P \geq 2$ suréchantillonnage.

L'équation (2.4) peut s'exprimer sous la forme :

$$\mathbf{r} = \mathbf{S} \mathbf{H} \mathbf{A} \mathbf{b} + \boldsymbol{\eta} \quad (2.5)$$

Le signal d'entrée échantillonné sous forme vectorielle :

$$\tilde{\mathbf{r}}^T(\mathbf{n}) = \left[\tilde{r}(T_s(nPN_c + 1)), \quad \dots, \quad \tilde{r}(T_s(n+1)PN_c) \right] \in \mathbb{C}^{PN_c} \quad (2.6)$$

$$\mathbf{S} = \left[\mathbf{S}^{(0)}, \quad \dots, \quad \mathbf{S}^{(N_b-1)} \right] \in \mathbb{C}^{PN_c N_b \times KLN_b} \quad (2.7)$$

$$\mathbf{S}^{(0)} = \begin{bmatrix} \mathbf{S}^{(0)}(0) & \mathbf{0} & \dots & \mathbf{0} \\ \vdots & \mathbf{S}^{(1)}(0) & \ddots & \vdots \\ \mathbf{S}^{(0)}(D) & \vdots & \ddots & \mathbf{0} \\ \mathbf{0} & \mathbf{S}^{(1)}(D) & \ddots & \mathbf{S}^{(N_b-1)}(0) \\ \vdots & \ddots & \ddots & \vdots \\ \mathbf{0} & \dots & \mathbf{0} & \mathbf{S}^{(N_b-1)}(D) \end{bmatrix} \quad (2.8)$$

Avec la matrice des séquences d'étalement échantillonnées, $D = \left\lceil \frac{T+T_m}{T} \right\rceil$, T_m étant le délai d'étalement maximum qui dépend du canal de communication.

$$\mathbf{S}^{(n)} = \begin{bmatrix} s_{1,1}^{(n)} & \dots & s_{1,L}^{(n)} & \dots & s_{K,L}^{(n)} \end{bmatrix} \in \mathbb{C}^{PN_c N_b \times KL} \quad (2.9)$$

Avec :

$$\mathbf{s}_{k,l}^{(n)} = \begin{cases} \mathbf{0}_{PN_c N_b \times 1}^T & \begin{cases} n=0 \\ \tau_{k,l}=0 \end{cases} \\ \left[\left[s_k(T_s(PN_c - \tau_{k,l} + 1)) \dots s_k(T_s PN_c) \right] \mathbf{0}_{(PN_c N_b - \tau_{k,l}) \times 1}^T \right] & \begin{cases} n=0 \\ \tau_{k,l} > 0 \end{cases} \\ \left[\mathbf{0}_{(PN_c(n-1) + \tau_{k,l}) \times 1}^T \quad \mathbf{s}_k^T \quad \mathbf{0}_{(PN_c(N_b-n) - \tau_{k,l}) \times 1}^T \right] & \begin{cases} 0 < n < N_b - 1 \\ \tau_{k,l} > 0 \end{cases} \\ \left[\mathbf{0}_{(PN_c(N_b-1) + \tau_{k,l}) \times 1}^T \quad \left[s_k(T_s) \dots s_k(T_s(PN_c - \tau_{k,l})) \right] \right] & \begin{cases} n = N_b - 1 \\ \tau_{k,l} > 0 \end{cases} \end{cases} \quad (2.10)$$

ou $\tau_{k,l}$ est le délai en nombre d'échantillons et

$$\mathbf{s}_k = \begin{bmatrix} s_k(T_s) & \dots & s_k(T_s PN_c) \end{bmatrix} \in \mathbb{C}^{PN_c} \quad (2.11)$$

est la séquence PN de l'utilisateur k . La matrice des coefficients des canaux des différents usagers :

$$\mathbf{H} = \text{diag} \left[\mathbf{H}^{(0)}, \dots, \mathbf{H}^{(N_b - 1)} \right] \in \mathbb{C}^{KN_b \times KN_b} \quad (2.12)$$

$$\mathbf{H}^{(n)} = \text{diag} \left[\mathbf{h}_1^{(n)} \dots \mathbf{h}_K^{(n)} \right] \in \mathbb{C}^{KL \times K} \quad (2.13)$$

$$\mathbf{h}_k^{(n)} = \left[\mathbf{h}_{k,1}^{(n)} \dots \mathbf{h}_{k,L}^{(n)} \right] \in \mathbb{C}^L \quad (2.14)$$

$$\mathbf{A} = \text{diag} \left[\mathbf{A}^{(0)}, \dots, \mathbf{A}^{(N_b - 1)} \right] \in \mathbb{C}^{KN_b \times KN_b} \quad (2.15)$$

$$\mathbf{A}^{(n)} = \text{diag} \left[\mathbf{A}_1, \dots, \mathbf{A}_K \right] \in \mathbb{C}^{K \times K} \quad (2.16)$$

2.3 Détecteur Rake conventionnel

Le détecteur Rake est l'élément de base du système DS-CDMA [19]. L'idée du détecteur Rake est d'identifier un certain nombre de trajets différents dans un scénario par trajets multiples et de les aligner de manière constructive, en temps et en phase. Ensuite, on les additionne ensemble pour générer un signal « décision douce ou dure » à la sortie du détecteur plus significatif. Inventé par Price et Green en 1958 [20], le détecteur Rake est utilisé dans le système DS-CDMA pour deux raisons. La première est qu'il permet de minimiser les dégradations suscitées par les interférences entre symboles « ISI » et la deuxième raison est la diversité par trajets multiples [21]. La figure 2.5 montre l'architecture du détecteur Rake. Chaque *finger* doit être synchronisé avec le retard de chaque trajet et le nombre de *fingers* est égal au nombre de trajets que l'on veut traiter

(généralement jusqu'à six *fingers*). Ce détecteur peut être utilisé au niveau de la station de base où à la station mobile.

Le détecteur Rake peut être mis sous forme d'équation comme suit :

$$\mathbf{y}_{[Rake]} = (\mathbf{H}\mathbf{A})^H \mathbf{y}_{[MF]} = (\mathbf{S}\mathbf{H}\mathbf{A})^H \tilde{\mathbf{r}} = \mathbf{A}\mathbf{H}^H \mathbf{R}\mathbf{H}\mathbf{A}\mathbf{b} + (\mathbf{S}\mathbf{H}\mathbf{A})^H \boldsymbol{\eta}, \quad \mathbf{y}_{[Rake]} \in \mathbb{C}^{KN_b} \quad (2.17)$$

Avec :

$$\mathbf{y}_{[MF]} = \mathbf{S}^H \tilde{\mathbf{r}} = \mathbf{A}\mathbf{R}\mathbf{H}\mathbf{A}\mathbf{b} + \mathbf{S}^H \boldsymbol{\eta}, \quad \mathbf{y}_{[MF]} \in \mathbb{C}^{KLN_b} \quad (2.18)$$

$$\hat{\mathbf{b}} = \text{sgn}(\mathbf{y}_{[Rake]}), \quad \hat{\mathbf{b}} \in \mathbb{E}^{KN_b} \quad (2.19)$$

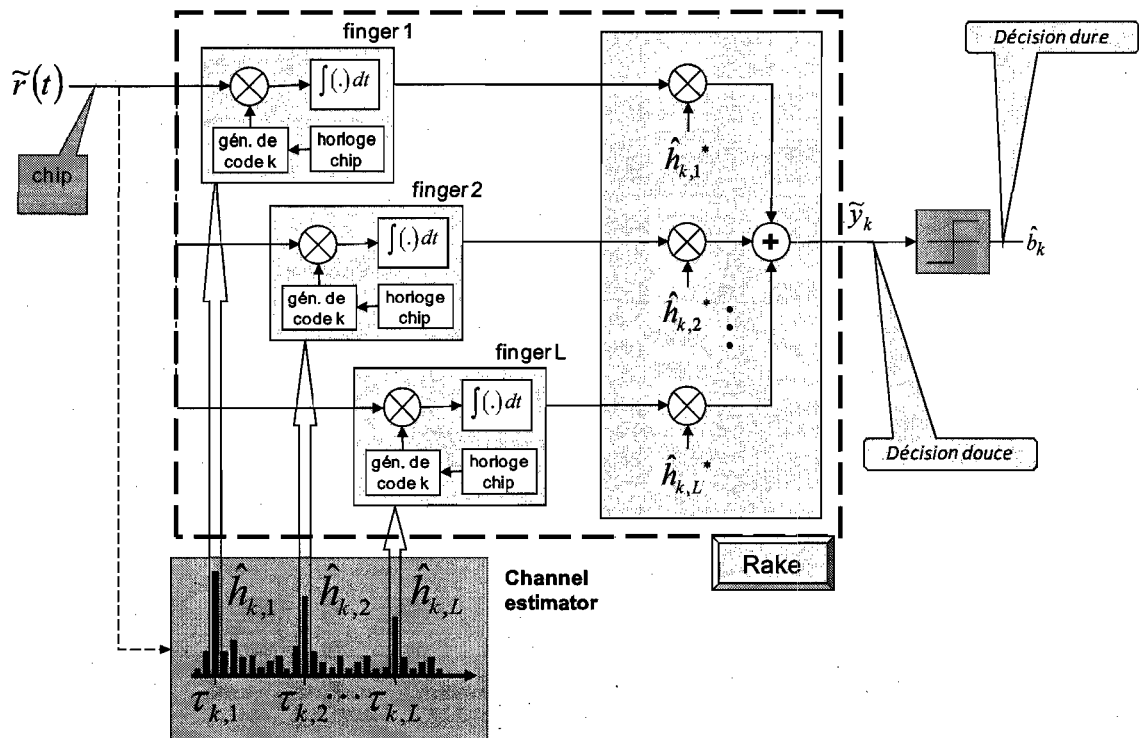


Figure 2.5 Détecteur Rake

Génération du signal à la sortie du Rake avec une décision dure :

Avec :

$$\text{sgn}(x) = \begin{cases} +1 & \text{si } x \geq 0 \\ -1 & \text{ailleurs} \end{cases} \quad (2.20)$$

Il est à noter qu'il existe plusieurs autres formes de récepteurs Rake, le 2-D. Ce dernier prend en charge le temps (comme un Rake ordinaire) et l'espace en utilisant plusieurs antennes [CHE98]. Cependant, avec les exigences de la 3G, même ces versions du Rake sont essentiellement limitées par les ISI et MAI et constituent des solutions à considérer pour les stations mobiles.

Ces inconvénients font en sorte que toutes les recherches actuelles se concentrent à associer le Rake à un autre type de récepteur [LAT00]. Le premier prendra avantage des trajets multiples pour donner une première estimation alors que le deuxième aura la tâche d'éliminer les MAI et les ISI.

2.4 Détecteurs à annulation des interférences en parallèle (PIC)

Les systèmes DS-CDMA ont été développés pour soutenir une multitude d'utilisateurs dans la même largeur de bande. Les usagers sont séparés entre eux par des codes uniques quasi orthogonaux. Cependant, le caractère à trajets multiples du canal sans fil détruit la quasi-orthogonalité entre les codes d'étalement des différents usagers accentuant ainsi la présence des interférences entre usagers « MAI ». Ce problème est le plus important dans les communications basées sur le DS-CDMA. De plus, le canal peut introduire des éblouissements (*Near/Far problem*) à cause des évanouissements; et des interférences entre les symboles « ISI » causées par les hauts débits de transmission des données et les délais du canal. Pour atténuer ces interférences et par conséquent augmenter la capacité du

système DS-CDMA, des techniques de détection à usagers multiples « MUD » ont été utilisées comme par exemple (MLSD) ou bien le (MAP). Ces détecteurs ne peuvent pas être utilisés en pratique, car leur complexité augmente exponentiellement avec le nombre d'usagers et le nombre de trajets dans un scénario par trajets multiples [5], [22]. Par conséquent, il faut avoir recours aux détecteurs sous optimaux qui ont démontré une meilleures performances que le détecteur conventionnel « Rake », et une architecture moins complexe que le MLSD [5], [23]. Par définition un détecteur sous optimale doit avoir une complexité raisonnable en terme de calcul pour le rendre réalisable et une grande fiabilité à la sortie du détecteur. Parmi ces détecteurs, on considère le détecteur à annulation d'interférence « IC ». Ce type de détecteur enlève les interférences multiples du signal reçu pour chaque usager avant qu'il ne prenne une décision sur des données à la sortie du détecteur. Il existe deux catégories de détecteurs IC : successif et parallèle [22]. L'objectif du détecteur avec annulation successive « SIC » est d'améliorer les performances du système en estimant les signaux d'interférences, puis les soustraire du signal d'entrée désiré. Ce processus est effectué en mode cascade donc le dernier utilisateur tire bénéfice de cette annulation des interférences de telle manière que les signaux qui interfèrent le plus fort soient annulés jusqu'à ce qu'il ne reste que le signal désiré.

Par contre, le détecteur à annulation des interférences en parallèle « PIC » [24] enlève simultanément les interférences de chaque usager produit par les usagers restants actifs dans le système. Sachant que dans le WCDMA, un contrôle de puissance rapide est permis [8], la puissance des usagers à la réception est quasiment pareille favorisant ainsi l'emploi du MPIC. Ainsi, dans ce travail, nous nous intéressant qu'à ce dernier.

2.4.1 Détecteur MPIC

Dans un environnement à trajets multiples, le détecteur MPIC démontre des performances attrayantes par rapport à d'autres détecteurs dont la mise en pratique est possible [25]. Le récepteur PIC se base sur le principe du maximum de vraisemblance (ML) qui minimise la norme par rapport à tous les paramètres inconnus mais déterministes. Il existe deux possibilités pour implanter en pratique les détecteurs PIC. L'annulation des interférences peut être appliquée au niveau du chip (figure 2.6 et figure 2.7) ou au niveau du bit (figure 2.8). Les deux détecteurs sont mathématiquement équivalents et présentent donc les mêmes performances. Le principe du PIC est d'estimer les MAI et ISI provenant de tous les usagers et les soustraire du signal du $k^{\text{ème}}$ usager, $l^{\text{ème}}$ trajet. Les paramètres de départ sont donnés par le Rake. Étant donné l'utilisation de la fonction signe, ce détecteur est appelé aussi (HD-PIC, PIC à décision dure). Donc une première estimation est donnée par le Rake (un récepteur Rake/ utilisateur).

Une deuxième estimation pour améliorer les performances est obtenue par le PIC. En effet, d'un étage au suivant, l'estimation des MAI et ISI s'améliorent permettant ainsi une meilleure qualité du signal lors de la soustraction de ces mêmes interférences. Dans ce cas, nous parlerons du MPIC.

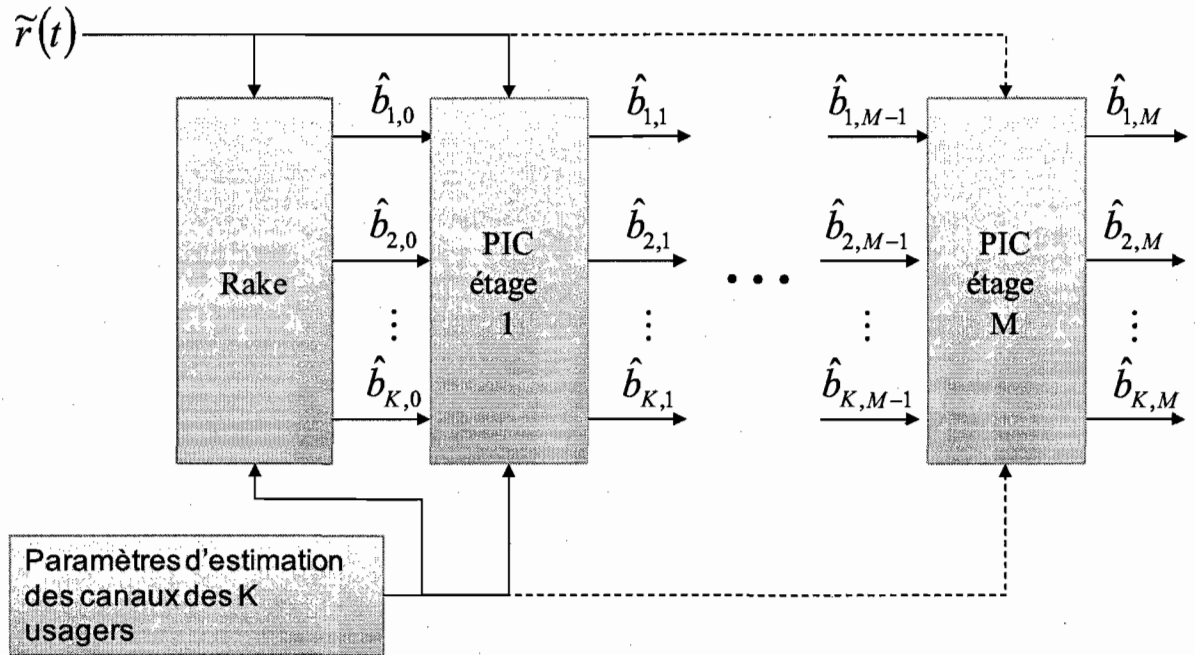


Figure 2.6 Détecteur MPIC au niveau chip à M étages

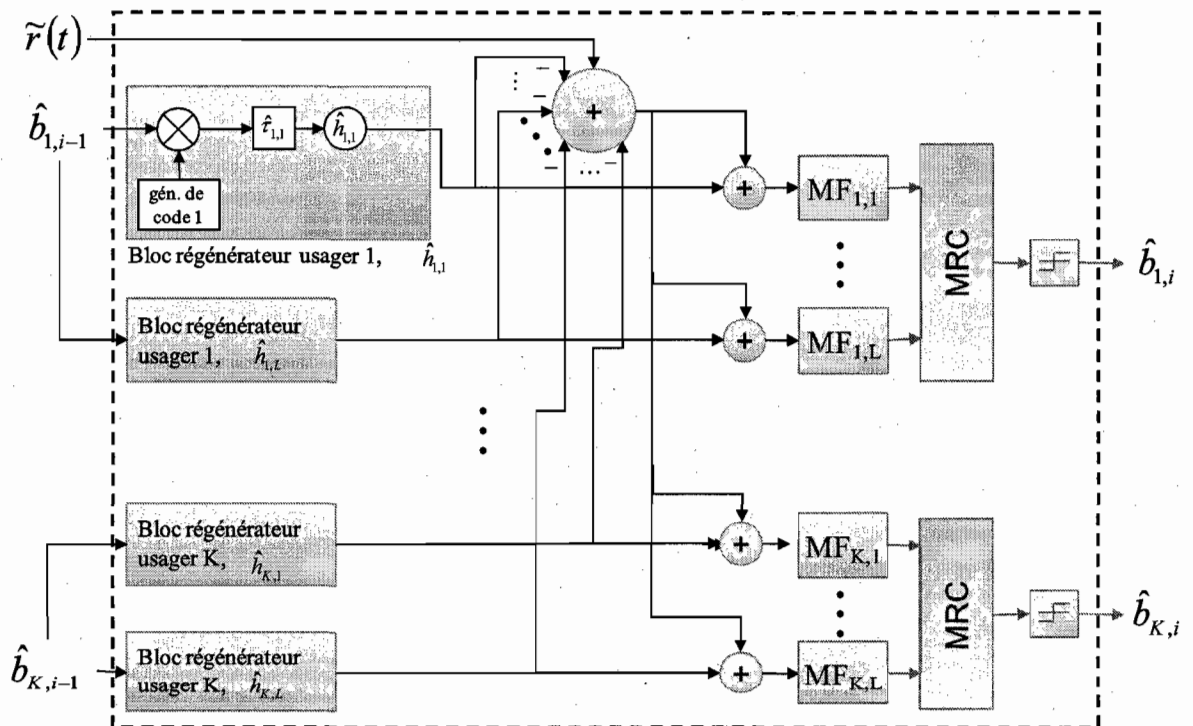


Figure 2.7 Description d'un étage PIC au niveau du chip

Dans la figure 2.8, les coefficients R_{ij} sont les intercorrélations entre le $i^{\text{ème}}$ et le $j^{\text{ème}}$ usagers. Ils représentent la quantité d'interférences à annuler. Lorsque $i=j$ on parle d'ISI et lorsque $i \neq j$, il s'agit de MAI. Dans ce cas-ci, la matrice de corrélation de tous les usagers peut être calculée comme suit.

$$\mathbf{R} = \mathbf{S}^H \mathbf{S} \quad (2.21)$$

La sortie du détecteur Rake est déterminée par l'équation (2.18) qui est égale à :

$$\begin{aligned} \mathbf{y} &= \mathbf{S}^H \mathbf{r} \\ &= \mathbf{R} \mathbf{H} \mathbf{a} \mathbf{b} + \mathbf{S}^H \boldsymbol{\eta} \\ &= (\mathbf{R} - \mathbf{I}_{KLN_b} + \mathbf{I}_{KLN_b}) \mathbf{H} \mathbf{a} \mathbf{b} + \hat{\boldsymbol{\eta}} \\ &= \mathbf{H} \mathbf{a} \mathbf{b} + (\mathbf{R} - \mathbf{I}_{KLN_b}) \mathbf{H} \mathbf{a} \mathbf{b} + \mathbf{S}^H \boldsymbol{\eta} = \mathbf{H} \mathbf{a} \mathbf{b} + \boldsymbol{\Psi} + \hat{\boldsymbol{\eta}} \end{aligned} \quad (2.22)$$

avec \mathbf{I}_{KLN_b} est la matrice d'identité. A chaque instant n , nous avons :

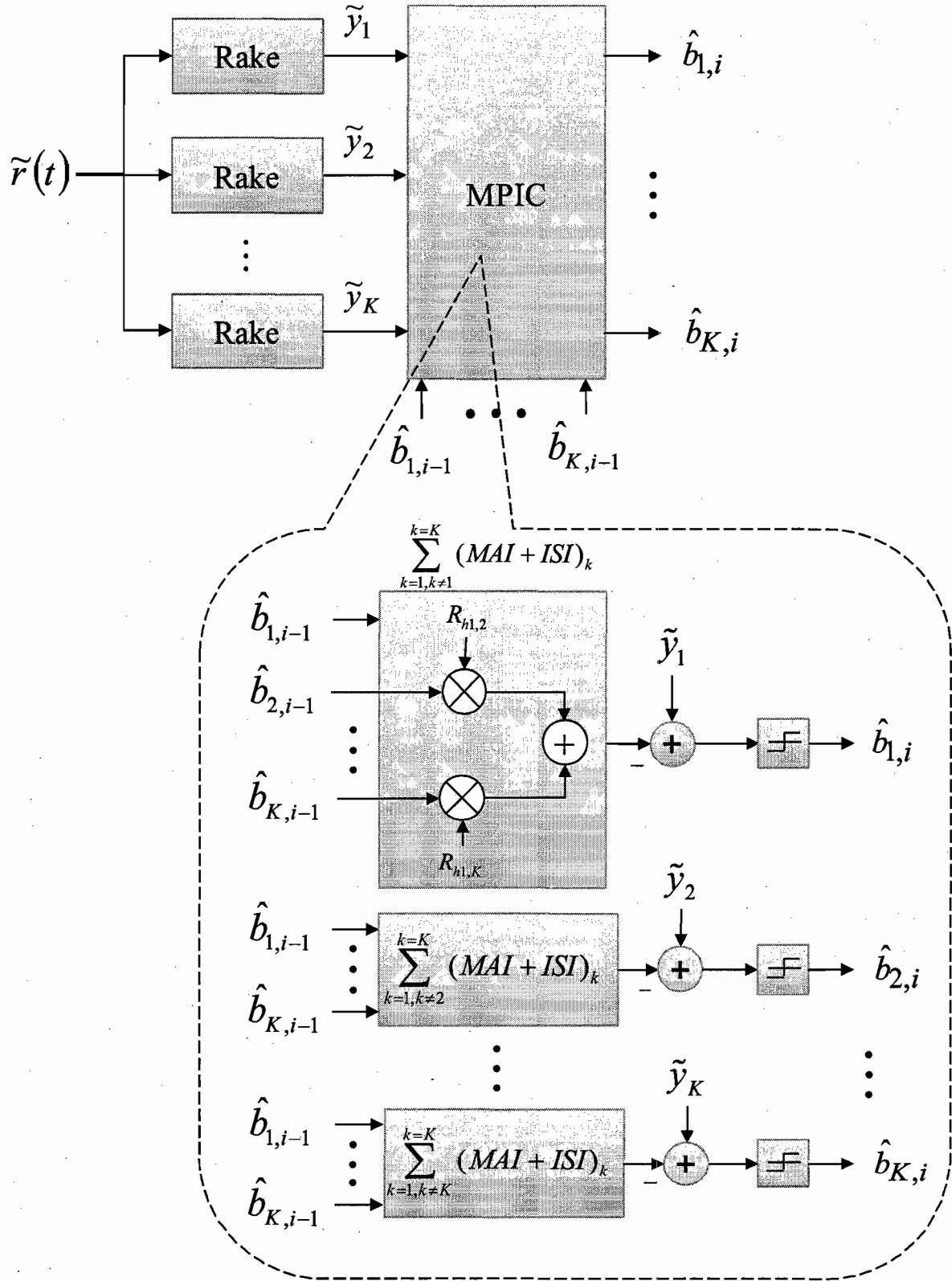


Figure 2.8 Structure de l'étage i du détecteur MPIC au niveau bit

$$\begin{aligned}
\mathbf{y}^{(n)} &= \mathbf{H}^{(n)} \mathbf{b}^{(n)} + \Psi^{(n)} + \hat{\boldsymbol{\eta}}^{(n)} \\
&= \mathbf{H}^{(n)} \mathbf{b}^{(n)} + \sum_{i=-D}^D \left(\mathbf{R}^{(n,n-i)} - \delta_{i,0} \mathbf{I}_{KL} \right) \mathbf{H}^{(n+i)} \mathbf{b}^{(n+i)} + \hat{\boldsymbol{\eta}}^{(n)}
\end{aligned} \tag{2.23}$$

avec $\delta_{i,0}$ est le delta de Kronecker ($\delta_{i,0}=1$ if $i=0$ or, $\delta_{i,0}=0$) et

$$\mathbf{b}^{(n)} = \left[\mathbf{1}_L^T \cdot \mathbf{b}_1^{(n)}, \dots, \mathbf{1}_L^T \cdot \mathbf{b}_K^{(n)} \right].$$

Le but du détecteur PIC est d'annuler les interférences MAI et ISI représentées par $\Psi^{(n)}$. Par conséquent, la sortie de l' $i^{\text{ème}}$ étage est :

$$\begin{aligned}
\hat{\mathbf{b}}_{mo}^{(n)} &= \text{sgn} \left(\Omega \hat{\mathbf{H}}^{H(n)}(mo) \left(\mathbf{y}_{[MF]}^{(n)} - \Psi^{(n)} mo \right) \right) \\
&= \text{sgn} \left(\Omega \hat{\mathbf{H}}^{H(n)}(mo) \mathbf{y}_{[PIC]}^{(n)} \right) \\
\Omega &= \mathbf{I}_K \otimes \mathbf{1}_L^T \\
\Psi^{(n)}(mo) &= \sum_{i=-D}^D \left(\mathbf{R}^{(n,n-i)} - \delta_{i,0} \mathbf{I}_{KL} \right) \hat{\mathbf{H}}^{(n+i)}(mo) \hat{\mathbf{b}}_{mo}^{(n)}
\end{aligned} \tag{2.24}$$

2.4.2 Détecteur MPIC à décision douce

La décision douce utilise les sorties douces des étages pour effectuer l'annulation des interférences en remplaçant la fonction signe représenté par (2.24) (décision dure) par une fonction linéaire saturée offrant d'une part un niveau de confiance à la sortie du détecteur avant d'effectuer l'étape d'annulation et d'autre part, la saturation évite une divergence de l'algorithme.

2.4.3 Détecteur DF-MPIC

Pour finir, une autre version du PIC retient notre attention pour ses performances. Il s'agit d'un détecteur PIC au niveau bit à retour de décision (DF) pour l'annulation des interférences MAI et ISI [24]. La figure 2.9 met en évidence la structure à décision dure DF-HD-MPIC.

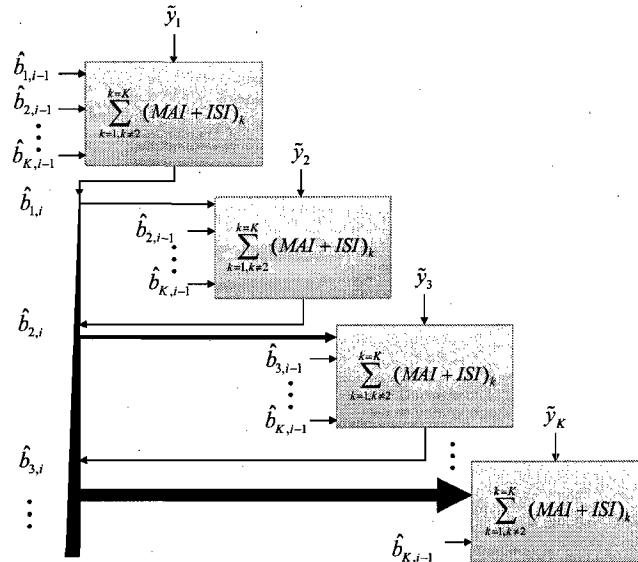


Figure 2.9 Structure de l'étage i du détecteur DF-MPIC

Cependant, le même raisonnement peut être appliqué pour l'utilisation d'une version à décision douce DF-SD-MPIC [RAS98]. Cette dernière représente la version la plus performante des MPIC (section 4.1). L'inconvénient majeur d'une telle structure est sa complexité (utilisation de décisions douces) et la perte du parallélisme dans le cas d'une mise en œuvre en technologie ITGE . En effet, pour assurer les performances, la structure avec retour de décision utilise les données précédentes de tous les usagers, ce qui rend la structure avec une dépendance des données sévère et annule le parallélisme. Les résultats illustrant ces points seront montrés dans la section 4.3.

2.5 Conclusion

Nous avons présenté le système DS-CDMA ainsi que les différents détecteurs à l'étude dans ce travail. Dans le chapitre suivant, nous proposerons différentes architectures ITGE pour la mise en œuvre parallèle des détecteurs RAKE et MPIC avec et sans retour de décision; avec décision douce et décision dure.

Chapitre 3 - Architecture ITGE du MPIC

Dans ce chapitre, nous proposerons des architectures ITGE pour les détecteurs décrits dans le chapitre précédent. Dans la section 3.1, nous nous intéressons au Rake qui constitue un élément de base pour les détecteurs à base de MPIC. Plusieurs architectures possibles sont traitées et discutées dans cette section. Dans la section 3.2, nous nous pencherons sur le MPIC au niveau bit sans retour de décision avec décision douce et décision dure. Suivra dans la section 3.3 celle du MPIC au niveau bit avec retour de décision munie de décision douce ou dure. Dans la section 3.4, nous proposons notre nouvel algorithme ainsi que son architecture qui permet de tirer avantage des performances du DF-MPIC tout en bénéficiant du parallélisme du MPIC sans retour de décision. Finalement, une conclusion suivra dans la section 3.5.

3.1 Architectures du détecteur Rake

Le détecteur Rake a été utilisé dans le système DS-CDMA de la deuxième génération [26], [27]. En raison de sa simplicité, plusieurs réalisations en ITGE dans la littérature [28], [29]. L'optimisation du détecteur Rake conventionnelle est l'objectif de plusieurs recherches puisque le détecteur Rake est l'élément principal du système DS-CDMA [30], [31]. Dans l'étape qui suit, nous traitons trois architectures du Rake.

La première architecture en VHDL a été basée sur des matrices pour la simple raison est que le modèle a été développé sous MATLAB est que ce dernier fonctionne sous format matriciel. La méthode consiste à charger toutes les données d'entrées générées par le modèle sous MATLAB dans des mémoires, et le traitement des données se fait à la fin du

chargement. Le code en VHDL était typiquement semblable au code écrit sous MATLAB. L'architecture matricielle codée en VHDL a permis une comparaison rapide avec le code écrit sous MATLAB. Par contre, cette architecture ne fonctionne pas en temps réel. De plus, elle est trop complexe puisqu'elle dépend de plusieurs paramètres dont une quantité importante de mémoires. Cela se traduit par une augmentation de surface au niveau matériel et un délai énorme avant d'obtenir une réponse finale à la sortie du détecteur Rake. Dans ce qui suit, nous ne traiterons que les architectures temps réel. Nous proposons ainsi deux architectures dont la deuxième constitue une version optimisée de la première.

3.1.1 Architecture Rake-TR

L'architecture matricielle a été modifiée plusieurs fois pour obtenir finalement une architecture Rake-TR, elle est très simple et performante en même temps. La figure 3-1 montre le bloc d'entrées/sorties du détecteur Rake. Notons que le détecteur optimal doit exploiter les trajets multiples au lieu de les supprimer, en combinant de façon cohérente leurs contributions au signal émis.

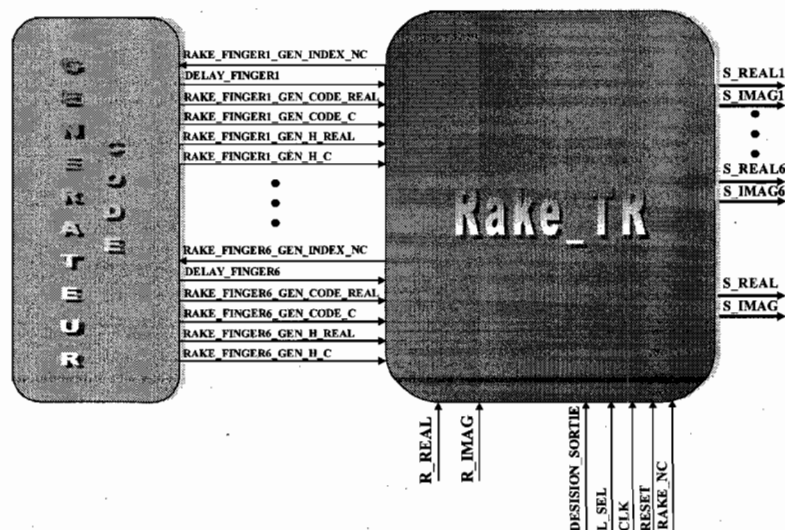


Figure 3.1 Bloc d'entrées/sorties du détecteur Rake

Le détecteur *Rake-TR* dont l'architecture interne est présentée à la figure 3.2, est composé d'une unité de contrôle, de six *fingers* traitant chacun un trajet particulier, suivit d'une unité d'alignement, une unité MRC, et finalement une unité de décision « sortie dure ou douce ».

3.1.1.1 Unité de contrôle des fingers

L'unité de contrôle des *fingers* a comme premier rôle de sélectionner le nombre des *fingers* désirés par l'intermédiaire du signal de contrôle L_SEL. Il est possible de choisir jusqu'à un maximum de six *fingers*. Cette unité permet également de diriger les signaux d'entrées au *finger* actif et la synchronisation entre le générateur et le *finger* actif. La figure 3.3 représente l'unité de contrôle du *FINGERx*, ou x varie de 1 à 6.

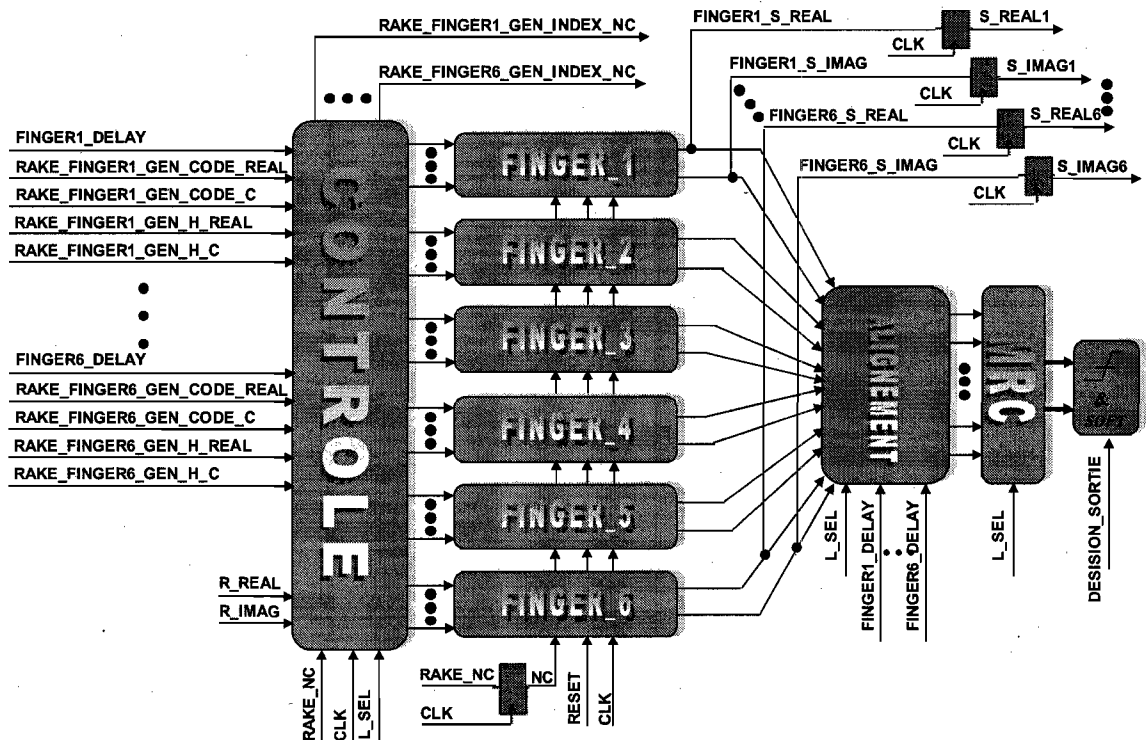


Figure 3.2 Architecture interne du détecteur Rake-TR

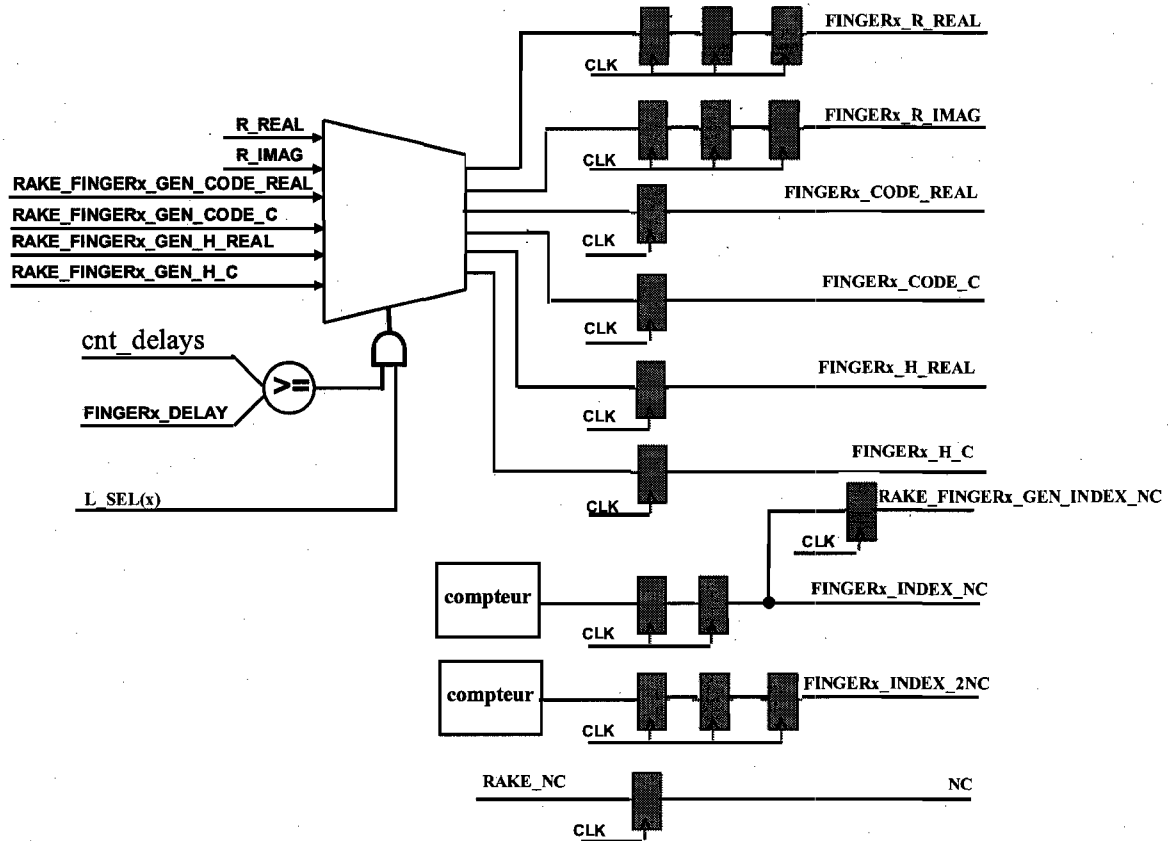


Figure 3.3 Contrôle du FINGERx

Étant donné que canal considéré ainsi que les codes des usagers sont à valeurs complexes, nous devons utiliser le conjugué. Notons ainsi, pour la signature des usagers :

$$\text{RAKE_FINGER}_x\text{_GEN_CODE_C} = - \text{RAKE_FINGER}_x\text{_GEN_CODE_IMAG}$$

et pour les coefficients du canal de communication :

$$\text{RAKE_FINGER}_x\text{_GEN_H_C} = - \text{RAKE_FINGER}_x\text{_GEN_H_IMAG} \text{ où } x \text{ varie de } 1 \text{ à } 6$$

6

*FINGER*_x rentre en action lorsque le signal *cnt_delays* est supérieur ou égal au signal *FINGER*_x_DELAY, en plus le signal *L_SEL(x)* doit être égal à 1. Les signaux *RAKE_FINGER*_x_GEN_INDEX_NC, *FINGER*_x_INDEX_NC et *FINGER*_x_INDEX_2NC

permettent la synchronisation entre le générateur des codes et le FINGERx actif. Ils sont déterminés à l'aide de compteurs. Leurs valeurs sont fonction de la taille des signatures (N_c).

3.1.1.2 Architecture du détecteur *finger*

Nous commençons par une vue d'ensemble du détecteur *finger* présentée à la figure 3.4. L'objectif du détecteur *finger* est d'estimer le symbole associé au trajet traité. Les signaux FINGERx_CODE_REAL ET FINGERx_CODE_C représentent la signature de l'utilisateur en question et les signaux FINGERx_H_REAL ET FINGERx_H_C représentent la compensation du canal. Donc, le rôle du détecteur *finger* est de désétaler les signaux R_REAL et R_IMAG par l'intermédiaire de la signature et des composantes du canal. L'architecture du détecteur *finger* est composée de deux étages : le premier pour le désétalement et le deuxième pour la compensation de la phase.

Le premier étage du détecteur *finger* est représenté à la figure 3.5. L'architecture est composée d'une multiplication complexe suivie d'un accumulateur pour désétalement le signal et ainsi enlever l'effet de la signature.

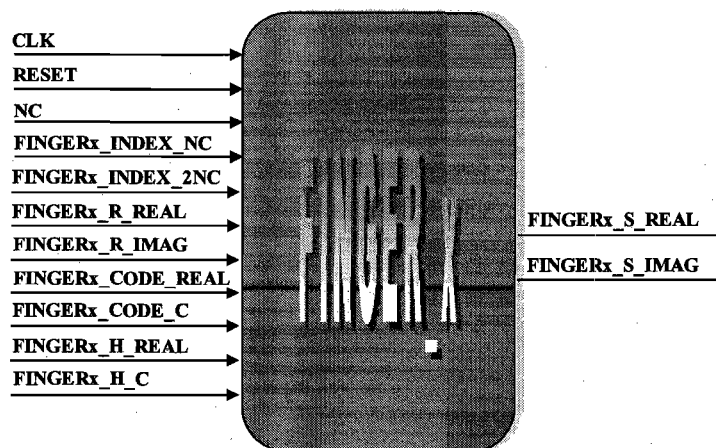


Figure 3.4 Bloc d'entrées/sorties du détecteur *finger*

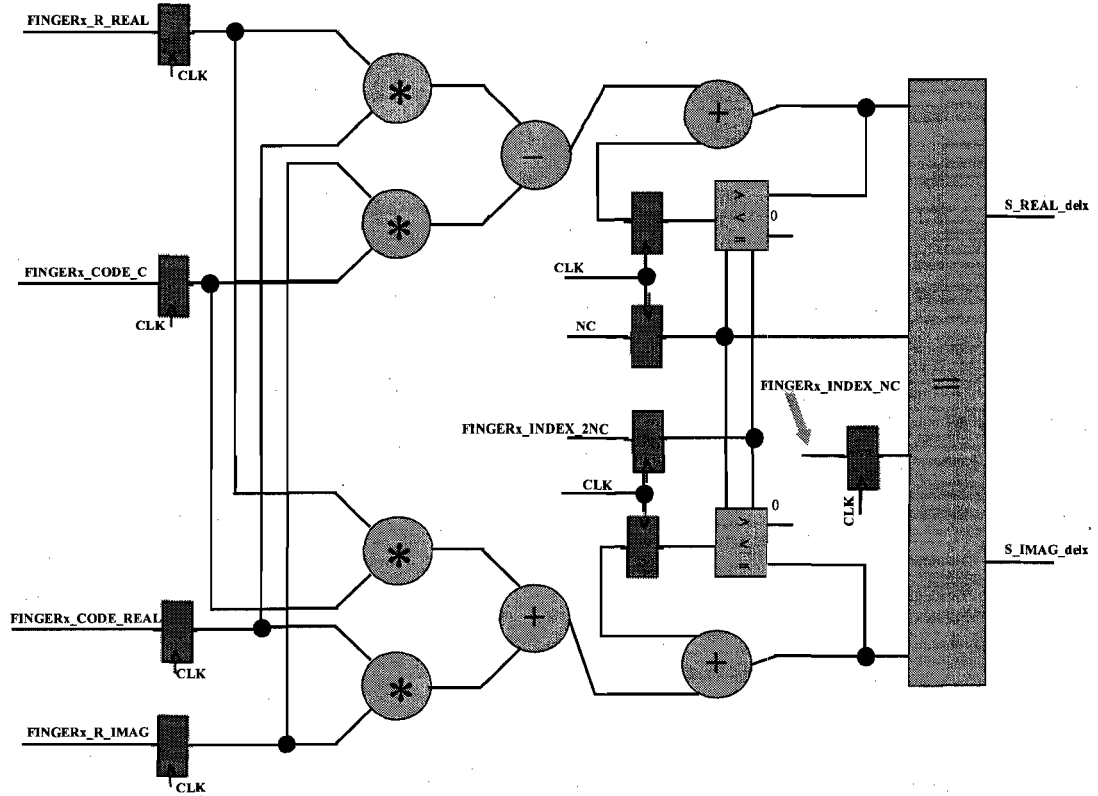


Figure 3.5 Unité de désétalement

L'étape qui suit représente le deuxième étage du détecteur *finger* dont l'architecture est montrée à la figure 3.6. Le deuxième étage sert à compenser l'effet de la phase en exécutant les équations suivantes :

Partie réelle :

$$FINGERx_S_REAL = S_REAL_delx * FINGERx_H_REAL - S_IMAG_delx * FINGERx_H_C \quad (3.1)$$

Partie imaginaire :

$$FINGERx_S_IMAG = S_REAL_delx * FINGERx_H_C + S_IMAG_delx * FINGERx_H_REAL \quad (3.2)$$

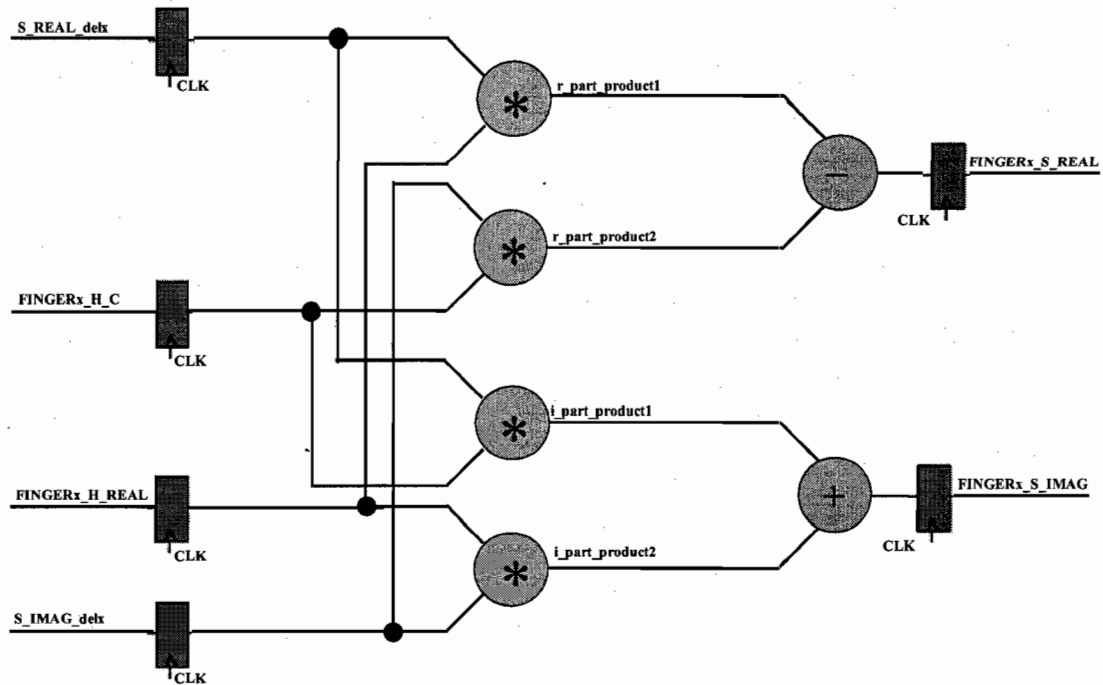


Figure 3.6 unité de compensation de la phase

3.1.1.3 Unité d'alignement

L'unité d'alignement permet d'aligner les signaux de sortie des *fingers* dans le temps par rapport au dernier trajet. L'architecture peut supporter jusqu'à 30 *chips* entre les trajets. La figure 3.7 représente l'unité d'alignement pour un FINGER_x. L'architecture est composée de 30 registres pour la partie réelle, 30 registres pour la partie imaginaire, et de deux multiplexeurs. Le premier multiplexeur est composé de six entrées et une seule sortie pour délivrer MAX_DELAY selon L_SEL. La différence entre MAX_DELAY et FINGER_x_DELAY donne l'adresse pour le deuxième multiplexeur qui est composé de 62 entrées, 31 pour la partie réelle et 31 pour la partie imaginaire. Les sorties fournissent deux signaux alignés ALIG_x_S_REAL et ALIG_x_S_IMAG pour le FINGER_x. Rappelons que *x* varie de 1 à 6.

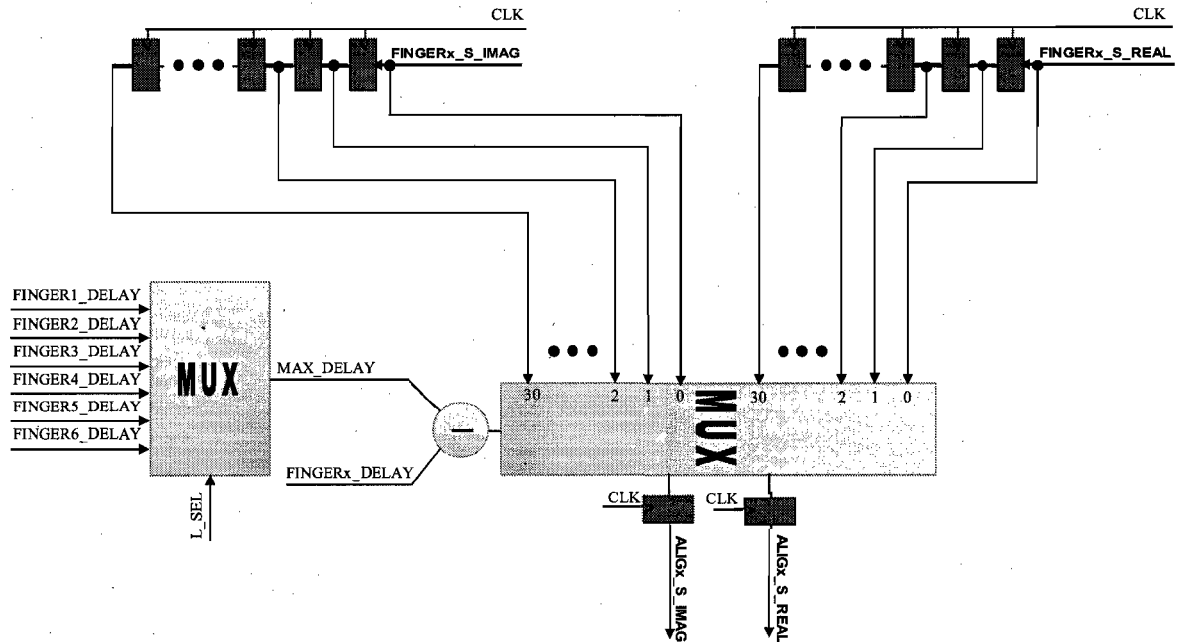


Figure 3.7 Unité d'alignement du FINGERx

3.1.1.4 Unité de Combinaison de Rapport Maximal (MRC)

L'unité *MRC* permet de combiner de façon cohérente les contributions des différents trajets afin d'obtenir une réponse plus significative. La figure 3.8 représente l'unité *MRC*. Les sorties *MRC_REAL* et *MRC_IMAG* de l'unité dépendent du choix du vecteur *L_SEL* qui représente le nombre de trajets sélectionnés. Le fait que la taille de *L_SEL* est variable force le choix de la structure des additionneurs sous forme d'une chaîne. Les entrées (réelles ou imaginaires) du *MRC*, c'est-à-dire tous les *ALIGx_S_REAL* et *ALIGx_S_IMAG* arrivent en même temps. Afin d'éviter des problèmes de synchronisation lors de l'accumulation des valeurs à l'entrée du *MRC*, nous avons rajouté des registres avant les additionneurs à l'exception de la première addition des parties réelle et imaginaire.

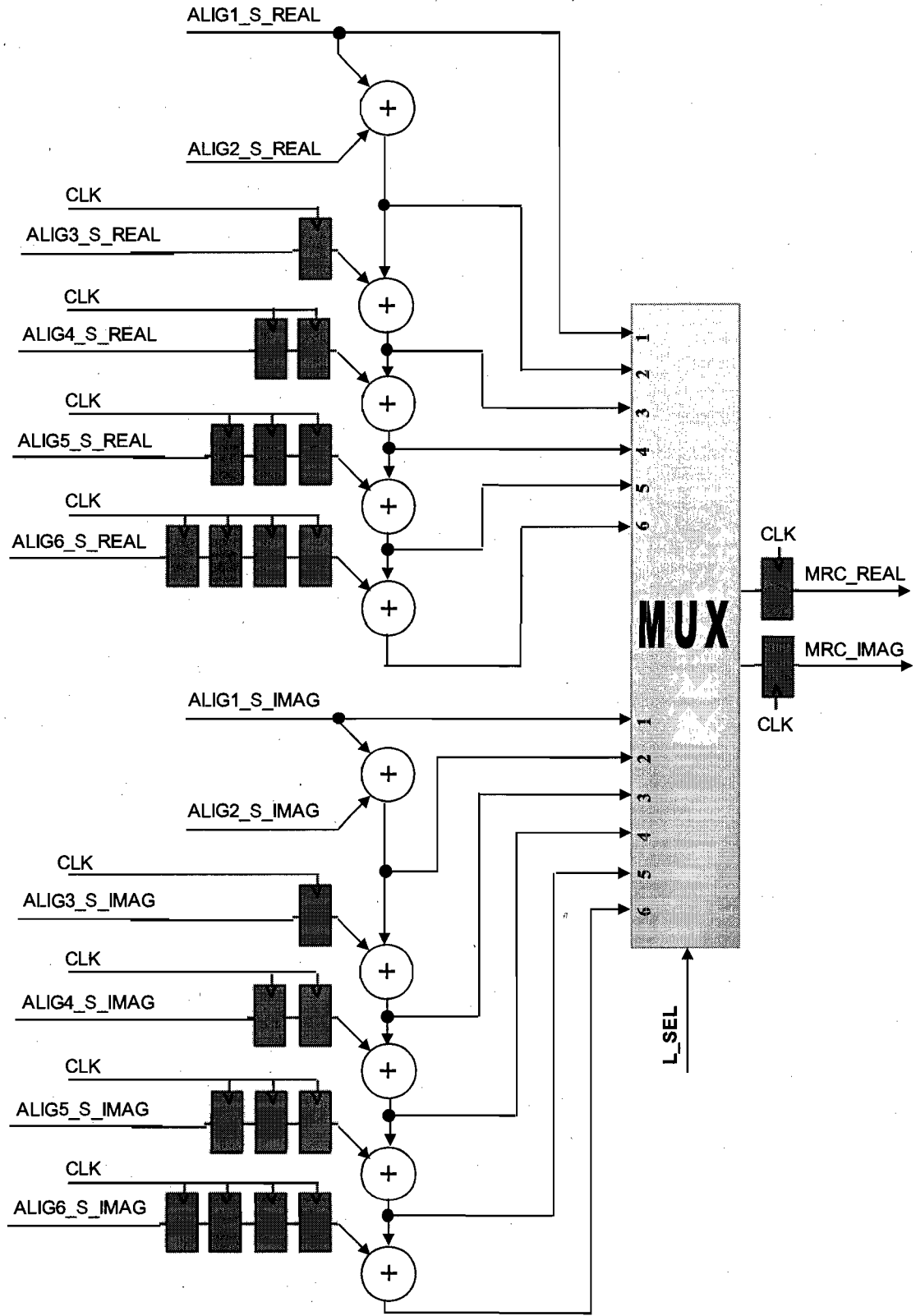


Figure 3.8 Unité MRC

3.1.1.5 Unité-de décision

L'unité de décision, schématisée par la figure 3.9, permet de générer une décision douce ou dure à la sortie du détecteur Rake. Dans le cas d'une décision dure et une modulation BPSK par exemple, les sorties possibles de ce bloc sont 1 et -1 qui correspondent respectivement à des entrées positives ou négatives. Pour la décision douce, la sortie correspond à l'entrée sauf si cette dernière présente des valeurs supérieures à 1 ou inférieures à -1. Dans ce cas, les sorties sont saturées à 1 ou -1 respectivement.

3.1.2 Architecture Rake-TR-OP

L'architecture *Rake-TR-OP* consiste à optimiser davantage le détecteur *Rake-TR*. L'optimisation concerne essentiellement le détecteur *finger* et l'unité d'alignement. La figure 3.10 présente l'architecture interne du détecteur *Rake-TR-OP*. Notons que les entrées/ sorties ne changent pas pour les deux architectures *TR* et *TR-OP* et ceci que ça soit pour le détecteur Rake ou le bloc *finger*.

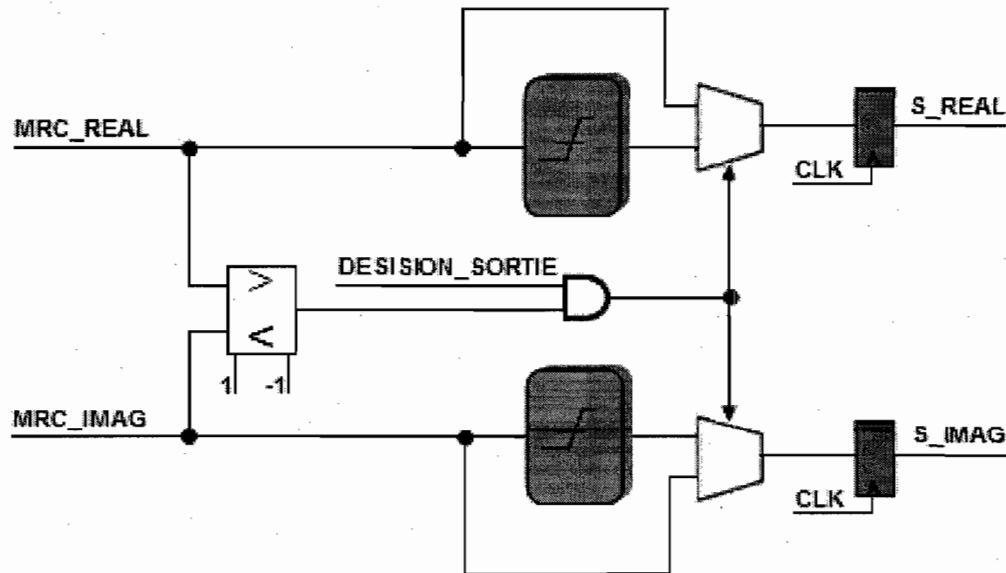


Figure 3.9 Unité de décision

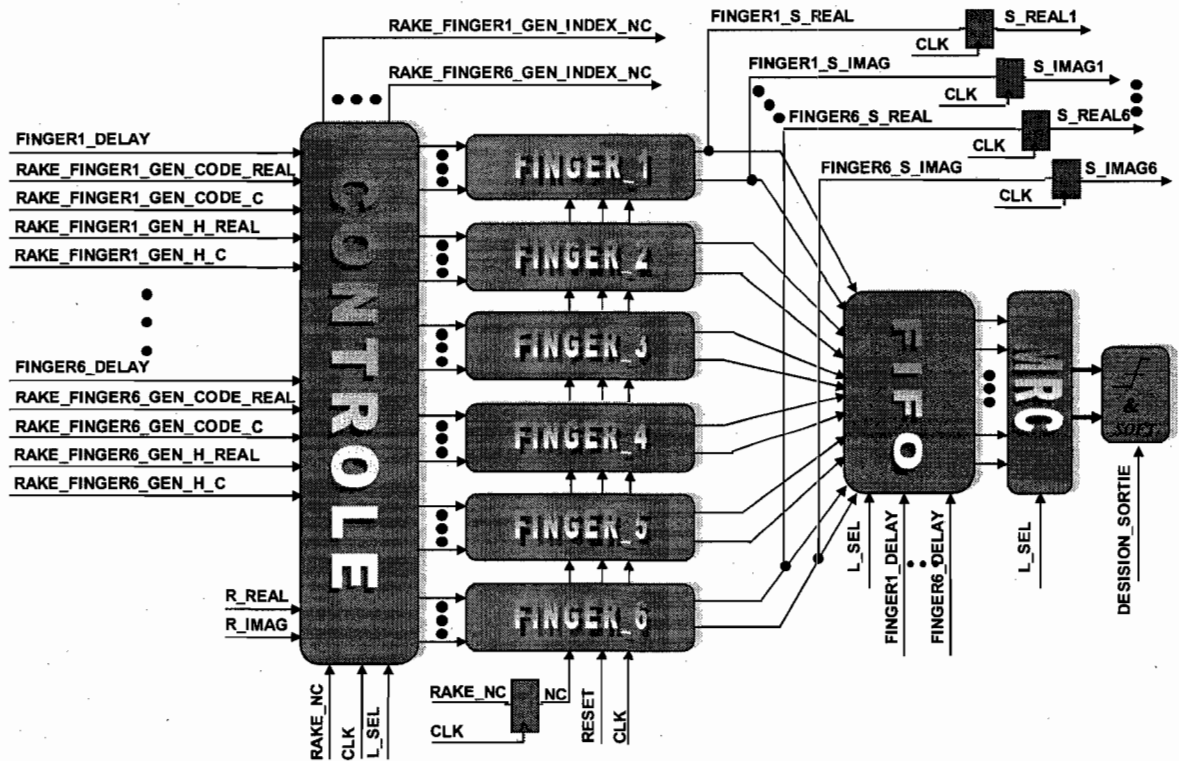


Figure 3.10 Architecture interne du détecteur Rake-TR-OP

3.1.2.1 Détecteur finger

La signature de l'utilisateur peut avoir comme valeur « $\pm 1 \pm i$ » (i , opérateur imaginaire). Ainsi, on peut réduire la taille de l'unité de désétalement du détecteur en éliminant les quatre multiplicateurs. Ces derniers peuvent donc être remplacés par un simple test sur le bit de signe des signaux d'entrées. Ainsi, nous arrivons avec une nouvelle architecture de l'unité de désétalement qui permet de modifier la figure 3.5 pour aboutir à un schéma plus optimisé et qui est représenté à la figure 3.11.

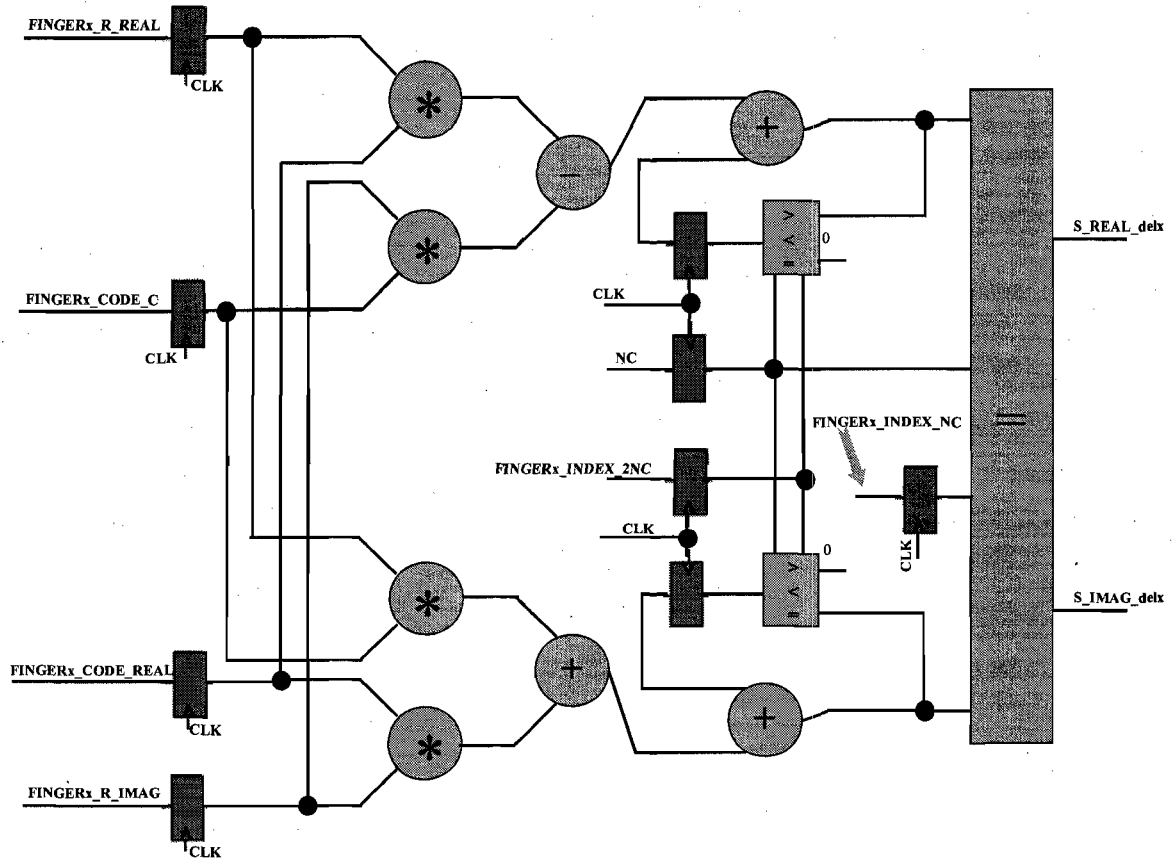


Figure 3.11 Unité de désétalement

L'unité de compensation de la phase du détecteur finger est composée quant à elle de quatre multiplications telle que représentée par la figure 3.6. Ces quatre multiplications peuvent être réduites à trois en modifiant les équations (3.1) et (3.2) par une introduction de deux termes supplémentaires pour chaque équation. La Figure 3.12 représente la nouvelle architecture de l'unité de compensation de la phase. Cette légère modification aura un impacte sur la surface est par conséquent sur la consommation [28]. La justification de cette modification est illustrée par les équations suivantes :

Partie réelle :

$$\begin{aligned}
 \text{FINGERx_S_REAL} = & \text{S_REAL_delx} * \text{FINGERx_H_REAL} - \text{S_IMAG_delx} * \text{FINGERx_H_C} - \text{S_REAL_delx} * \\
 & \text{FINGERx_H_C} + \text{S_REAL_delx} * \text{FINGERx_H_C}
 \end{aligned}
 \tag{3.3}$$

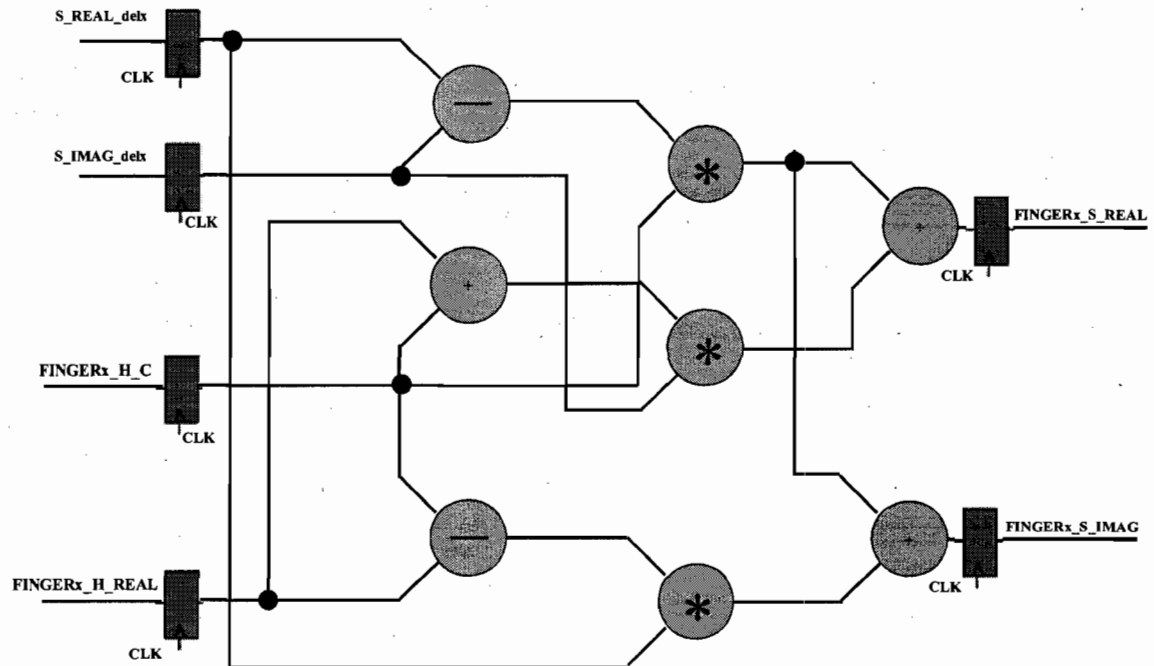


Figure 3.12 unité de compensation de la phase

Ou bien

Partie réelle :

$$\text{FINGERx_S_REAL} = \text{FINGERx_H_C} (\text{S_REAL_delx} - \text{S_IMAG_delx}) + \text{S_REAL_delx} (\text{FINGERx_H_REAL} - \text{FINGERx_H_C}) \quad (3.4)$$

Partie imaginaire:

$$\text{FINGERx_S_IMAG} = \text{S_REAL_delx} * \text{FINGERx_H_C} + \text{S_IMAG_delx} * \text{FINGERx_H_REAL} - \text{S_IMAG_delx} * \text{FINGERx_H_C} + \text{S_IMAG_delx} * \text{FINGERx_H_C} \quad (3.5)$$

Ou bien

Partie imaginaire:

$$\text{FINGERx_S_IMAG} = \text{FINGERx_H_C} (\text{S_REAL_delx} - \text{S_IMAG_delx}) + \text{S_IMAG_delx} (\text{FINGERx_H_REAL} + \text{FINGERx_H_C}) \quad (3.6)$$

On remarque que le terme $FINGER_x_H_C(S_REAL_delx - S_IMAG_delx)$ est présent dans (3.4) et (3.6). Cela permet de réduire le nombre de multiplication à trois.

3.1.2.2 Unité d'alignement

Au lieu de retarder les signaux de sorties des *fingers* actifs pour les aligner par rapport au dernier symbole dans le temps, la nouvelle architecture est beaucoup plus flexible. Elle consiste à mémoriser les symboles des fingers actifs dans une mémoire FIFO. La lecture commence lorsque $FINGER_x$ est aligné par rapport au dernier finger dans le temps. Dans cette architecture, le délai entre les trajets dépend de la grandeur de la mémoire FIFO. Aussi avec cette architecture on n'a pas besoin d'un multiplexeur de 62 entrées pour chaque finger. Ceci se traduit par une réduction dans le câblage et dans la surface. La Figure 3.13 représente la nouvelle architecture de l'unité d'alignement pour le $FINGER_x$.

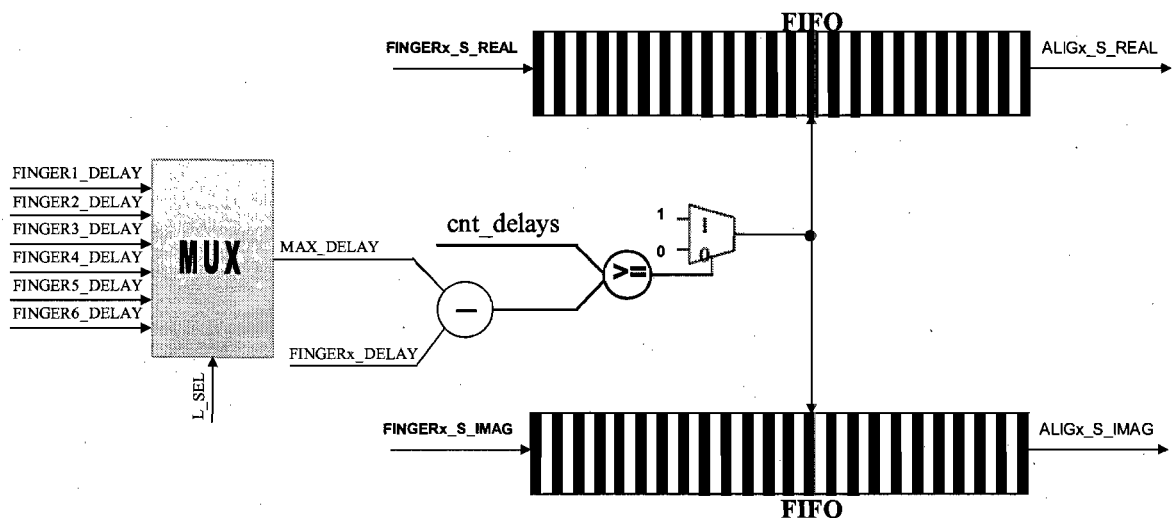


Figure 3.13 Unité d'alignement du FINGER_x

3.2 Architecture du détecteur MPIC

Comme pour le Rake, la première architecture en VHDL du détecteur MPIC sans retour de décision a été basée sur des matrices. La méthode consiste à charger toutes les données d'entrées générées par le modèle sous MATLAB dans des mémoires, et le traitement des données se fait à la fin du chargement. Une telle architecture ne peut pas être implantée dans la pratique. Comme dans le cas du Rake, seules les architectures TR seront considérées dans la suite de cette section. À noter que l'architecture basée sur des matrices est une étape essentielle pour passer à d'autres architectures plus évoluées.

Afin de simplifier la structure des architectures proposées, nous avons considéré un système DS-CDMA synchrone avec des canaux de communication à un seul chemin. Une généralisation des architectures proposées peut être déduite dans le cas d'un système DS-CDMA asynchrone avec des canaux à trajets multiples par dédoublement des structures.

La figure 3-14 représente le schéma global de l'architecture adoptée pour le MPIC au niveau bit sans retour de décision. La figure 3.12 est composée de trois blocs : Banque-Rake, CALCUL-R et le MPIC-TR. Le bloc Banque_Rake est composé de 30 détecteurs Rake basés sur l'architecture du Rake-TR-OP traitée dans la section précédente. Les deux autres architectures sont traitées séparément et en détail dans les sous-sections suivantes.

3.2.1 Architecture CALCUL-R

Le bloc CALCUL-R, dont l'architecture externe est présentée à la figure 3.15, permet de calculer les coefficients des corrélations qui sont nécessaires pour le traitement des signaux des usagers récupérés à partir du bloc Banque-Rake.

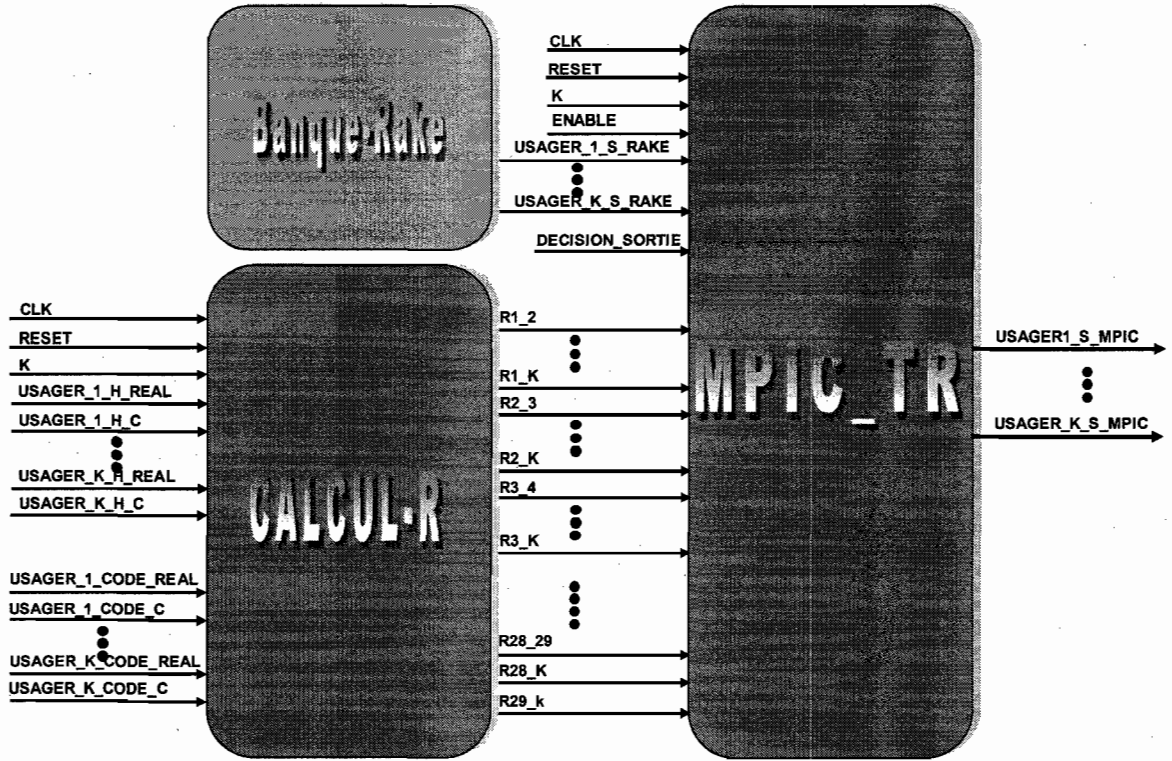


Figure 3.14 Architecture globale du MPIC au niveau bit sans retour de décision

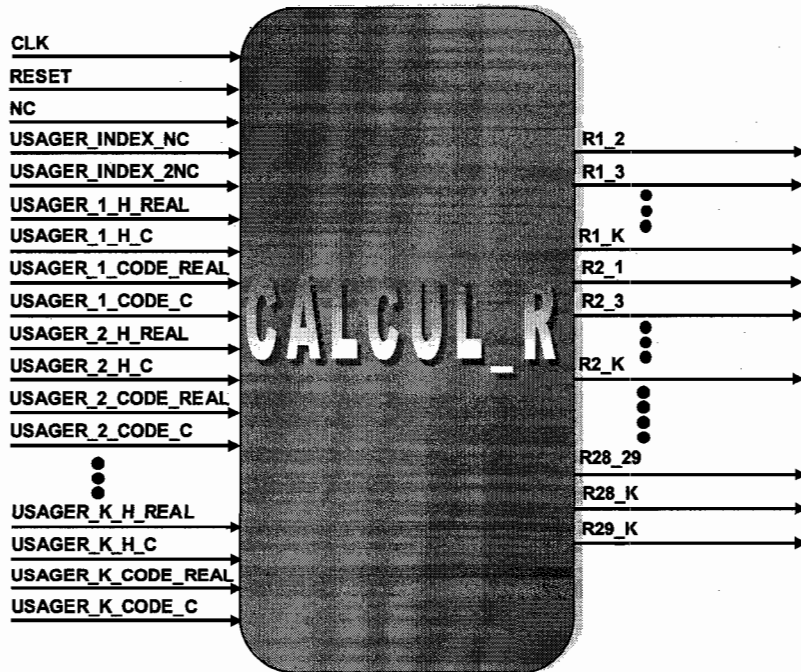


Figure 3.15 Architecture externe du bloc CALCUL-R

L'unité CALCUL-R permet de calculer l'effet des autres usagers sur le code (signature) d'un usager en particulier. Dans cette architecture K représente le nombre des usagers où chaque usager dispose simplement d'un seul trajet. Sachant que les données transmises sont de modulation BPSK, la matrice R est symétrique ($R_{x,y} = R_{y,x}$, $x \forall x, y \in [1 K]$ avec $x \neq y$). Donc nous avons seulement besoin de calculer la partie triangulaire inférieure de la matrice R . Par exemple pour l'utilisateur #1, nous avons besoin de $(K-1)$ blocs COEF_CORR; puis l'utilisateur #2, on parle de $(K-2)$, ... et finalement l'utilisateur #29 a besoin de $(K-29)$. La figure 3.16 représente l'architecture interne du bloc CALCUL-R.

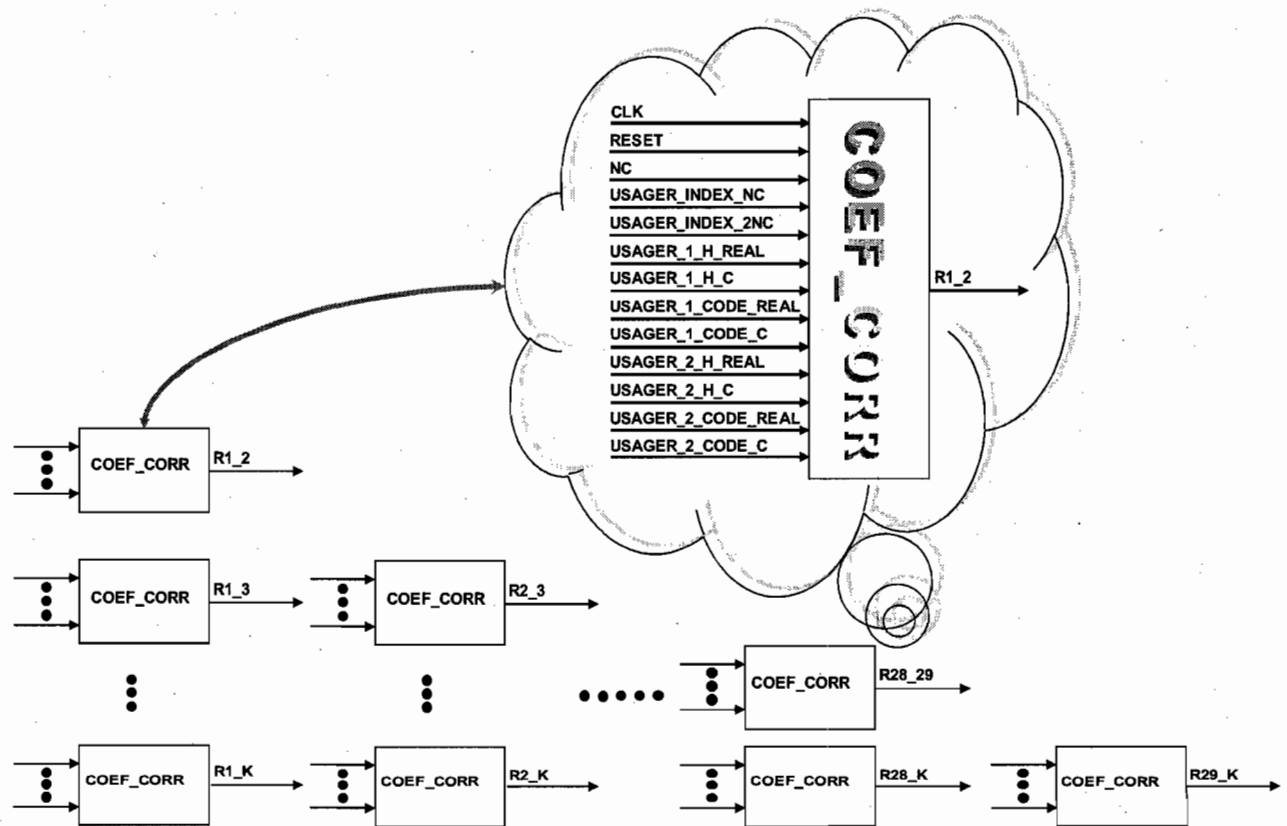


Figure 3.16 Architecture interne de l'unité CALCUL-R

L'unité COEF_CORR est constituée de deux étages. L'étage#1, dont le schéma de principe est représenté dans la figure 3.17, consiste à multiplier le code de l'utilisateur X par celui de l'utilisateur Y. La multiplication est de type complexe. À la sortie de la multiplication, on effectue une accumulation en boucle en fonction de la grandeur de N_c . Notons que puisque les valeurs d'un code sont $\pm 1 \pm i$, il suffit donc de faire un test sur le signe du code au lieu de faire une multiplication.

L'étage#2, représenté dans la figure 3.18, consiste à faire deux multiplications complexes. La première multiplication consiste à multiplier l'amplitude du canal de l'utilisateur X avec l'amplitude du canal de l'utilisateur Y; et la deuxième multiplication sert à multiplier le signal « CORR_CODE_REAL et CORR_CODE_IMAG » avec la sortie de la première multiplication. Notons qu'on s'intéresse seulement à la partie réelle de R.

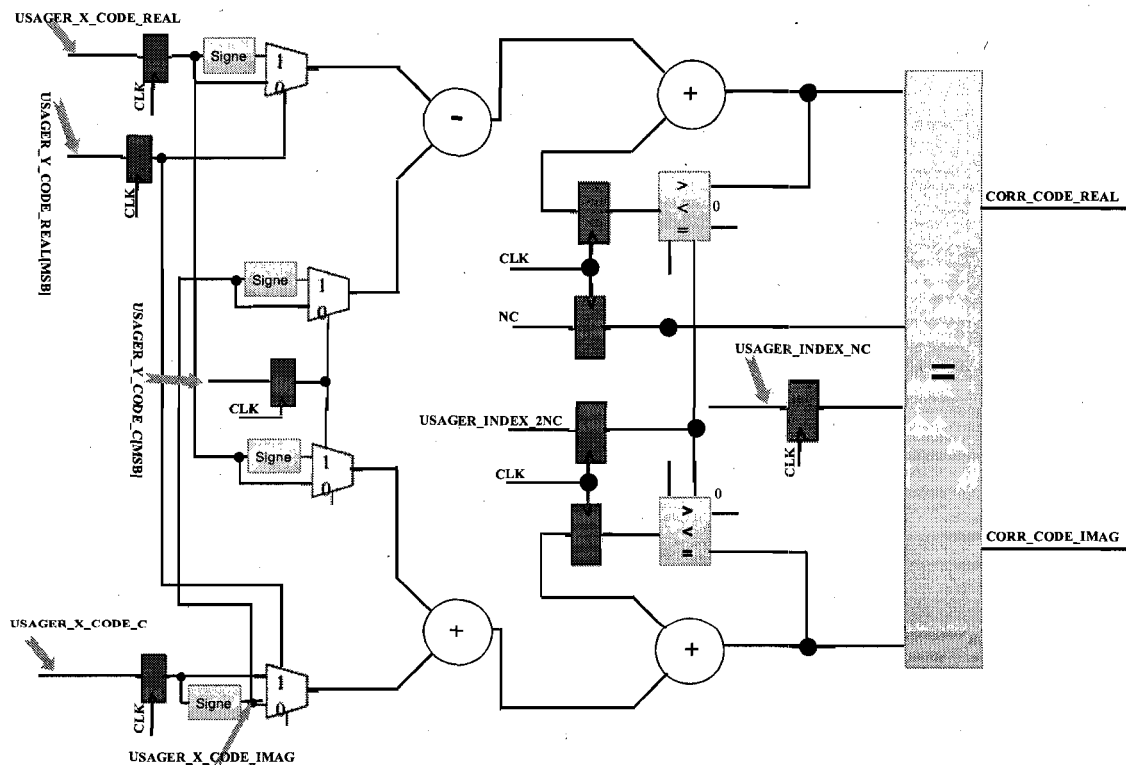


Figure 3.17 Architecture interne de l'étage#1 de l'unité COEF_CORR

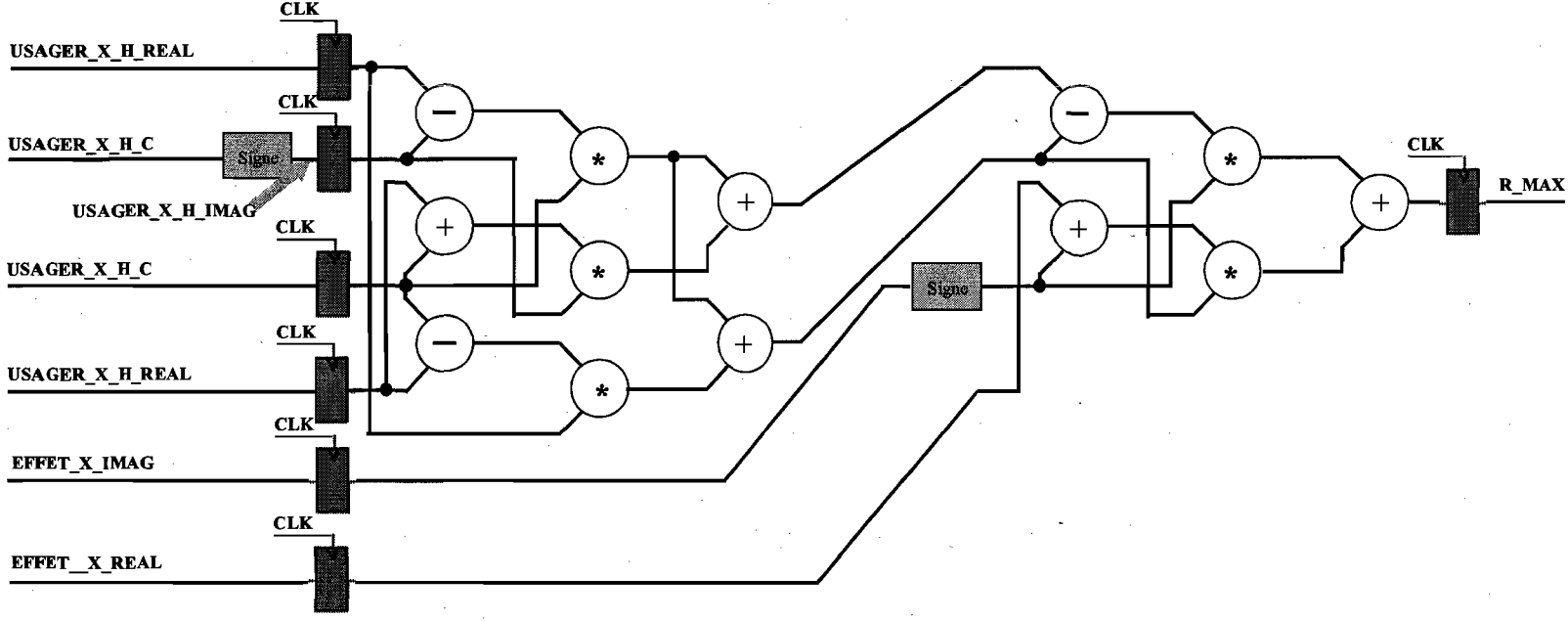


Figure 3.18 Architecture interne de l'étage#2 de l'unité COEF_CORR

3.2.2 Architecture MPIC-TR

Plusieurs modifications ont été faites sur l'architecture matricielle pour donner finalement une architecture *MPIC-TR* qui répond exactement aux critères du projet. Dans cette architecture le nombre d'utilisateurs K varie de 1 à 30.

Le détecteur *MPIC-TR* dans l'architecture interne est présenté par la figure 3.19, est composé de quatre étages de traitement, un bloc d'alignement, et une interface de sortie. L'architecture peut supporter jusqu'à 30 utilisateurs. Elle peut générer une décision douce ou dure à la sortie selon le choix du signal *DECISION_SORTIE*. Finalement, le signal *ENABLE* permet d'imposer le nombre d'étages actifs.

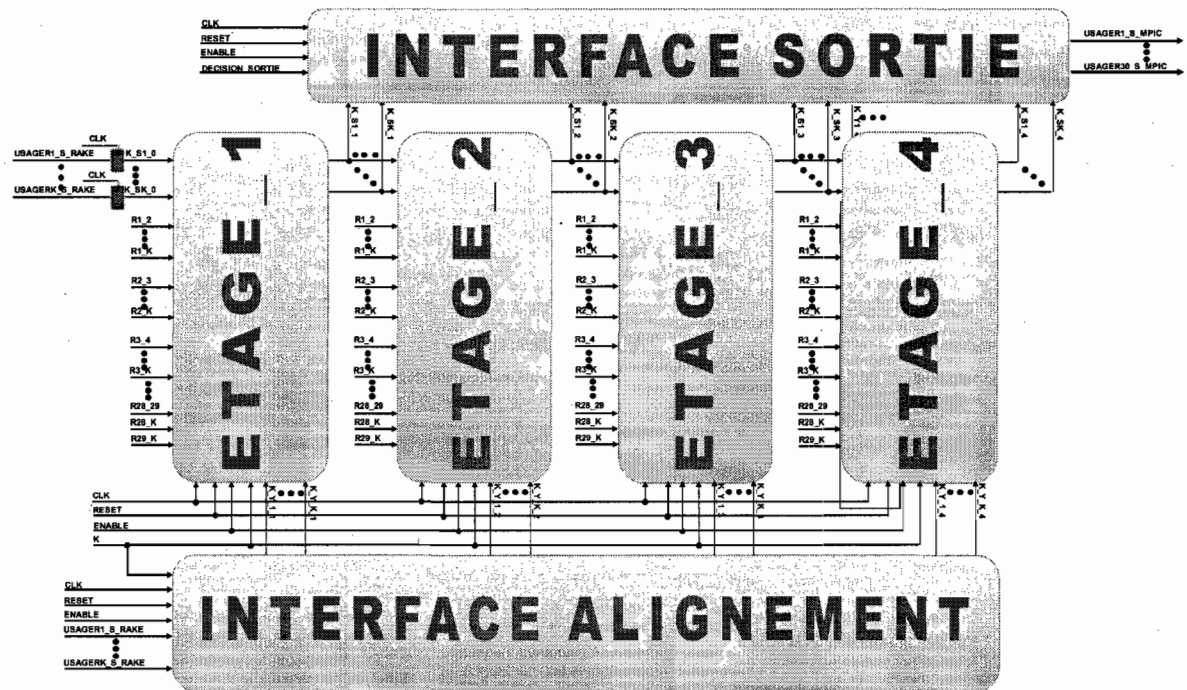


Figure 3.19 Architecture interne du détecteur MPIC

3.2.2.1 Interface d'alignement

L'interface d'alignement est un dispositif d'interconnexion entre les signaux générés par la Banque de Rake et l'unité de traitement qui est l'étage i du MPIC-TR; avec i variant de 1 à 4. L'architecture interne de l'interface d'alignement est présentée par la figure 3.20. Le rôle principal de ce module est d'aligner les signaux d'entrées de l'étage i .

3.2.2.2 Unité de traitement de l'étage i du MPIC-TR

L'étage i est l'unité de traitement du MPIC-TR dont le rôle est de réduire les interférences. Il est composé de deux modules. Le premier permet d'additionner les symboles qui causent les interférences. Un schéma bloc de ce module est présenté dans les figures 3.21 et 3.22 relatives aux usagers 1 et k respectivement. Il est à noter qu'il en existe 30. Le deuxième module, figure 3.23, permet de retrancher l'effet des interférences du signal reçu pour chaque usager jusqu'à un maximum de 30.

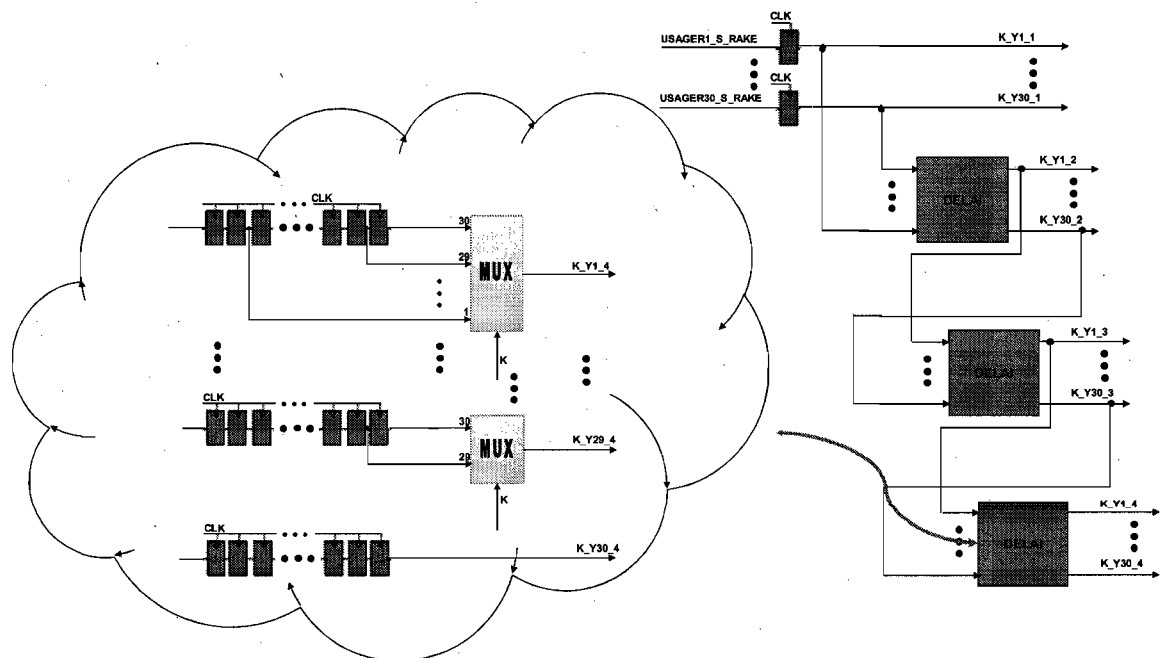


Figure 3.20 Interface d'alignement

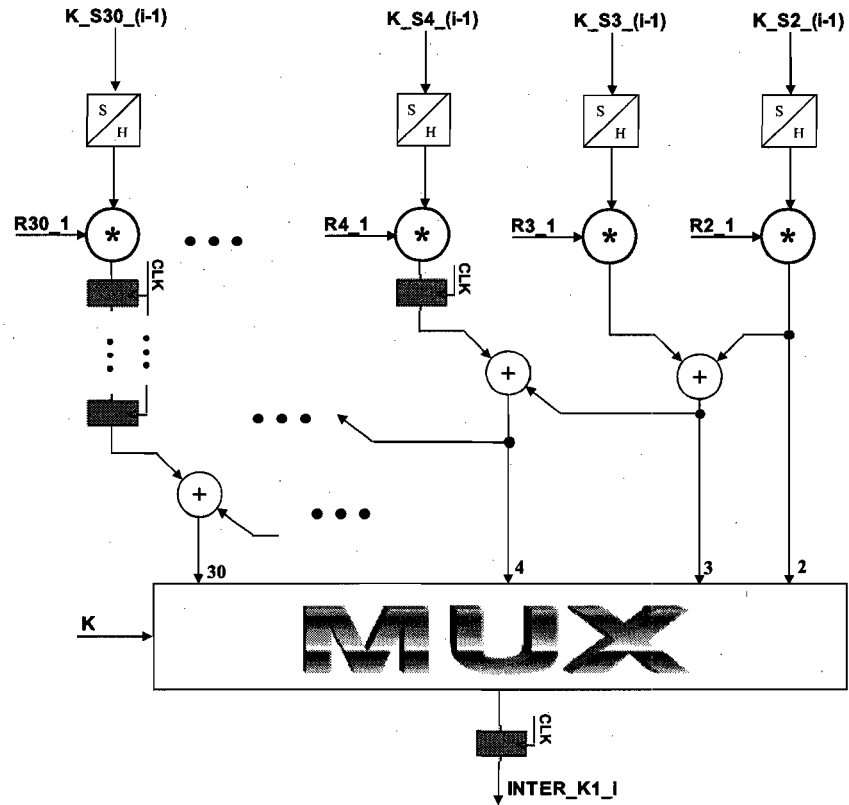


Figure 3.21 Unité de sommation des interférences de l'étage_i que subit l'utilisateur 1

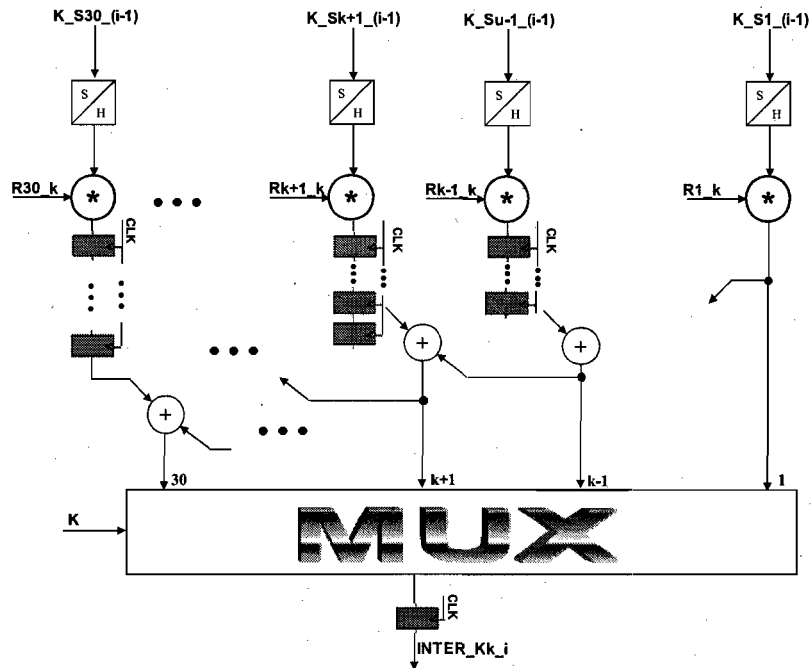


Figure 3.22 Unité de sommation des interférences de l'étage_i que subit l'utilisateur k

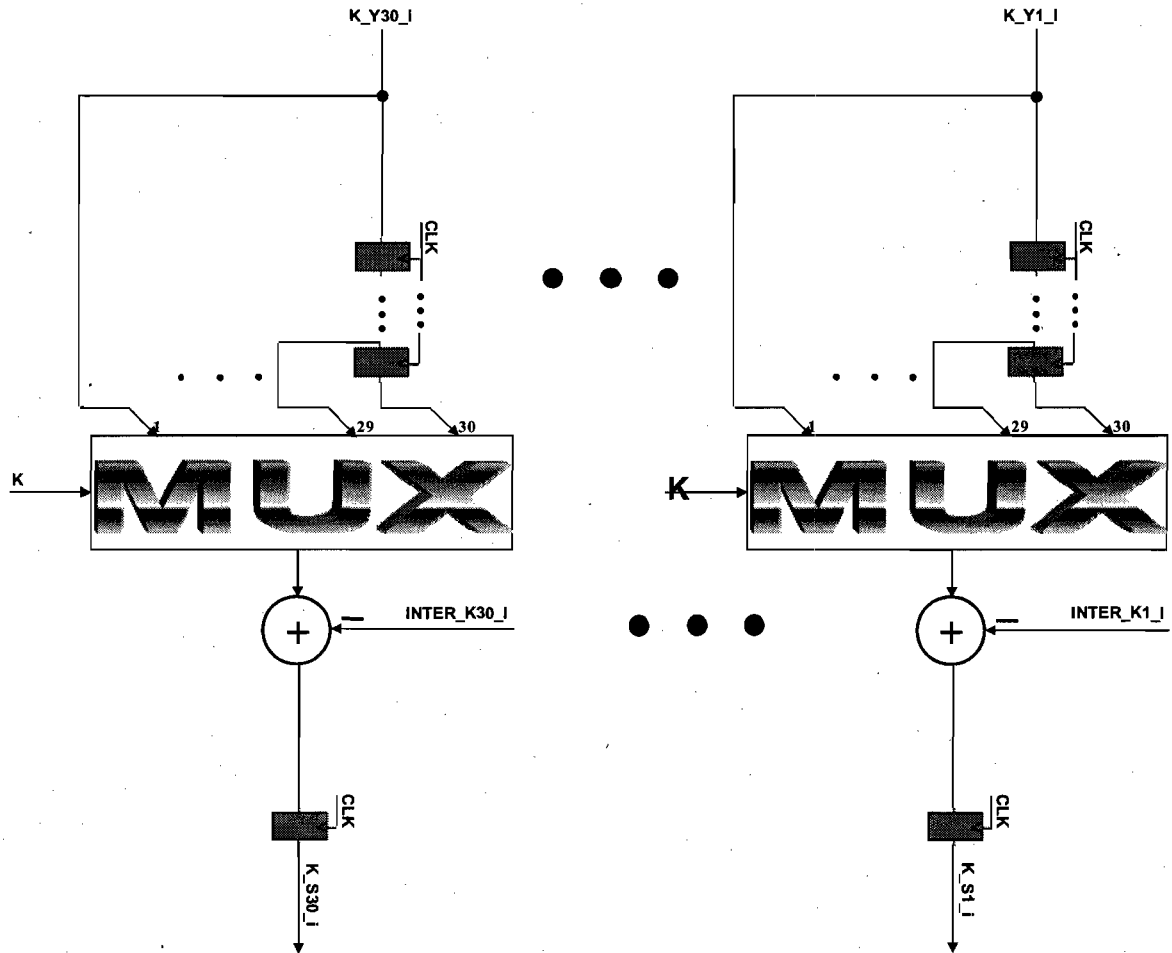


Figure 3.23 Unité de soustraction des interférences de l'étage_i

Le rôle du deuxième module consiste tout d'abord à aligner les signaux reçus des usagers avec les signaux d'interférences pour pouvoir les annuler. L'alignement se fait en retardant le signal reçu par l'intermédiaire des registres. Ce retard, qui varie selon le nombre des usagers, est dû au nombre d'additionneurs successifs du module de traitement.

3.2.2.3 Interface de sortie

L'interface de sortie, figure 3.24, permet la sélection de la sortie selon le nombre d'étages que nous voulons utiliser pour le MPIC. Cette sélection est effectuée par l'intermédiaire du signal *ENABLE* qui varie de 1 à 4.

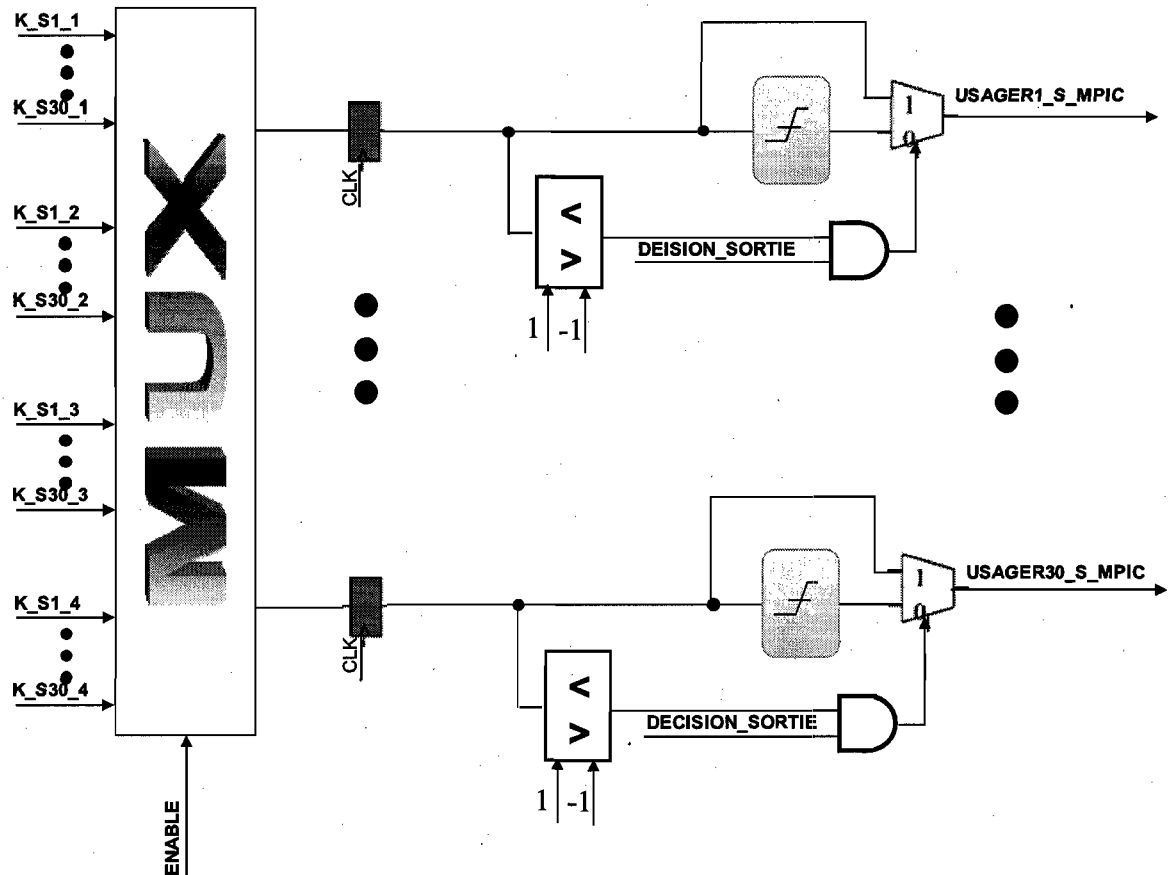


Figure 3.24 Interface de sortie

Ce module génère à la sortie une décision dure ou douce. Rappelons que dans le cas d'une décision dure et une modulation BPSK par exemple, les sorties possibles de ce bloc sont 1 et -1 correspondant respectivement à des entrées positives ou négatives. Pour la décision douce, la sortie correspond à l'entrée sauf si cette dernière présente des valeurs supérieures à 1 ou inférieures à -1. Dans ce cas, les sorties sont saturées à 1 ou -1 respectivement.

Nous avons ainsi présenté l'architecture du MPIC sans retour de décision. Dans la prochaine section, nous établirons une architecture spécialement dédiée au détecteur MPIC avec retour de décision.

3.3 Architecture du détecteur DF-MPIC

Parmi les architectures qui attirent notre attention est le détecteur MPIC avec rétroaction qui est le plus performant. La version de DF-MPIC donne des performances plus intéressantes; particulièrement lorsque le système est pleinement chargé. D'un autre côté, l'implémentation du DF-MPIC n'est pas facile à réaliser due aux dépendances de données imposées par la nature de la rétroaction du détecteur considéré. Nous avons constaté au chapitre 2 que l'utilisateur k doit attendre le traitement des données de tous les utilisateurs avant de traiter ses propres données, comme indiqué dans notre publication [11]. Nous avons proposé une architecture de pipeline pour le détecteur DF-MPIC. Quoique l'architecture soit seulement applicable pour l'annulation de MAI, la présence des rétroactions de décision a mené à une quantité impressionnante de registres pour être utilisée. Par conséquent, la latence et la taille des architectures proposées sont tout à fait larges. La structure pipeline de cette structure est présentée à la figure 3.25.

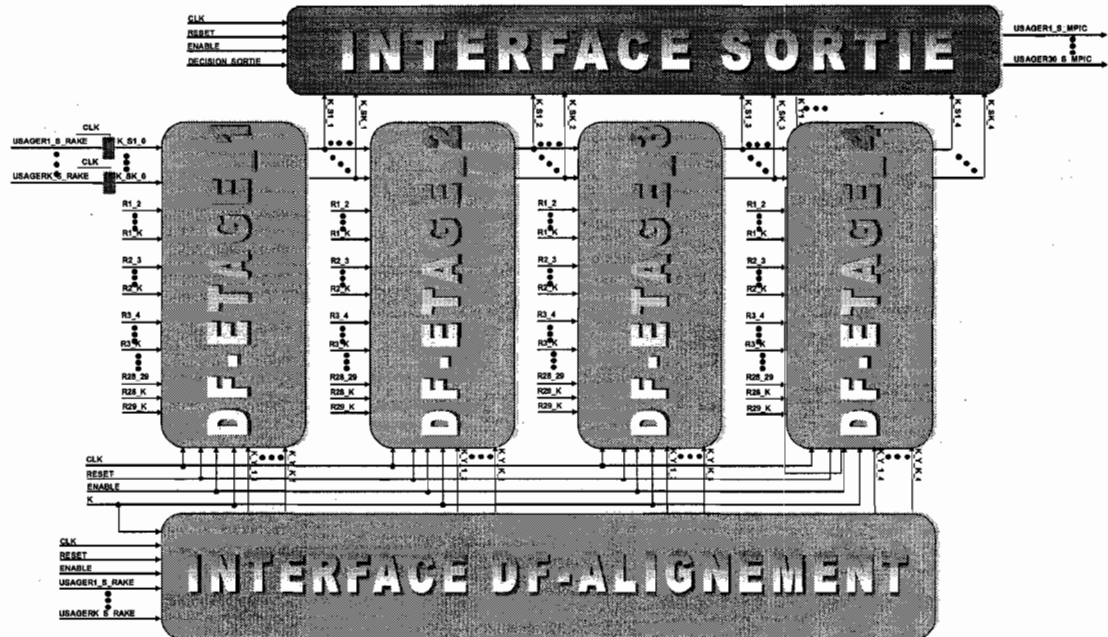


Figure 3.25 Architecture interne du DF-MPIC-TR

Dans cette architecture, les signaux d'entrées/sorties restent les mêmes pour les deux architectures MPIC-TR et DF-MPIC-TR. Seule l'architecture interne sera modifiée. À noter que le pipeline est considéré dans cette architecture. La modification interne est effectuée au niveau de l'interface d'alignement et de l'étage de traitement. Par contre, l'interface de sortie reste la même pour les deux architectures.

3.3.1.1 Interface DF-alignement du DF-MPIC-TR

L'architecture de l'interface DF-alignement est représentée par les figures 3.26. Elle représente les signaux d'entrées/sorties et l'architecture interne du module.

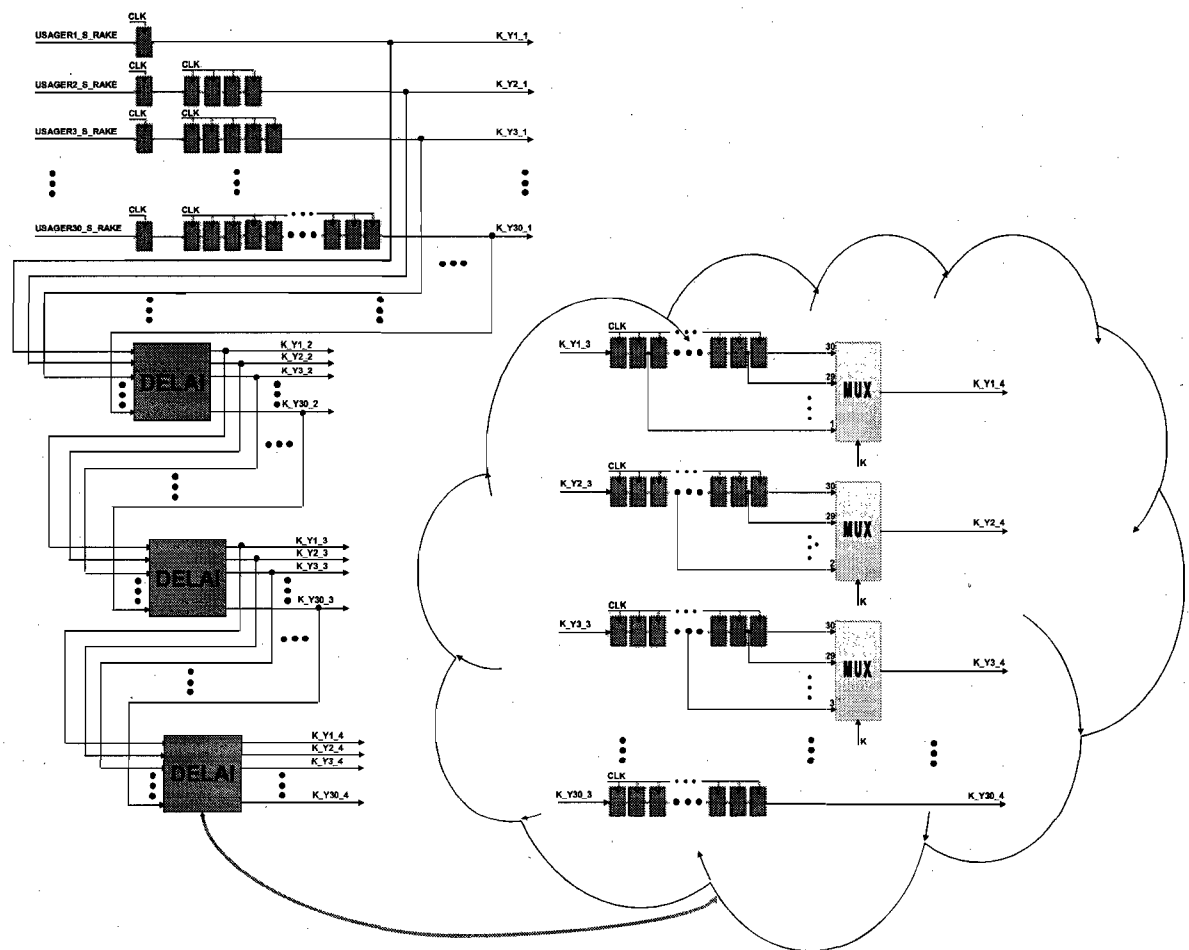


Figure 3.26 Interface DF-alignement DF-MPIC-TR

L'interface DF-alignement permet d'aligner les signaux d'entrées des usagers par rapport aux signaux d'interférences. Dans l'interface DF-alignement du DF-MPIC-TR, pour chaque étage, on tient compte du pipeline de l'étage du traitement en cours et l'étage précédent. L'interface DF-alignement est une architecture montée en cascade.

3.3.1.2 Unité de traitement DF-ETAGE_i du DF-MPIC-TR

L'unité de traitement est un dispositif qui permet d'enlever les interférences à partir des signaux d'entrées des usagers. Pour avoir une meilleure observation, l'architecture est divisée en deux figures (3.27 et 3.28).

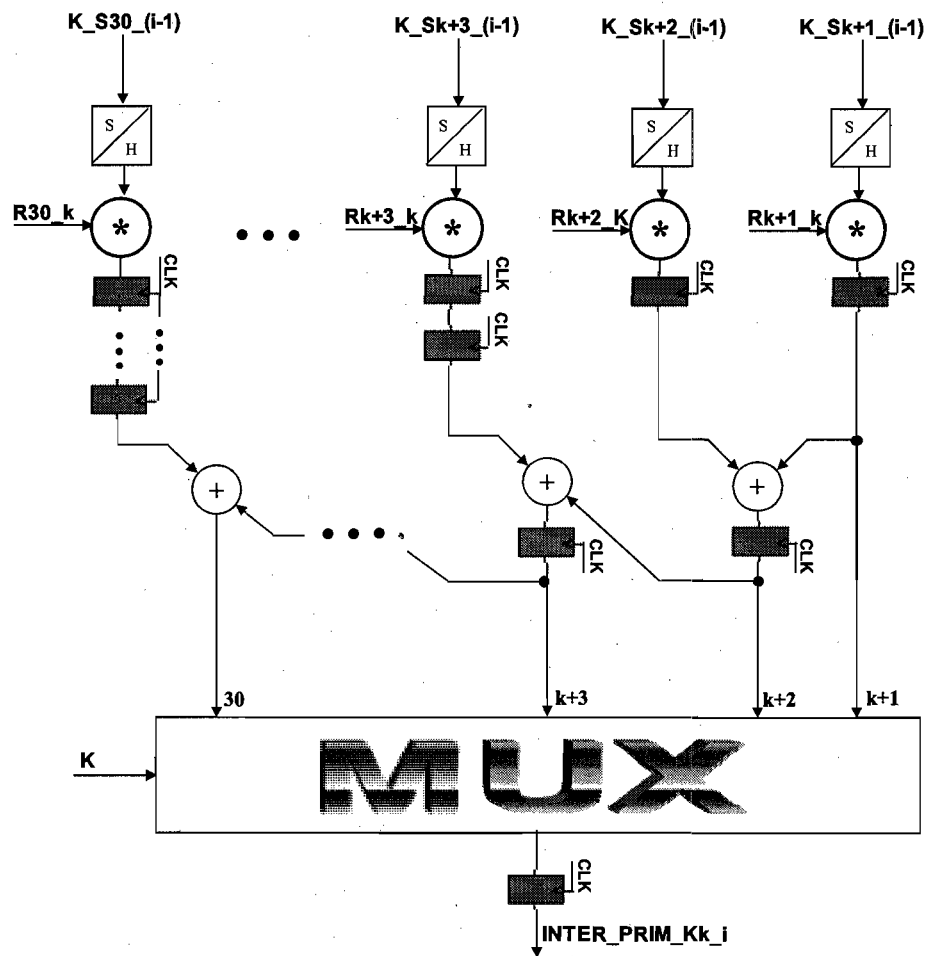


Figure 3.27 Unité de sommation des interférences primaires de l'étage i que subit l'utilisateur k

La figure 3.27, dont le pipeline est appliqué, représente les interférences que nous pouvons additionner sans tenir compte de la rétroaction. Ils sont nommés interférences primaires. À la figure 3.28, les interférences après la rétroaction sont nommées interférences secondaires.

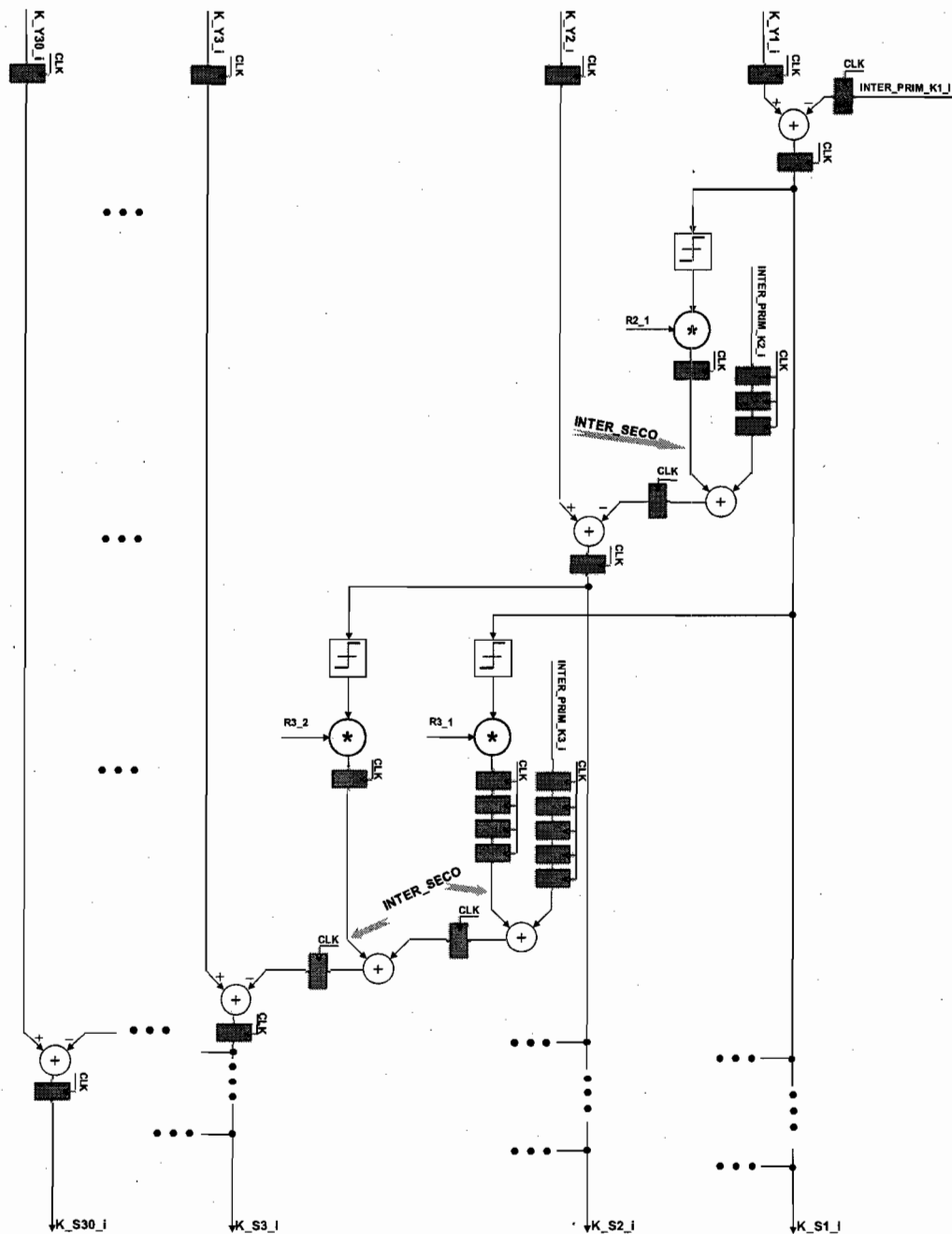


Figure 3.28 Unité de sommation, et soustraction des interférences de l'étage i

L'architecture de la figure 3.28 permet d'additionner les interférences primaires et secondaires et par la suite de les annuler à partir des signaux d'entrées des usagers. On prend un exemple de 10 usagers. Pour l'utilisateur 3, les interférences primaires représentent les usagers 4 à 10 (car déjà disponibles) alors que les interférences secondaires sont celles des usagers 1 et 2 dont il doit attendre leur traitement. L'architecture proposée mène à une quantité impressionnante de registres. Par conséquent, les délais et la taille de l'architecture que nous avons proposés sont tout à fait énormes. Ceci sera confirmé par une synthèse du programme VHDL dans le chapitre suivant.

3.4 Architecture BP-DF-MPIC-TR

La nouvelle architecture que nous proposons permet de réduire les délais de l'architecture précédente par l'application de parallélisme entre les usagers. Le nom de notre technique tire son nom de son principe de fonctionnement. La technique BP-DF-MPIC (Bloc Parallèle DF-MPIC) permet de relaxer la contrainte du retour de décision pour l'appliquer par bloc. La figure 3.29 représente un exemple d'une des possibilités offertes pour appliquer le BP-DF-MPIC. En effet, dans cet exemple, un bloc parallèle est constitué de deux usagers. Ainsi, les usagers 1 et 2 peuvent être traités en parallèle. Leur résultat sera utilisé par les usagers 3 et 4 afin d'annuler les interférences. Le DF-MPIC peut être considéré comme un BP-DF-MPIC où un bloc correspond à un seul usager. Plus de détails sur cette technique sont disponibles dans [33].

Notons que les entrées/sorties restent les mêmes pour les trois structures (MPIC-TR, DF-MPIC-TR et BP-DF-MPIC-TR). La structure interne du BP-DF-MPIC est représentée par la figure 3.30. Notons que seules l'unité de traitement BP-DF-ETAGE_i et l'interface d'alignement sont modifiées. L'interface de sortie quant à elle reste inchangée.

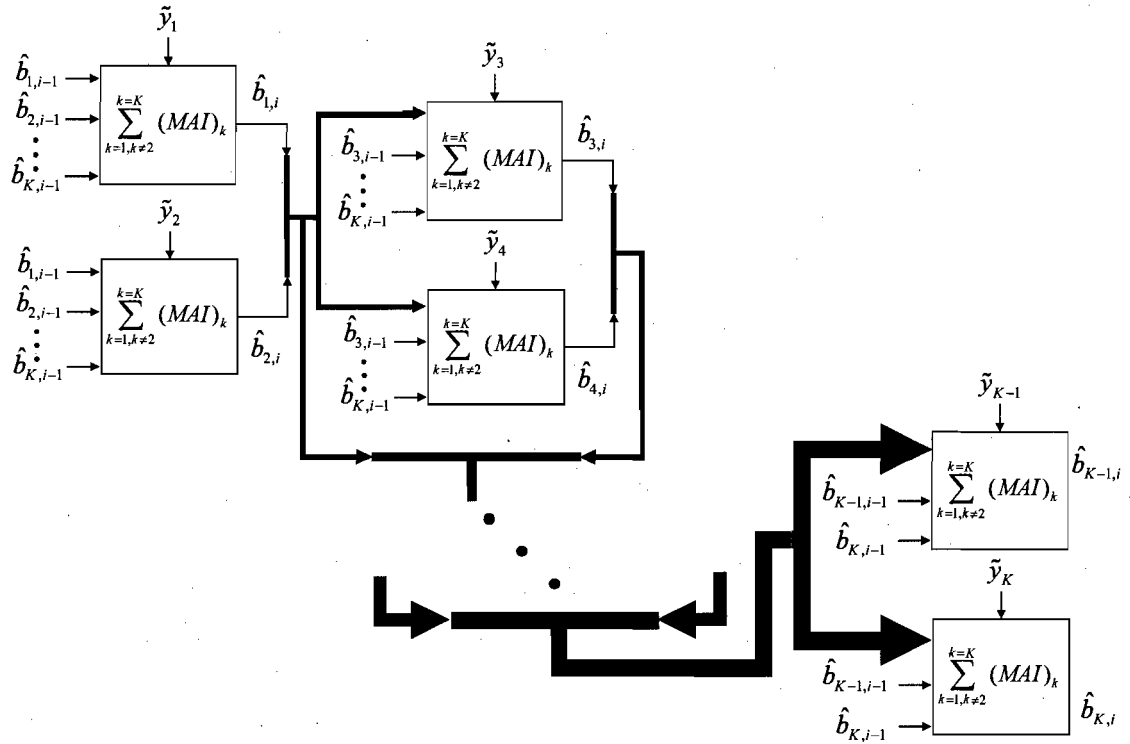


Figure 3.29 Architecture de l'étage i du BP-DF-MPIC-TR

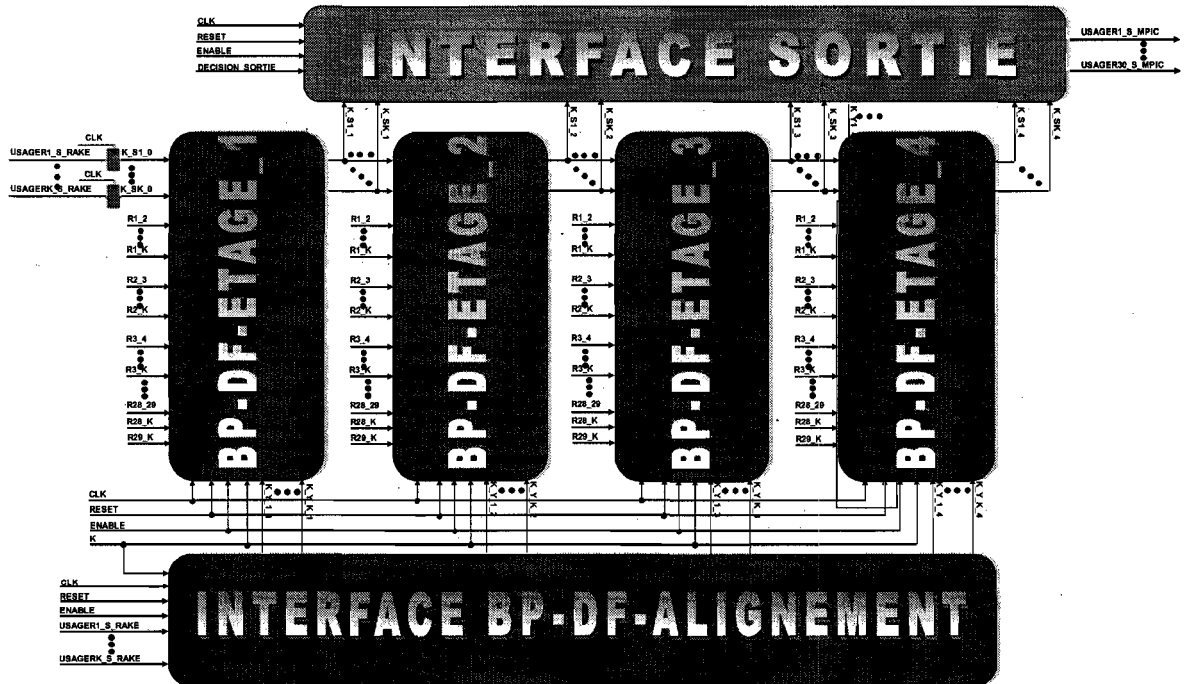


Figure 3.30 Architecture interne du BP-DF-MPIC-TR

3.4.1 Interface BP-DF-ALIGNEMENT

L'interface BP-DF-ALIGNEMENT permet d'aligner les signaux récupérés de la banque Rake avec les signaux d'interférences pour permettre la soustraction. La figure 3.22 représente cette structure en question. Les multiplexeurs permettent de sélectionner le nombre de registres nécessaire sachant qu'on ne connaît pas en avance le nombre d'utilisateurs présents dans une cellule.

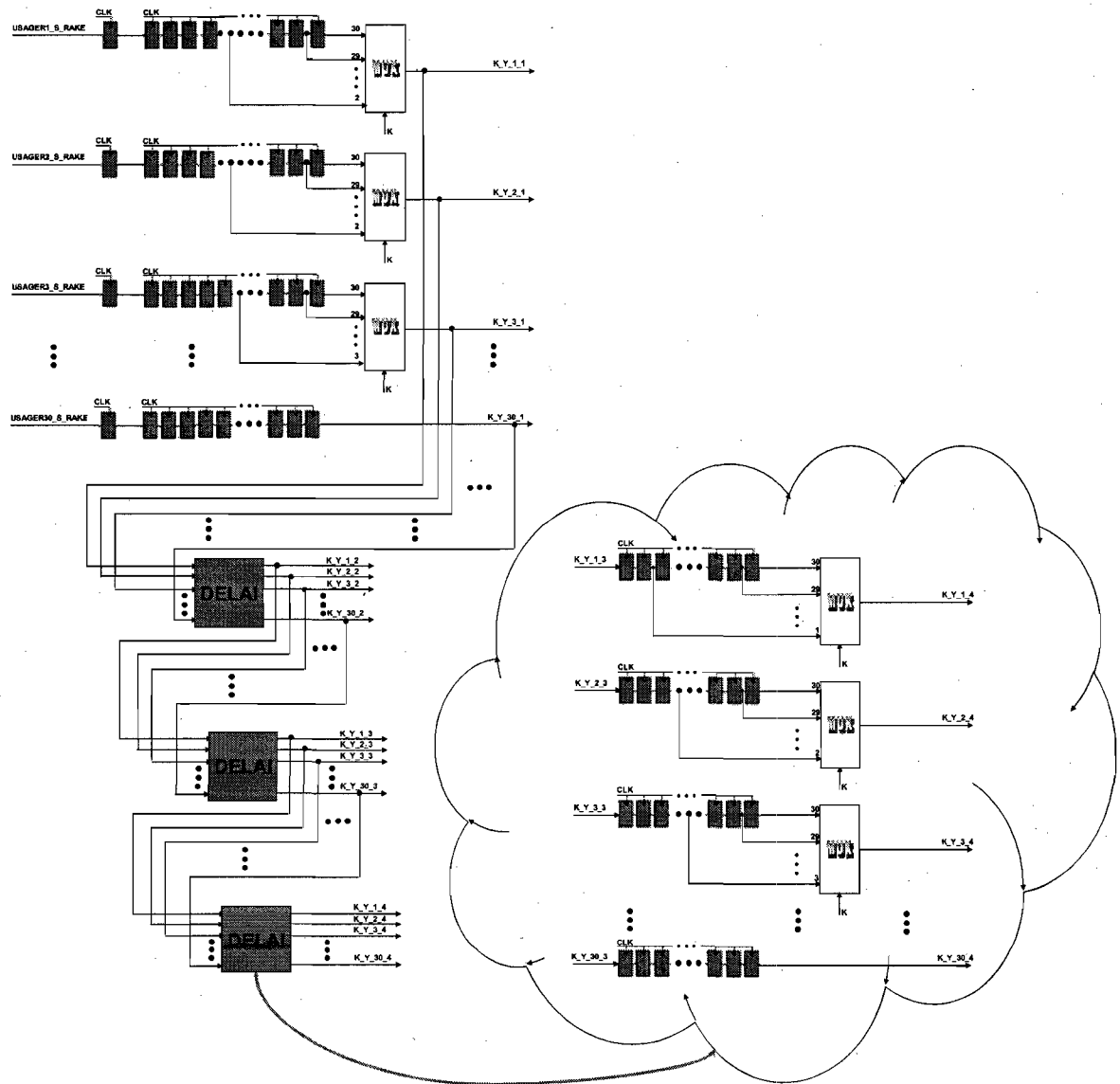


Figure 3.31 Architecture interne d'interface BP-DF-ALIGNEMENT

3.4.2 Unité de traitement BP-DF-ETAGE_i

La nouvelle unité de traitement BP-DF-ETAGE_i est un mécanisme qui permet premièrement de réduire les délais de traitement par l'application de parallélisme entre les usagers. L'architecture développée dans cette section traite deux usagers par bloc. Les figures 3.32 à 3.36 schématisent cette unité et ses constituantes. L'unité de traitement est composée de plusieurs sous bloc appelés MAI_k (k variant de 1 à 30 et i variant de 1 à 4). Pour réduire encore le nombre des registres nécessaires, chaque deux sous bloc parallèles MAI_K ont été développés séparément. C'est-à-dire, par exemple, MAI₁ et MAI₂ sont différent de MAI₂₉ et MAI₃₀ au niveau du nombre des registres et du nombre de composantes. Ceci permet de gagner au niveau surface et vitesse de traitement. Les figures 3.34 à 3.36 permettent de constater les différences entre les blocs MAI en fonction de l'usager à traiter.

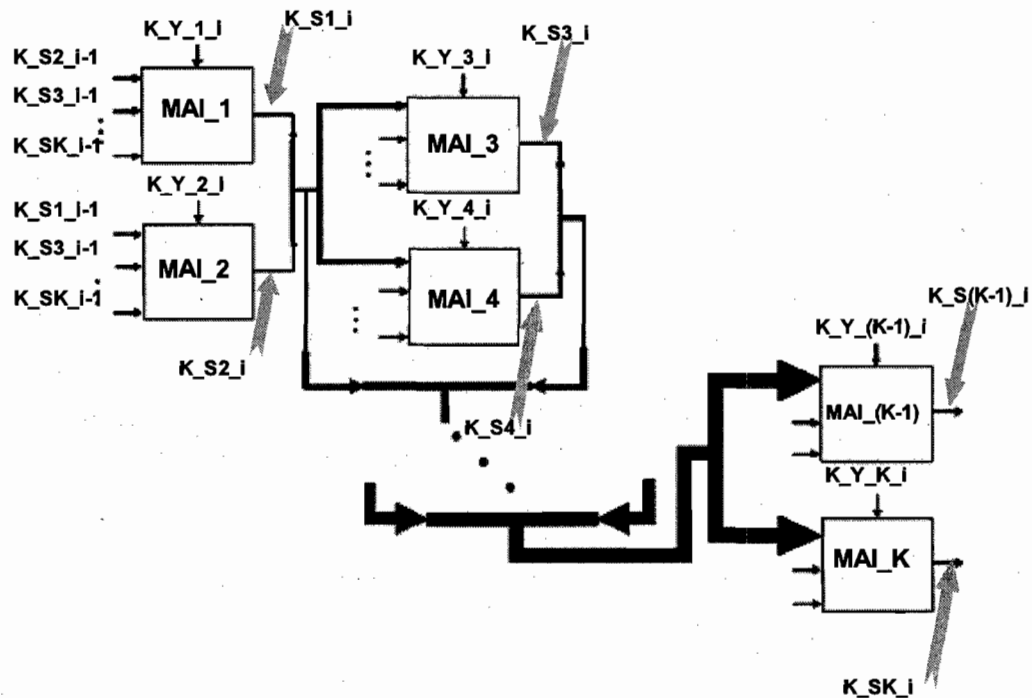


Figure 3.32 Entrées/sorties du BP-DF-ETAGE_i

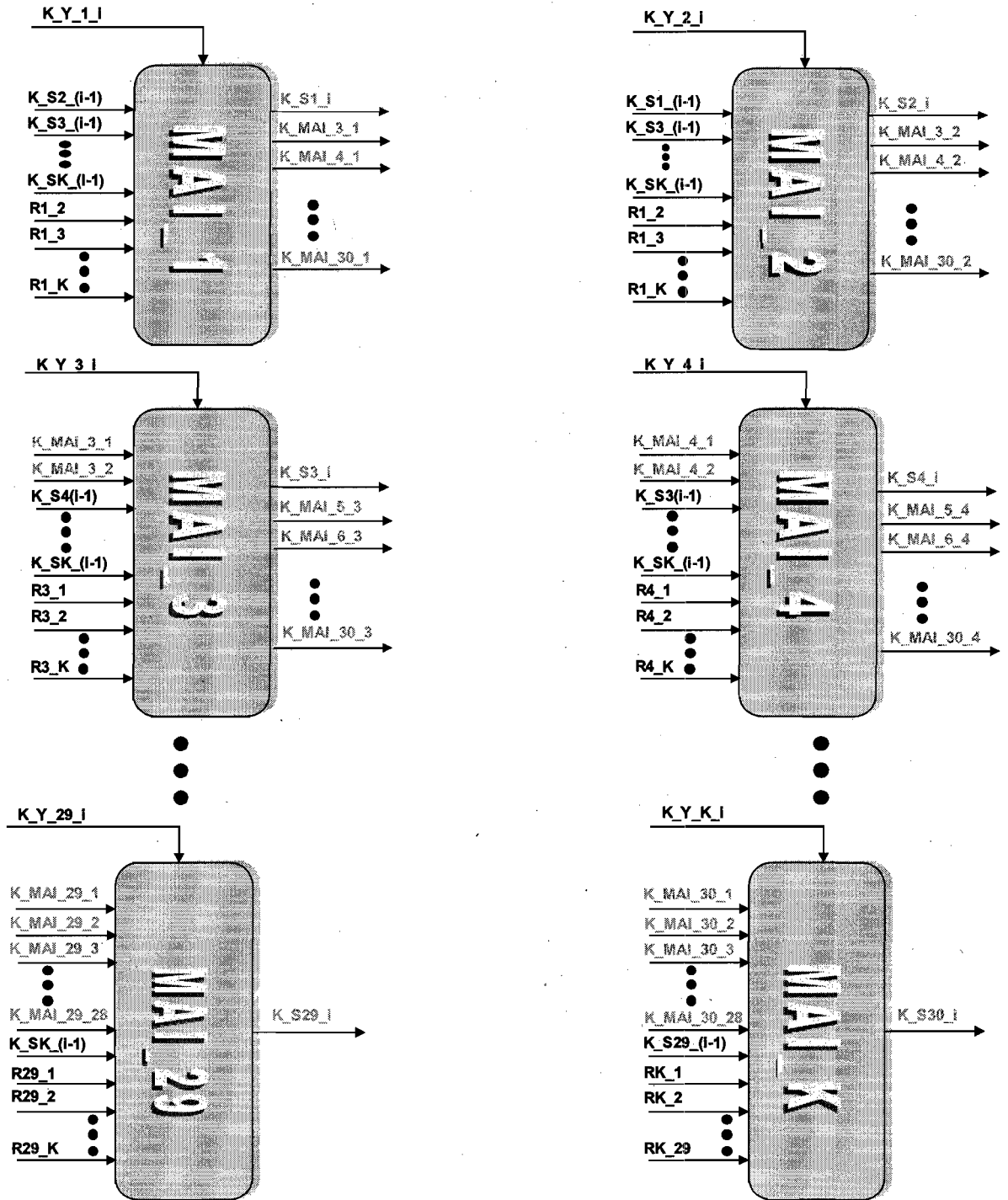


Figure 3.33 Entrées / Sorties des sous bloc MAI

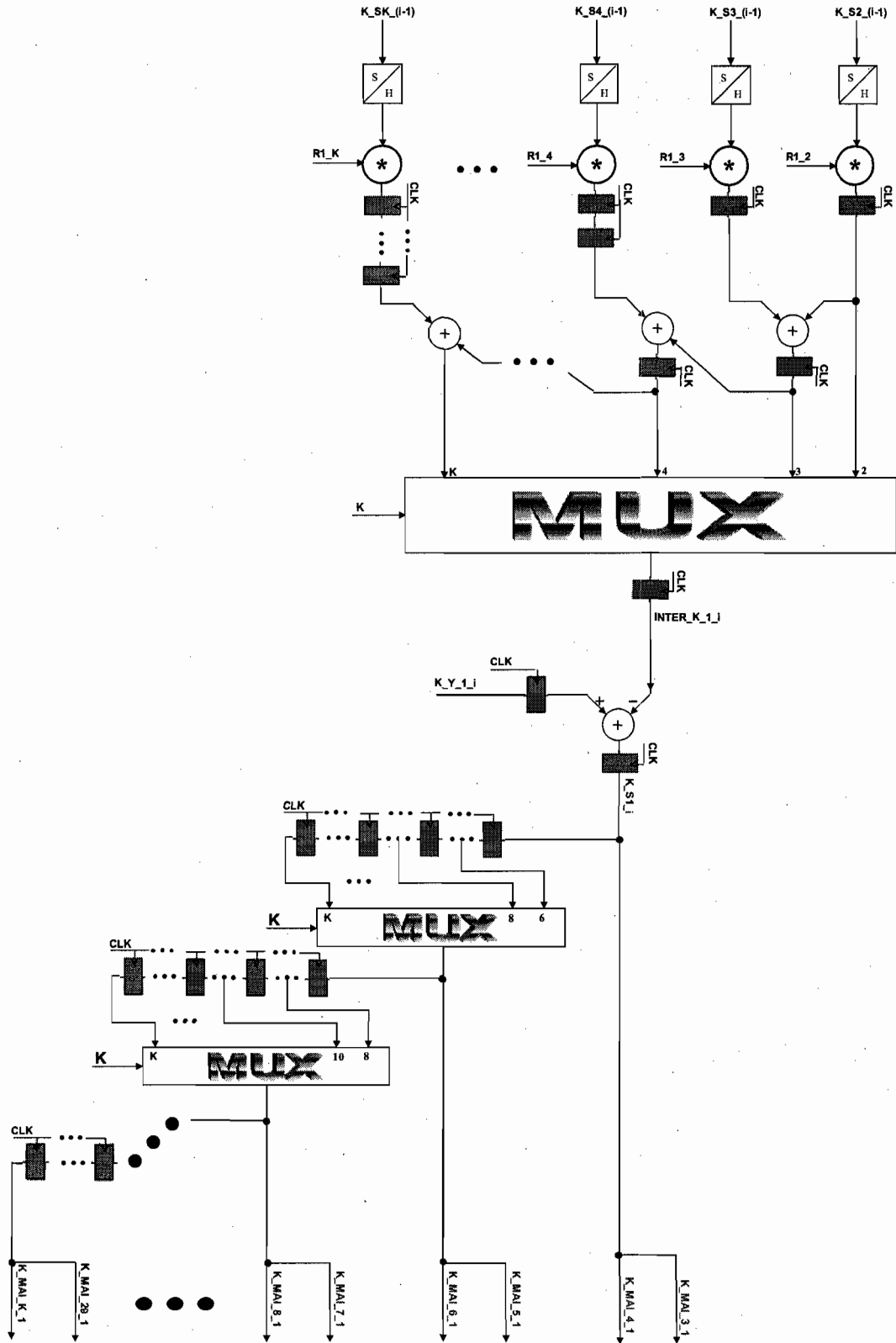


Figure 3.34 Architecture interne du MAI_1

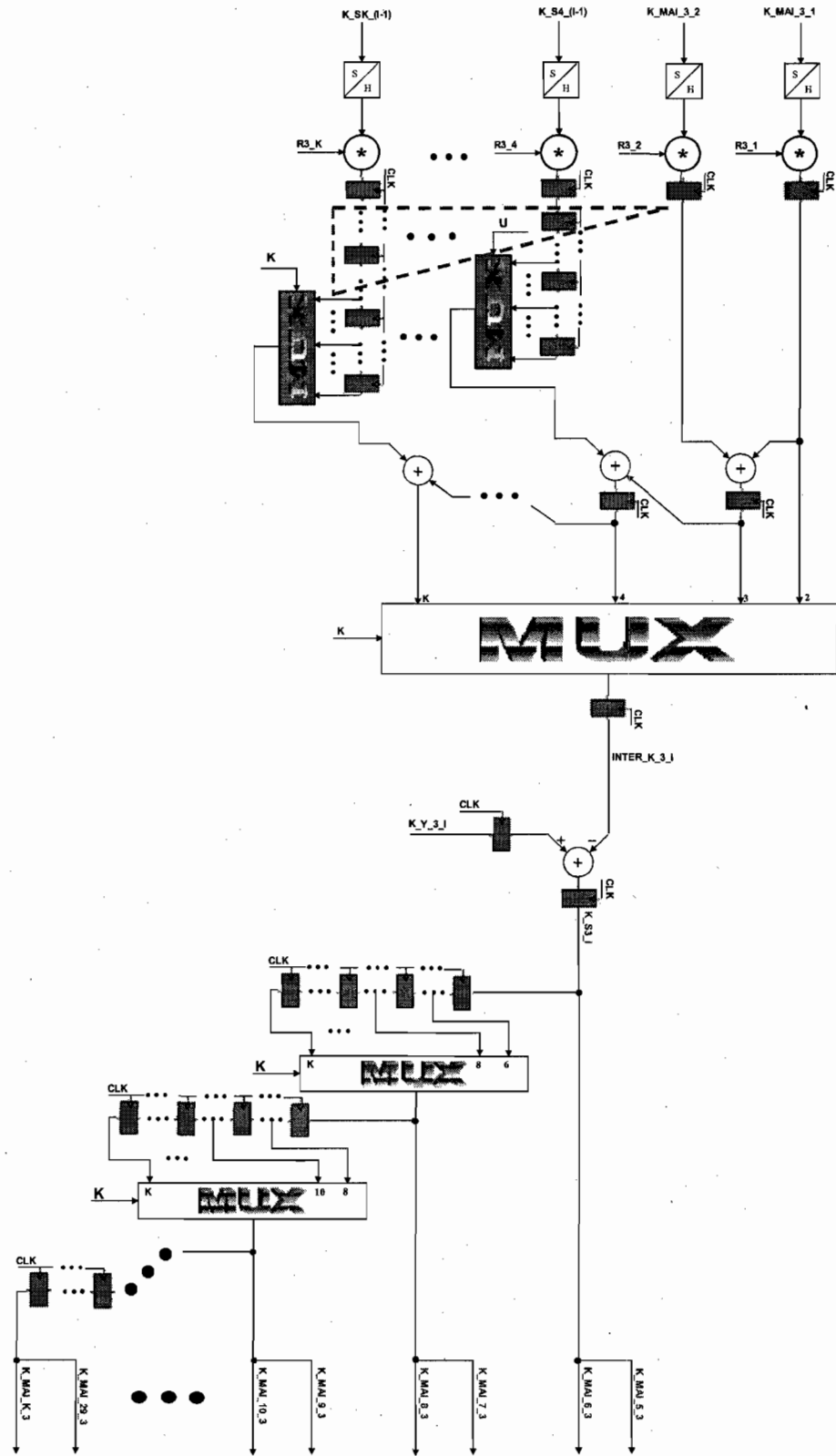


Figure 3.35 Architecture interne du MAI_3

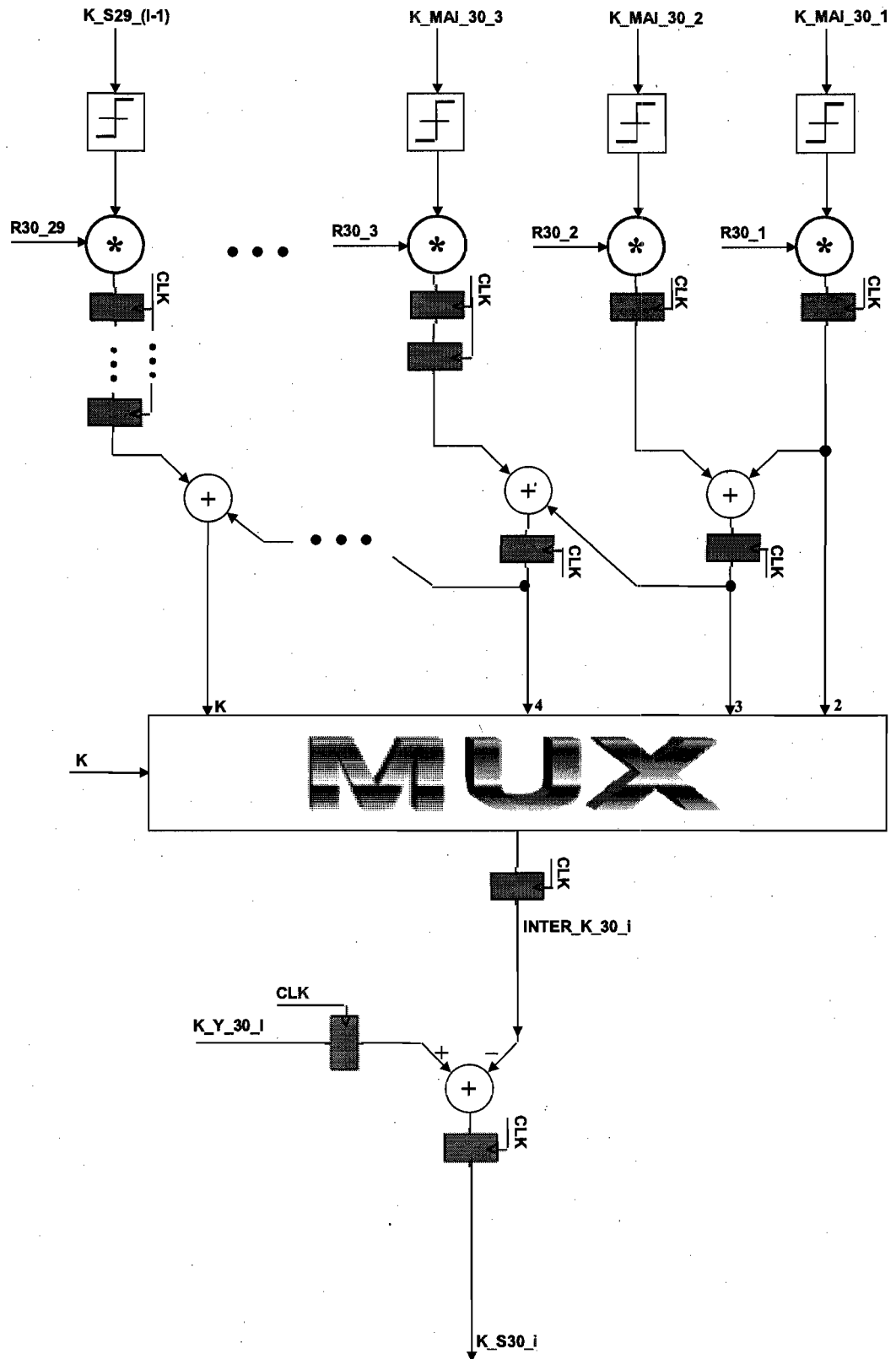


Figure 3.36 Architecture interne du MAI₃₀

Dans la figure 3.25, les registres entourés par un triangle hachuré montrent que les registres augmentent linéairement en fonction du nombre des usagers. Cela est dû aux additions successives. L'utilisation des multiplexeurs dans cette architecture est due au fait qu'on ne sache pas en avance le nombre d'utilisateurs à considérer avant le traitement. Par contre, on a rajouté un signal de contrôle qui permet d'activer le bloc de registres de délai au besoin en fonction du nombre d'usagers total. Ainsi, l'architecture est applicable à 30 usagers, mais la consommation dépend du nombre d'usagers actifs dans le réseau.

3.5 Conclusion

Dans ce chapitre, nous avons présenté plusieurs architectures ITGE des détecteurs Rake et MPIC. Pour ce dernier, nous sommes arrivés avec des schémas parallèles et pipeline pour les variantes avec et sans retour de décision; avec décision douce et décision dure. Nous avons également proposé un nouvel algorithme permettant une mise en parallèle du DF-MPIC. Dans le chapitre 4, nous présentons les différents résultats de simulation et de synthèse afin de définir les performances algorithmiques et de mise en œuvre en technologie ITGE des différentes architectures proposées.

Chapitre 4 - Résultats de simulations

Le chapitre 2 nous a permis de poser un modèle simplifié d'une communication DS-CDMA et de définir le détecteur conventionnel Rake et le détecteur MPIC sous ses différentes variantes (avec et sans rétroaction; décision douce ou dure). Dans le chapitre 3, un ensemble d'architecture ITGE a été proposé pour une mise en œuvre ITGE de ces détecteurs. Le chapitre 3 nous a aussi permis de proposer une variante au DF-MPIC que nous avons nommé bloc parallèle du DF-MPIC et qui permet de combiner les avantages du MPIC et du DF-MPIC tout en réduisant leurs inconvénients. Dans un premier temps, dans la section 4.1, nous établirons les performances algorithmiques des détecteurs étudiés dans une plateforme de simulation sous Matlab de Mathworks. Par la suite, la section 4.2 présentera les résultats de synthèse de l'Architecture temps réel du Rake proposé dans le chapitre 3. Dans la section 4.3, nous présenterons les résultats de synthèse de l'algorithme de calcul de la matrice de corrélation indispensable aux détecteurs MPIC. La section 4.4 sera consacrée aux résultats de synthèse des différentes architectures MPIC proposées dans le chapitre 3 incluant la technique proposée dans ce mémoire. Nous finirons par une conclusion à la section 4.5.

4.1 Performances algorithmes des détecteurs

Toutes les courbes que nous allons présenter dans cette section pour établir les performances des détecteurs DS-CDMA mettent en évidence le taux d'erreur sur les bits transmis (BER) en fonction du rapport signal sur bruit (SNR). Contrairement aux

techniques TDMA, les performances des systèmes DS-CDMA sont directement liées au nombre d'utilisateurs présents dans une même cellule. La représentation graphique met en évidence le rapport signal sur bruit (SNR) exprimé en dB en fonction du nombre d'utilisateurs (K) et ceci pour un BER cible. La réalisation d'un tel graphique implique forcément que plusieurs courbes de BER en fonction du SNR pour plusieurs usagers soient simulées.

Dans cette section, les simulations sont conduites en connaissance parfaite des délais et des coefficients du canal de communication. Ce dernier est modélisé par un canal stationnaire à 6 chemins de propagation et dans un milieu DS-CDMA asynchrone dont le délai maximum est fixé à $N_c - 1$ ou N_c représente la longueur du code d'étalement. Les codes pseudo aléatoires retenus sont les codes de Gold à valeurs réelles avec $N_c = 31$ (couramment utilisés dans la littérature pour l'étude des MUD). Dans cette étude, nous avons considéré les détecteurs suivants :

Rake	: Détecteur conventionnel Rake
HD-MPIC	: MPIC utilisant une décision dure
SD-MPIC	: MPIC utilisant une décision douce
DF-HD-MPIC	: MPIC à retour de décision utilisant une décision dure
DF-SD-MPIC	: MPIC à retour de décision utilisant une décision douce
BP2-DF-HD-MPIC	: Détecteur proposé bloc parallèle DF_HD-MPIC avec des blocs de 2 utilisateurs en parallèle.
BP4-DF-HD-MPIC	: Détecteur proposé bloc parallèle DF_HD-MPIC avec des blocs de 4 utilisateurs en parallèle.
BP2-DF-SD-MPIC	: Détecteur proposé bloc parallèle DF_SD-MPIC avec des blocs de 2 utilisateurs en parallèle.
BP4-DF-SD-MPIC	: Détecteur proposé bloc parallèle DF_SD-MPIC avec des blocs de 4 utilisateurs en parallèle.

Toutes les simulations sont effectuées pour un nombre d'étages égal à 4 excluant l'étage Rake. La mention DF (*Decision Feedback*) permet au détecteur de profiter de la donnée qui vient d'être détectée pour l'utiliser lors de la soustraction des interférences pour

la donnée prochaine sans avoir à attendre au prochain étage. En ce qui concerne la mention *Hard* ou *Soft*, elle indique le choix de la fonction de décision entre la fonction signe et la fonction linéaire saturée.

La figure 4.1 montre un premier résultat obtenu en considérant les détecteurs MPIC avec décision dure avec un BER cible de 5% (considéré suffisant pour des données de trafic). Supposant que la qualité de service désirée est à $SNR=12dB$, le détecteur Rake ne peut pas détecter plus de 10 usagers alors que le HD-MPIC peut détecter jusqu'à 18 usagers et le DF-HD-MPIC peut détecter 29 usagers. D'un autre côté, la variante du DF-HD-MPIC proposée dans ce mémoire (BP-DF-HD-MPIC) offre différentes performances en fonction du nombre d'utilisateurs par bloc. Pour un coefficient de parallélisme de 2, nous pouvons détecter environ 26 usagers qui représentent une perte de seulement 3 usagers (soit 10%) pour un gain d'un facteur de 2 pour le parallélisme. Dans le cas de quatre utilisateurs par bloc, on observe une perte dans la capacité d'environ 27% pour un facteur de parallélisme de 4. Ainsi, différents rapports performance/parallélisme peuvent être obtenus en fonction du nombre d'usagers par bloc considéré dans la méthode proposée.

Dans un deuxième scénario, on désire explorer l'effet de l'algorithme proposé dans un MPIC à retour de décision plus performant en considérant les décisions douces. Les résultats de simulation sont montrés dans la figure 4.2. On constate que les performances des détecteurs à décision douce dans la figure 4.2 sont meilleures que celles à décision dure de la figure 4.1 à l'exception du Rake (dont l'algorithme n'est pas affecté par l'emploi des décisions douces).

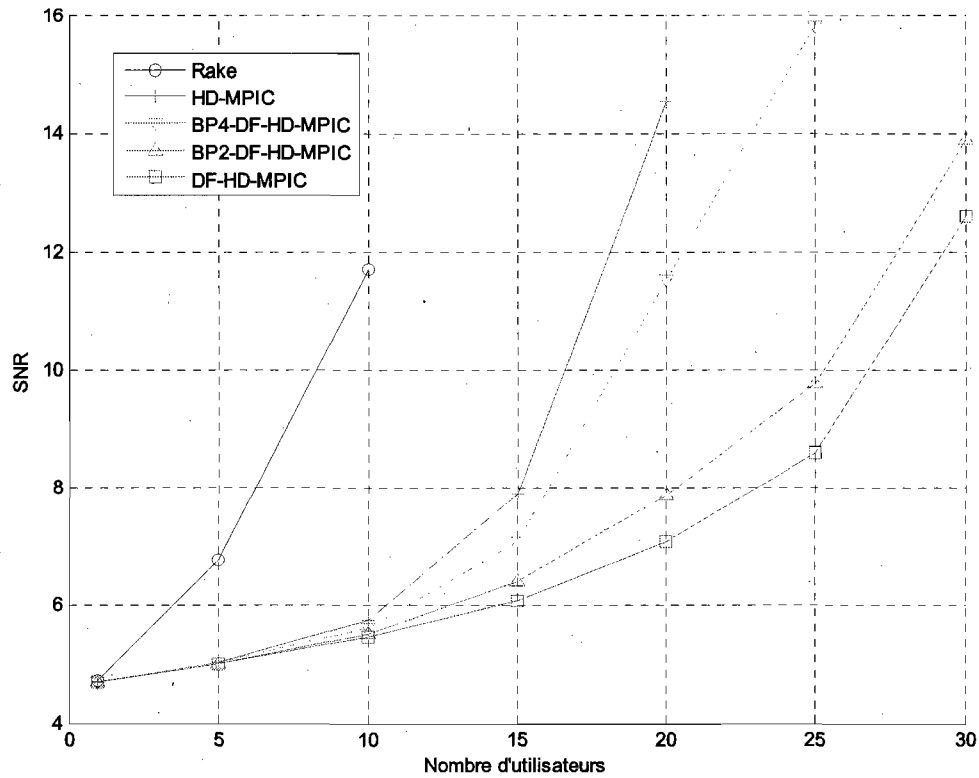


Figure 4.1 Performance des détecteurs lorsque la décision dure est utilisée dans un environnement DS-CDMA asynchrone avec un BER=5%

Ce gain en performance est dû à la pondération supplémentaire qu'offre la technique pour donner un degré de confiance à la quantité d'interférence MAI à supprimer. En effet, toute annulation erronée de l'information augmente le niveau d'interférence au lieu de l'éliminer.

Les observations faites pour la figure 4.1 sont valables aussi pour la figure 4.2. De plus, nous constatons que la méthode proposée est plus robuste à l'effet du retour de décision lorsque la décision douce est employée. En effet, on observe des pertes maximales de 3% et de 20% lorsque 2 et 4 utilisateurs par bloc sont utilisés respectivement.

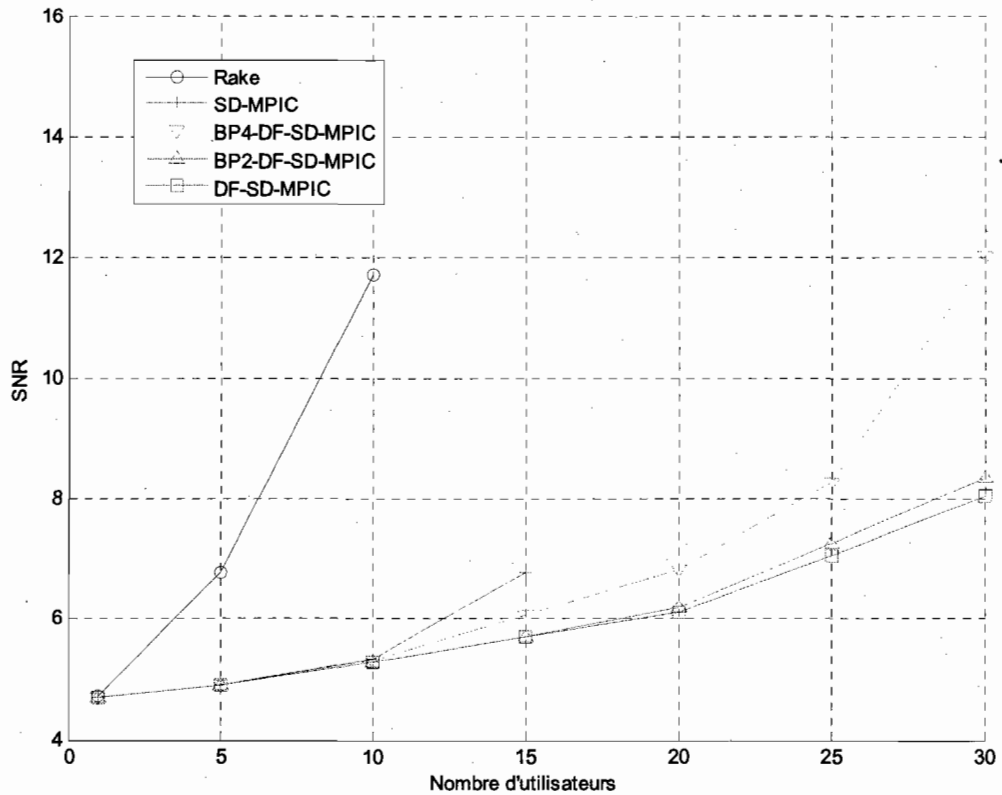


Figure 4.2 Performance des détecteurs lorsque la décision douce est utilisée dans un environnement DS-CDMA asynchrone avec un BER=5%

Ainsi, le rapport performance/parallélisme est encore plus élevé. Cependant, tel que nous le présenterons dans la section 4.3, la mise en œuvre en technologie ITGE est plus exigeante pour les détecteurs à décision douce en comparaison avec les détecteurs à décision dure.

À partir de ce point, l'ensemble des résultats que nous présenterons est lié à la mise en œuvre des différentes architectures proposées dans le chapitre 3. Il est important de rappeler que ces architectures ont été proposées, aux fins de clarté et de simplicité, dans un environnement DS-CDMA synchrone muni de codes d'utilisateurs à valeurs complexes dont la longueur $N_c = 16$. Le choix de ces codes est justifié par leur emploi dans la norme

de la 3G établie par l'organisme de standardisation 3GPP. Nous considérons également que chaque utilisateur transmet ses données dans un canal à un seul chemin.

4.2 Synthèse du détecteur Rake

Nous avons présenté deux architectures Rake dans le chapitre 3 soit l'architecture Rake-TR et Rake-TR-OP. Sachant que la dernière est une version optimisée de la première, nous l'avons retenue pour présenter ses performances dans une mise en œuvre ITGE.

Pour s'assurer du bon fonctionnement de la mise en œuvre, premièrement, une simulation matlab est réalisée afin de vérifier le bon fonctionnement du détecteur Rake. Par la suite, une étude de quantification a été réalisée, en utilisant le toolbox point fixe de Matlab, afin de choisir le nombre de bits nécessaire à la mise en œuvre. Dans notre cas, une mise en œuvre 16 bits a été retenue. Il est important de rappeler que le choix d'une architecture à point fixe a été privilégié du fait que le point flottant demande plus de matériel au niveau silicium. Par la suite, une modélisation VHDL a été faite et simulée, en utilisant le logiciel ModelSim de Mentor Graphics, pour s'assurer de produire les mêmes simulations que le modèle écrit sous MATLAB.

Une façon pratique pour comparer les résultats de mise en œuvre est de produire une synthèse afin d'évaluer le taux d'occupation dans un processeur de type FPGA. Nous avons retenu la composante : 2VP100ff1704 de xilinx. Les principales caractéristiques de cette composante sont résumées dans le tableau 4.1.

Tableau 4-1 Caractéristiques de la composante 2VP100ff1704 de xilinx

Ressources	Disponibles
Entrées/Sorties	1040
Temporisateurs globaux (Global Buffers)	16
Générateurs de fonctions	88192
CLB Slices	44096
Dffs ou Latches	91312
Blocs RAMs	444
Blocs Multiplieurs	444

Nous avons effectué la synthèse de l'architecture écrite en VHDL du Rake-TR-OP pour 5 et 10 d'utilisateurs. Les résultats sont regroupés dans le tableau 4.2. La lecture du tableau confirme d'une part la simplicité du détecteur Rake (faible taux d'occupation) et l'augmentation quasi linéaire de la complexité du Rake en fonction du nombre d'utilisateurs.

Tableau 4-2 Ressources nécessaires pour la mise en œuvre du Rake-TR-OP dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 utilisateurs

Ressources	5 utilisateurs		10 utilisateurs	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	2740	3.11	5400	6.12
CLB Slices	1370	3.11	2700	6.12
Dffs ou Latches	1558	1.71	2988	3.27
Blocs Multiplieurs	10	2.25	20	4.50

Il est à noter que nous ne tenons pas compte du nombre d'entrées/sorties dans les résultats de synthèse puisqu'en pratique le Rake ne constitue qu'une composante du détecteur. Ainsi les entrées/sorties définies dans le modèle VHDL ne correspondent pas aux entrées/sorties réellement disponibles dans un FPGA. De plus, dans les différents tableaux de résultats, nous ne retrouverons pas la ligne portant sur les blocs RAMs puisque le pourcentage d'utilisation est partout nul.

4.3 Synthèse du calcul de la matrice de corrélation

Avant d'analyser le MPIC, il est impératif d'analyser la mise en œuvre des éléments de base qui le composent. Ainsi, après le Rake, dans cette section, nous analysons la mise en œuvre du bloc qui se charge de calculer la matrice de corrélation telle que décrite dans le chapitre 3. Comme indiqué dans ce chapitre, le calcul de cette matrice permet d'identifier la portion d'interférence associée à chaque utilisateur. En adoptant les mêmes étapes de validation que dans la mise en œuvre du Rake, le tableau 4.3 résume les performances. Nous constatons que contrairement au Rake, la complexité de ce bloc croît exponentiellement avec la croissance du nombre d'utilisateurs.

4.4 Synthèse du MPIC

Dans cette section, nous analyserons les mises en œuvre des architectures du chapitre 3 en ce qui a trait aux techniques MPIC. Nous diviserons cette section en trois sous-sections. La première traitera le MPIC sans rétroaction (HD-MPIC et SD-MPIC); la deuxième analysera le MPIC avec rétroaction (DF-HD-MPIC et DF-SD-MPIC) alors que la dernière servira pour l'analyse de la technique proposée soit le bloc parallèle MPIC avec retour de décision (BP-DF-HD-MPIC et BP-DF-SD-MPIC).

Tableau 4-3 Ressources nécessaires pour la mise en œuvre du calcul de la matrice de corrélation dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers

Ressources	5 usagers		10 usagers	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	3596	4.08	16126	18.29
CLB Slices	1798	4.08	8063	18.29
Dffs ou Latches	1941	2.13	7931	8.69
Blocs Multiplieurs	60	13.51	270	60.81

4.4.1 Synthèse du MPIC sans rétroaction

Les tableaux 4.3 et 4.4 présentent les résultats de mise en œuvre du HD-MPIC et du SD-MPIC respectivement. Comme attendu, nous constatons que l'utilisation de la décision douce nécessite beaucoup plus de matérielles en comparaison avec la décision dure. Ainsi, on améliore les performances au détriment d'une plus grande complexité. Une autre chose aussi que nous avons constaté est le pourcentage qu'occupe le calcul de la matrice de corrélation. D'après les résultats de la section 4.3 et les deux derniers tableaux, on constate que ce calcul représente environ 40% et 30% de l'espace qu'occupe le HD-MPIC et le SD-MPIC respectivement.

Tableau 4-4 Ressources nécessaires pour la mise en œuvre du HD-MPIC dans le FPGA
2VP100ff1704 de xilinx pour 5 et 10 usagers

Ressources	5 usagers		10 usagers	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	11283	12.79	39636	44.94
CLB Slices	5642	12.79	19818	44.94
Dffs ou Latches	5711	6.25	30379	33.27
Blocs Multiplieurs	70	15.77	290	65.32

Tableau 4-5 Ressources nécessaires pour la mise en œuvre du SD-MPIC dans le FPGA
2VP100ff1704 de xilinx pour 5 et 10 usagers

Ressources	5 usagers		10 usagers	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	10079	11.43	33027	37.45
CLB Slices	5040	11.43	22228	50.41
Dffs ou Latches	5739	11.43	44455	48.68
Blocs Multiplieurs	150	33.78	650	146.4

4.4.2 Synthèse du MPIC avec rétroaction

Les tableaux 4.5 et 4.6 présentent les résultats de mise en œuvre du DF-HD-MPIC et du DF-SD-MPIC respectivement. En plus des remarques constatées dans la sous-section dernière, nous observons que l'ajout de la rétroaction induit une augmentation de la surface occupée de presque 100% lorsque la décision dure est employée et de proche de 300% lorsque la décision douce est employée. De son côté, comme attendu, le nombre de multiplieurs reste identique. Ainsi, l'amélioration de performance que permet le retour de décision demeure très coûteuse lors de la mise en œuvre. Ceci a motivé notre proposition, soit le BP-DF-MPIC que nous analyserons dans la sous-section suivante.

Tableau 4-6 Ressources nécessaires pour la mise en œuvre du DF-HD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers

Ressources	5 usagers		10 usagers	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	12775	14.49	39783	45.11
CLB Slices	11835	26.84	33384	75.71
Dffs ou Latches	23669	25.92	66767	73.12
Blocs Multiplieurs	70	15.77	290	65.32

Tableau 4-7 Ressources nécessaires pour la mise en œuvre du DF-SD-MPIC dans le FPGA
2VP100ff1704 de xilinx pour 5 et 10 usagers

Ressources	5 usagers		10 usagers	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	11827	13.41	33027	37.45
CLB Slices	13470	30.55	63800	144.68
Dffs ou Latches	26939	29.50	127599	139.74
Blocs Multiplieurs	150	33.78	650	146.40

4.4.3 Synthèse du bloc parallèle MPIC avec rétroaction

Les tableaux 4.5 et 4.6 présentent les résultats de mise en œuvre du BP-DF-MPIC en considérant le cas à 10 usagers et deux usagers par bloc. Notons que dans les deux cas, décision dure et décision douce, notre proposition permet de réduire le pourcentage de matériel utilisé. Ceci est d'autant plus vrai que le fait d'utiliser deux utilisateurs par bloc permet de réduire de 30% la quantité de matérielle utilisée dans le cas où la décision douce (qui est la plus performante) est utilisée. Il est à noter que ce pourcentage pourrait être amélioré en considérant un nombre d'utilisateurs par bloc plus élevé. Nous arrivons ainsi avec une solution prometteuse qui permet plusieurs configurations possibles et ainsi plusieurs rapports performance/complexité de mise en œuvre.

Tableau 4-8 Ressources nécessaires pour la mise en œuvre du DF-SD-MPIC dans le FPGA 2VP100ff1704 de xilinx pour 5 et 10 usagers

Ressources	BP-DF-HD-MPIC		BP-DF-SD-MPIC	
	Utilisées	% occupation	Utilisées	% occupation
Temporisateurs globaux (Global Buffers)	1	6.25	1	6.25
Générateurs de fonctions	39914	45.26	33147	37.59
CLB Slices	30076	68.21	41884	94.98
Dffs ou Latches	60151	65.87	83767	91.74
Blocs Multiplieurs	290	65.32	650	146.40

4.5 Conclusion

Une étude comparative des détecteurs DS-CDMA de type MPIC les systèmes cellulaires a été conduite en utilisant deux approches complémentaires. La première basée sur les performances algorithmiques a permis de confirmer la supériorité des détecteurs à décision douce sur celles à décision dure et la robustesse des techniques à retour de décision par rapport à celles sans retour de décision. Par contre, la mise en œuvre de l'ensemble de ces techniques a permis de constater l'augmentation importante des ressources matérielle; spécialement dans le cas des détecteurs à décision douce. Cependant, grâce au nouvel algorithme proposé dans ce mémoire, soit le bloc parallèle DF-MPIC, il a été démontré qu'un compromis performance/complexité est possible en bénéficiant de la robustesse algorithmique du retour de décision et de l'efficacité de mise en œuvre lorsque le parallélisme est possible.

Chapitre 5 - Conclusion générale

L'objectif de ce travail de recherche consistait à proposer des architectures parallèles pour la mise en œuvre ITGE du détecteur à annulation des interférences en parallèle à étages multiple (MPIC). Cet objectif a été atteint permettant de réaliser une première contribution avec ce mémoire. De plus, une deuxième contribution fut possible grâce à la proposition d'un nouvel algorithme, le BP-DF-MPIC, offrant un meilleur compromis performance/complexité de mise en œuvre. Les résultats de simulation ont démontré un gain très apprécié de la technique en réduisant l'espace occupé dans un FPGA de 30% avec une perte minime dans les performances algorithmiques.

Comme perspectives de développements futurs, nous proposons ci-dessous quelques aspects du travail qui mériteraient un approfondissement ou des travaux complémentaires, dans un objectif de poursuite des travaux engagés dans le cadre de ce mémoire :

Généralisation des architectures MPIC proposées en considérant un système DS-CDMA asynchrone et des canaux de communication à trajets multiples ;

analyse des performances de mise en œuvre du BP-DF-MPIC avec différentes valeurs pour le nombre d'utilisateurs par bloc parallèle;

et finalement, adapter l'algorithme et les architectures proposées dans un environnement à plusieurs antennes à l'émission et plusieurs antennes à la réception MIMO.

Bibliographie

- [1] Fumiyuki Adachi, "Wireless Past and Future Evolving Mobile Communications Systems," IEICE TRANS. FUNDAMENTALS, VOL. E84-A, No.1, janvier 2001
- [2] L.C. Godara, M.J. Ryan, et N. Padovan, "Third generation mobile communications systems: overview and modelling considerations," Annals of Telecommunications, vol. 54, no. 1-2, 1999, pp. 114–136.
- [3] Peterson L. R., Ziemer R. E., and Borth D. E., Introduction to Spread Spectrum Communications, Prentice-Hall, 1995.
- [4] M. Brandt-Pearce et A. Dharap, "Transmitter-based multiuser interference rejection for the down-link of a wireless CDMA system in a multipath environment," IEEE Journal on Selected Areas in Communications, vol. 18, no. 3, Mars 2000, pp. 407–417.
- [5] S. Verdú, Multiuser detection. Cambridge University Press, 1998.
- [6] S. Rajagopal, S. Bhashyam, J. Cavallaro and B. Aazhang, "Real-time algorithms and architectures for multiuser channel estimation and detection in wireless base-station receivers," IEEE Transactions on Wireless Communications, Vol.1, No.3, July 2002, pp. 468-479.
- [7] G. Xu, S. Rajagopal, J. Cavallaro and B. Aazhang, "VLSI implementation of the multistage detector for next generation wideband CDMA receivers," Journal of VLSI Signal Processing, Vol.30, No.1-3, March 2002, pp. 21-33.
- [8] 3GPP – TS 25.xxx series.
- [9] P. Renucci and B. Woerner, "Analysis of soft cancellation to minimize BER in DS-CDMA interference cancellation," IEEE Inter. Conference on Telecommunications, vol. 4, June 1998, pp. 106-119.
- [10] A.O. Dahmane et M. Massicotte, "A New MMSE based Cascade Filter MUD for MAI and ISI Mitigation," submitted to Eurasip journal (European Association for Signal, Speech and Image Processing), 2005.
- [11] L. Mejri et A.O. Dahmane, "A VLSI Architecture of A DS-CDMA Decision Feedback Multistage Parallel Interference Cancellation Detector", IEEE Canadian Conference on Electrical and Computer Engineering (CCECE), 2005, pp. 1044-1047.

- [12] M. K. Simon, J. K. Omura, R. A. Scholtz, and B. K. Levitt, *Spread Spectrum Communications Handbook*, McGraw-Hill, New York, revised edition, 1994.
- [13] A. J. Viterbi, *CDMA: Principles of Spread Spectrum Communication*, Addison-Wesley, Reading, 1995.
- [14] R. Prasad, *CDMA for Wireless Personal Communications*, Artech House, Boston, MA, 1996.
- [15] R. C. Dixon, *Spread Spectrum Systems*, John Wiley, New York, third edition, 1995.
- [16] R.I. Pickholtz, D.I. Schilling, et L.B. Milstein. Theory of Spread-Spectrum Communications -A Tutorial. *IEEE Transactions on Communications*, 30(5) :855-884, May 1982.
- [17] J.G. Proakis. *Digital communications. Electrical Engineering Series. McGraw- Hill International Editions*, third edition, 1995.
- [18] J. Sanchez et M. Thioune. *UMTS: Services, Architecture et WCDMA*. Hermès-Lavoisier, 2001.
- [19] Boris D. Andreev, Edward L. Titlebaum, et Eby G. Friedman "Low Power Flexible Rake Receivers For WCDMA" *IEEE ISCAS conference*, Vol. 4, 2004, pp. IV 97-100.
- [20] R. Price et P. E. Green, Jr., "A communication technique for multipath channels," *Proc. IRE*, vol. 46, pp.555-570, Mars 1958.
- [21] H. Holma and A. Toskala; *WCDMA for UMTS Radio Access For Third Generation Mobile Communications*, John Wiley and Sons, Inc., 2001.
- [22] S. Moshavi, "Multi-user detection for DS-CDMA communications", *IEEE Communications Magazine*, vol. 34, no. 10, 1996, pp. 124-136.
- [23] A.O. Dahmane et D. Massicotte, "Nonlinear Multiuser Receiver for UMTS Communications", *Vehicular Technology Conference (VTC Fall 2002)*, 24-28 September, 2002, pp. 773-776.
- [24] L.K. Rasmussen, T.J. Lim et H. Sugimoto, "PIC," *IEEE International Conference on Universal Personal Communications*, Vol. 2, 1998, pp. 1319-1323.
- [25] Latva-aho M. and Juntti M. J., "LMMSE Detection for DS-CDMA Systems in Fading Channels", *IEEE Transactions on Communications*, Vol. 48, No. 2, 2000, pp 194-199.
- [26] L. R. Peterson, R. E. Ziemer, et D. E. Borth, *Introduction to Spread Spectrum Communications*. Prentice-Hall, 1995.
- [27] R. Prasad, et T. Ojanperä, "An Overview of CDMA Evolution Toward Wideband CDMA", *IEEE Communications Surveys*, vol. 1, no. 1, 1998, pp. 2-29.

-
- [28] Hyung-Jin Lee et Dong Sam Ha, "An area and power efficient RAKE receiver architecture for DSSS systems," IEEE International SOC Conference, Sept. 2003, pp. 103-106.
- [29] Seongjoo Lee, et Jaseok Kim, "VLSI architecture design of rake receivers for cdma2000 systems," IEEE Workshop on Signal Processing Systems, Oct. 2002, pp. 183-188.
- [30] L. Harju, M. Kuulusa, and J. Nurmi, "Flexible implementation of a WCDMA RAKE receiver," in Proc. IEEE Workshop on Signal Processing Systems (SIPS'02), Oct. 2002, pp. 177-182.
- [31] J. Ro, S. Lee, J. Kim, I. Eo, and K. Kim, "A novel architecture of rake receiver for fast acquisition," in Proc. 2nd IEEE Asia Pacific Conf. ASICs, Aug. 2000, pp. 251-254.
- [32] Enrico Macii. RT Algorithmic-level optimizations for low power. In wolfgang Nebel and Jean Mermet. Low power design in deep submicron electronics. Oldenburg: Kluwer, 1996,355-393.
- [33] A.O. Dahmane, et L. Mejri, "Block Decision Feedback Multistage PIC Scheme for DS-CDMA systems", IEEE International Conference on Wireless and Mobile Computing, Networking and Communications, juin 2006, pp. 386-390.