

UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À  
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

COMME EXIGENCE PARTIELLE  
DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE

PAR  
PATRICK HENRI EYOUM

CONCEPTION D'UN AMPLIFICATEUR DE FAIBLE BRUIT BASÉ SUR  
L'OPTIMISATION ET L'INTÉGRATION D'UNE MICRO-INDUCTANCE

MAI 2008

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

## Résumé

L'intégration des composants passifs constitue, un verrou technologique pour la réalisation des circuits intégrés monolithiques et l'atteinte des performances élevées. Aujourd'hui, malgré l'évolution et la maturité des technologies CMOS, les inductances micro machinées souffrent toujours, de leur facteur de qualité relativement faible. Ce mémoire en vue d'une intégration globale des dispositifs de communications sans fil présente une structure monolithique d'amplification à faible bruit (LNA – *Low Noise Amplifier*), pour les téléphones mobiles de troisième et quatrième génération (3G et 4G), réalisées en technologie CMOS 0,18  $\mu\text{m}$ . Les LNA à source commune et à inductance dégénérée, ayant fait leur preuve dans le domaine des bandes étroites, constitue le meilleur choix pour la conception du LNA, auquel on intègre en entrée un filtre de Tchebychev pour la réalisation d'une amplification large bande. Toutefois, au préalable, on réalise à partir de la méthode de Greenhouse l'optimisation des performances électriques et géométriques des inductances micro machinées. Des résultats de simulations, sur l'optimisation des inductances, la conception d'un LNA, et l'implémentation de l'ensemble sous forme d'un circuit monolithique en technologie CMOS 0,18  $\mu\text{m}$  sont présentés.

## Remerciements

Ce travail a été réalisé au sein du Laboratoire de Signaux et de Systèmes Intégrés (LSSI), de l'Université du Québec à Trois-Rivières (UQTR). Avec la contribution de l'organisme CMC Microsystèmes qui a gracieusement mis à notre disposition les outils logiciels et matériels nécessaire à la réalisation de ce projet.

Je tiens à remercier en premier lieu et tout particulièrement mon Directeur de Mémoire, Monsieur Daniel MASSICOTTE, Professeur à l'UQTR, Directeur du Laboratoire de Signaux et de Systèmes Intégrés (LSSI) et Directeur de la société Axiocom de la confiance qu'il m'a témoigné et accepté de diriger ce travail au sein du LSSI. Ma profonde reconnaissance va à l'endroit de Monsieur Christian B. Fayomi Professeur à l'Université du Québec à Montréal (UQAM) pour ses compétences dont il a su me faire bénéficier. Je remercie également Monsieur Kodjo AGBOSSOU, Professeur à l'UQTR et œuvrant aussi à l'Institut de Recherche sur l'Hydrogène (IRH), pour ses multiples encouragements.

Mes profonds remerciements vont à l'endroit de Monsieur Ahmed OUAMEUR, pour la multitude de ses conseils, sa disponibilité et de son enthousiasme qu'il a su me faire partager. Aussi à tous mes autres collègues du LSSI, j'adresse de profonds remerciements pour tous les échanges constructifs qu'on a eu avoir ainsi que du soutien moral qu'ils m'ont témoigné.

Je remercie tout le personnel de l'Université du Québec à Trois-Rivières qui de près ou de loin a œuvré pour la réalisation de ce travail.

Mes plus sincères remerciements vont à l'endroit du feu Professeur Éloi NGANDJUI, qui a cru en moi et a été pour beaucoup à ma venue à l'UQTR.

Et enfin mes remerciements incommensurables vont à l'endroit de ma famille qui sans relâche a toujours su me soutenir et m'encourager.

# Table des matières

Résumé.....	ii
Remerciements.....	iii
Table des matières.....	v
Liste des figures.....	ix
Liste des symboles.....	xi
Liste des abréviations.....	xii
Chapitre 1 - Introduction.....	1
1.1 Motivations et objectifs.....	2
1.2 Structure du mémoire.....	4
Chapitre 2 - Modélisation et Conception d'une inductance planaire micro machinée.....	6
2.1 Définition.....	7
2.2 Phénomènes physique.....	10
2.3 Modélisation électrique d'une micro-inductance.....	11
2.3.1 La résistance série.....	13
2.3.2 Capacité série.....	14

2.3.3	Capacité d'oxyde .....	15
2.3.4	Résistance parasite de substrat.....	15
2.3.5	Capacité parasite de substrat.....	16
2.3.6	Facteur de qualité.....	16
2.4	Modélisation géométriques .....	18
2.4.1	Inductance propre.....	21
2.4.2	Inductance mutuelle .....	23
2.4.3	Inductance Totale.....	24
2.5	Influence des paramètres géométriques sur l'inductance .....	24
2.5.1	Conditions de simulations.....	25
2.5.2	Influence de la largeur de spire et de l'espacement sur l'inductance .....	26
2.5.3	Influence de la largeur de spire et de l'espacement sur le facteur de qualité.....	26
2.5.4	Variation du facteur de qualité autour de fréquence de résonance.....	27
2.5.5	Évolution de la fréquence du facteur de qualité.....	27
2.6	Conclusion.....	28
Chapitre 3 - Amplificateur de faible bruit.....		30
3.1	Caractéristiques d'un LNA.....	32

3.2	Architecture des LNA.....	34
3.2.1	Architectures d'un LNA à terminaison résistives.....	35
3.2.2	Architecture d'un LNA à résistance série de shunt .....	37
3.2.3	Architecture d'un LNA à grille commune.....	37
3.2.4	Architecture d'un LNA à Source inductive dégénérative.....	38
3.3	Analyse d'un amplificateur de faible bruit idéal .....	42
3.3.1	Adaptation d'impédance en entrée.....	42
3.3.2	Modélisation du bruit.....	43
3.4	Résultats de simulation.....	46
3.4.1	Conditions de simulations.....	46
3.4.2	Résultats du filtre de Tchebychev.....	47
3.4.3	Résultats de simulations du LNA .....	51
3.5	Conclusion.....	54
Chapitre 4 - Implémentation .....		56
4.1	Choix de la technologie.....	56
4.1.1	Technologie CMOS .....	57
4.1.2	La technologie Silicium .....	57
4.2	Les Procédés de fabrications .....	58
4.2.1	Le Micro-usinage en surface.....	58



4.2.2 Le Micro-usinage en volume .....	58
4.3 Implémentation d'une inductance micro machinée.....	60
4.3.1 Réalisation Physique en technologie microsysteme d'une micro inductance .....	61
4.4 Conclusion.....	62
Chapitre 5 - Conclusion .....	63
Références.....	66

## Liste des figures

Figure 2.1 Champ magnétique [7] .....	8
Figure 2.2: Micro-inductance rectangulaire.....	9
Figure 2.3: Micro-inductance hexagonale .....	9
Figure 2.4: Micro-inductance octogonale .....	9
Figure 2.5 : Modèle d'une micro-inductance de Crols. ....	12
Figure 2.6 : Modèle en $\pi$ d'une micro-inductance.....	12
Figure 2.7 : Modèle-2 en $\pi$ d'une micro-inductance.....	13
Figure 2.8 : Modèle en $\pi$ simplifié.....	17
Figure 2.9 : Modèle-2 en $\pi$ simplifié.....	17
Figure 2.10 : Variation de l'inductance en fonction de $l$ et $s$ .....	25
Figure 2.11 : Variation du facteur de qualité en fonction de $l$ et $s$ .....	26
Figure 2.12 : Variation du facteur de qualité autour de fréquence de résonance.....	27
Figure 2.13 : Influence de la fréquence sur le facteur de qualité .....	28
Figure 3.1: Chaîne homodyne d'un émetteur-récepteur. ....	31
Figure 3.2 : Étages en cascades d'un récepteur.....	32
Figure 3.3 : Éléments critiques d'un LNA .....	36
Figure 3.4 : LNA à terminaison résistive.....	36
Figure 3.5 : LNA à résistance série de contre-réaction.....	37
Figure 3.6 : LNA à Grille commune .....	38
Figure 3.7 : LNA à Source dégénérative.....	38
Figure 3.8 : LNA Modèle équivalent petits signaux .....	39
Figure 3.9 : LNA à source commune et inductance dégénérative à Large Bande.....	40

Figure 3.10 : LNA à source commune et inductance dégénérative à Large Bande .....	41
Figure 3.11 : Modélisation des sources bruits dans un étage d'amplification .....	43
Figure 3.12 : câblage paramètres S .....	48
Figure 3.13 : Paramètre $S_{11}$ du BPF .....	48
Figure 3.14 : Paramètre $S_{12}$ du BPF .....	49
Figure 3.15 : Paramètre $S_{21}$ du BPF .....	49
Figure 3.16 : Paramètre $S_{22}$ du BPF .....	50
Figure 3.17 : Paramètres S du BPF .....	50
Figure 3.18 : Paramètre $S_{11}$ du LNA .....	52
Figure 3.19 : Paramètre $S_{12}$ du LNA .....	52
Figure 3.20 : Paramètre $S_{21}$ du LNA .....	53
Figure 3.21 : Paramètre $S_{22}$ du LNA .....	53
Figure 3.22 : Paramètres S du LNA .....	54
Figure 4.1 : Inductance rectangulaire en technologie PolyMUMPS® .....	62

## Liste des symboles

$C_{ox}$  : Capacité parasite d'oxyde

$C_p$  : Capacité parasite

$C_{si}$  : Capacité parasite de substrat de silicium

$C_{sub}$  : Capacitance de substrat par unité de surface

$G_{sub}$  : Conductance de substrat par unité de surface

$R$  : Résistance série

$R_p$  : Résistance série

$R_{si}$  : Résistance parasite de substrat de silicium

$\delta$  : Facteur de peau

$\mu_0$  : Perméabilité du vide =  $4\pi \cdot 10^{-7}$  H/m

$\mu_r$  : Perméabilité relative

$\epsilon_0$  : Permittivité du vide =  $8,85 \times 10^{-12}$  C<sup>2</sup>/(N×m<sup>2</sup>).

$\epsilon_r$  : Permittivité relative =  $8,85 \times 10^{-12}$  C<sup>2</sup>/(N×m<sup>2</sup>).

$\omega$  : Pulsation électrique

## Liste des abréviations

BiCMOS: Bipolar Complementary Metal-Oxide Semiconductor

CAD : Computer Aided Design

CAO: Conception Assistée par Ordinateur

CDMA: Code Division Multiple Access

CMOS: Complementary Metal-Oxide Semiconductor

DR: Dynamic Range

DLP: Digital Light Projector

EDA: Electronic Design automation

FDTD: Finite Difference Time Domain

GMD: Geometric Mean Distance

AMD : Arithmetic Mean Distance

IC: Integrated Circuit

IFF: Intermediate Frequency Filters

IP3 : Third-Order Intercept Point

LNA: Low Noise Amplifier

MEMS: Micro Electro Mechanical Systems

**MOSFET : Metal–Oxide–Semiconductor Field-Effect Transistor**

**NF: Noise Figure**

**SOI : Silicium On Insulator**

**UMTS: Universal Mobil Telecommunication System**

**VCO: Voltages Controlled Oscillators**

**WCDMA: Wide-band Code Division Multiple Access**

# « There is a Plenty of Room at the Bottom »

(Discours en 1959)

Richard FEYNMAN, Prix Nobel de Physique, 1965

# Chapitre 1 - Introduction

Les microsystemes sont un terme générique utilisés pour qualifier l'ensemble des systèmes micro-électro-mécanique réalisant, sur un substrat monolithique de matériau semi-conducteur, des fonctions électroniques miniaturisées plus ou moins complexes et pouvant intégrer un ou plusieurs: capteurs, actionneurs et/ou des modules de traitement de l'information.

En d'autres termes, un microsysteme est un circuit intégré (CI) ou un système miniaturisé réalisé sur un seul support ou substrat, dont les dimensions vont d'une centaines de nanomètre au millimètre. On les retrouve respectivement en Europe, au Japon et aux États-Unis sous des appellations différentes telles : système micro-électro-mécanique, micromachines ou micromechatronics, et MEMS. Mais la plus usuelle est l'appellation MEMS.

Ils font leur première apparition au début des années 1980 [1], dans l'industrie automobile à travers un dispositif nommé « accéléromètre » utilisé pour déclencher le gonflage des airbags suite à un choc brutal. Mais c'est au cours des années 1990 qu'ils se vulgarisent, tout d'abord dans l'optique à travers le DLP [1] de Texas Instrument permettant de manipuler la lumière de façon numérique et de régler ainsi les niveaux de gris allant de la lumière blanche au noir complet.

Face à cette croissance du marché des télécommunications sans fil et aux limites que présente la microélectronique à proposer des solutions viables, d'importants travaux de



recherches sont menés en direction des microsystemes qui potentiellement semblent offrir plus d'opportunités voir des réponses aux multiples exigences posées par les applications actuelles et l'ouverture à de nouvelles applications.

### 1.1 Motivations et objectifs

La conception des circuits intégrés monolithiques pour les télécommunications sans fil demeure une tâche ardue dont la réussite dépend de l'analyse des simulations réalisées par les outils de la CAO (conception assistée par ordinateur), où un nombre croissant de chercheurs s'y intéressent. Par ailleurs toutes allusions faites aux télécommunications sans fil renvoient à émission-réception où, l'amplificateur de faible bruit (*Low Noise Amplifier-LNA*), constitue un élément clé de la chaîne de réception tant par sa fonction première qu'est «l'amplification du signal», que par sa position, à l'entrée d'un émetteur RF. D'où, l'objet de cette attention particulière pour les LNAs. En effet, étant à l'entrée d'un émetteur RF à très faibles signaux, il est essentiel de minimiser le bruit contenu dans le signal par crainte de le voir amplifier tout au long du dispositif. La conséquence immédiate serait la dégradation accrue du signal et de rendre la tâche très ardue de tirer toutes informations utiles du signal. Nous retrouvons des propositions des LNA intégrés en technologie microélectronique mais cette technologie se limite à l'utilisation des transistors et capacités. Des structures de LNA peuvent être proposées en tirant profit de l'intégration des inductances micro machinées sur la même structure de silicium que les composantes microélectroniques. Afin d'être utilisé dans un téléphone sans fil, ou tout autre appareil de télécommunication sans fil, les LNA se doivent d'être de taille réduite et de très faible consommation énergétique. De ce fait, en vue de leur intégration, la réduction des dimensions physiques de ces composants est une étape primordiale. Composants parmi

lesquelles les inductances, occupent entre 40 et 80% de la surface globale du LNA. D'où tout l'intérêt porté à l'étude des inductances motivant le travail de ce mémoire.

L'objectif principal de ce projet est l'étude de l'amplificateur à faible bruit en optimisant les paramètres physiques dans le sens de la miniaturisation, en vue de son intégration et l'amélioration de ces caractéristiques électriques.

Ceci étant, le projet vise, à justifier le choix de la technologie MEMS dans la réalisation du LNA, à concevoir une structure d'amplification à faible bruit à base de micro inductances, à étudier ces micro inductances (ex: géométrie, structure, surface, facteur de qualité, etc.) et à exposer la synthèse des résultats.

Présentement, dans les chaînes de réception en radio fréquence, les LNAs à source inductive dégénérative sont les plus rencontrées. Ils présentent une bonne adaptation d'impédances en entrée-sortie, un bon gain d'amplification ou (exclusif) un bon facteur bruit (*Noise Figure-NF*), et une très mauvaise sélectivité (facteur de qualité faible). De surcroît ils sont encombrants et onéreux.

Ainsi, la mise en route des LNAs sur un circuit intégré monolithique, est une alternative sérieuse pour pallier aux multiples difficultés posées. Jusqu'à date, de nombreuses topologies ont fait l'objet d'une étude. Mais, soit n'étaient pas suffisamment sélective, soit le facteur de bruit ou (exclusif) le gain d'amplification n'était pas assez satisfaisant.

Afin d'apporter une solution aux normes rigoureuses de la téléphonie mobile et plus spécifiquement aux WCDMA, plusieurs structures de LNA ayant fait leurs preuves sur le marché ont été étudiées en vue d'améliorer principalement le facteur de bruit, suite à l'intégration des inductances micro machinées.

## 1.2 Structure du mémoire

Ce mémoire s'articule autour des chapitres décrivant les grands axes et les points marquant des travaux menés dans ce mémoire.

Dans le chapitre 2 on souligne en premier et de façon plus marquée, l'intérêt et le choix des micro-inductances. On fait ensuite état des différents phénomènes physiques qui y prennent part, et on en déduit un schéma électrique équivalent modélisant, le plus fidèlement possible, son comportement électrique. Dans le second volet, on fait une étude exhaustive des formes et paramètres géométriques, sur une surface constante, afin de mieux cerner leur influence sur le comportement desdits inductances dont, le facteur de qualité  $Q$  en particulier.

Il sera question au chapitre 3 dans un premier temps d'une présentation sommaire, des différentes topologies de LNA rencontrées dans la littérature, soulignant leurs avantages et inconvénients les unes par rapport aux autres. Ensuite, Suivra une présentation exhaustive et une étude détaillée, de la topologie faisant l'objet de notre choix y compris des modifications et améliorations apportées afin de répondre aux spécifications du WCDMA. Et en dernier, afin de vérifier la conformité de nos analyses, des simulations seront effectuées et les résultats présentés et commentés.

Le chapitre 4, le point culminant de ce travail, met à profit les différents résultats obtenus dans les deux précédents chapitres. Il a pour but de montrer la faisabilité à travers la technologie CMOS ( $0.18\mu\text{m}$ ) l'intégration sur circuit monolithique, le LNA et inductances micro machinées répondant aux normes dictées par le marché.

En dernier, la conclusion mettra en exergue les résultats et améliorations apportées ainsi que toutes les débouchées et éventuelles perspectives liées au travail réalisé dans le cadre de ce mémoire.

## Chapitre 2 - Modélisation et Conception d'une inductance planaire micro machinée

Composant essentiel, pour de nombreux circuits en RF : filtres, amplificateurs sélectifs, Mixers, IFF, VCO, LNA [2, 3]. Les inductances micromachinées capitalisent à elles seules, la principale difficulté technologique liée à l'intégration sur support monolithique des composants passifs, mais aussi enjeu crucial.

En effet, elles occupent entre 40 et 80% de la surface globale d'un circuit intégré (exemple : LNA) et constituent l'un des composants les plus volumineux. De plus, l'amélioration de leurs performances constitue un objectif crucial pour l'atteinte des niveaux de performances satisfaisant.

À cet effet, poussé par la forte sollicitation du marché des télécommunications sans fil, de multiples travaux sont effectués et profitant d'énormes progrès réalisés en matière de conception et de fabrication en technologie CMOS, des composants passifs. L'intégration des micro-inductances plus qu'un sujet d'actualités, est devenue un fait. Suscitant, un réel espoir à la résolution des multiples exigences posées notamment: la réduction de la taille des composants, la réduction de la consommation énergétique, la réduction des coûts, l'amélioration de la qualité, et la fiabilité des composants [4].

Cependant, du fait d'un faible facteur de qualité  $Q$  l'intégration des inductances sur silicium jusqu'au début des années 1990 a été déclarée impossible suite aux substrats de

faible résistivité (de l'ordre de 10-30  $\Omega$ .cm), de très faibles épaisseurs de diélectrique (< 4 $\mu$ m pour six couches), créant respectivement des capacités parasites et des pertes ohmique par rayonnement sur le substrat.

Toutefois aujourd'hui, malgré l'atteinte de cet objectif crucial qu'est l'intégration, il est unanimement reconnu, au vu des contraintes technologiques à satisfaire, qu'il nécessite des améliorations à apporter. Et ceci d'autant plus qu'en comparaison, au facteur de qualité, des traditionnels enroulements (*Bond Wire*) avoisinant 50 [5, 6],[1] celui des micro-inductances (compris entre 20 et 50) demeure largement inférieur [6].

Ainsi, dans le cadre de ce chapitre on s'attelle dans un premier temps à mettre en exergue, les différentes méthodes et techniques visant l'amélioration des paramètres électriques au niveau des propriétés physiques des composants et de leur technologie de fabrication. Et en deuxième, nous nous attarderons davantage sur l'aspect géométrique ce qui constituera notre principal apport dans ce chapitre.

## 2.1 Définition

L'inductance est une grandeur ou coefficient s'exprimant en Henry (H), traduisant le fait qu'un courant traversant un circuit électrique crée un champ magnétique à travers la section entourée par ce circuit (voir la figure 2.1). Elle (*inductance propre*) est égale au produit du flux magnétique total dudit circuit, par l'inverse de l'intensité du courant qui le parcourt.

À côté de l'inductance propre se superpose, très souvent, une inductance mutuelle. Cette dernière est conséquente à l'effet d'induction réciproque de deux circuits voisins, et égale au produit du flux d'induction magnétique total généré par le courant du circuit réciproque par l'intensité du courant le traversant.

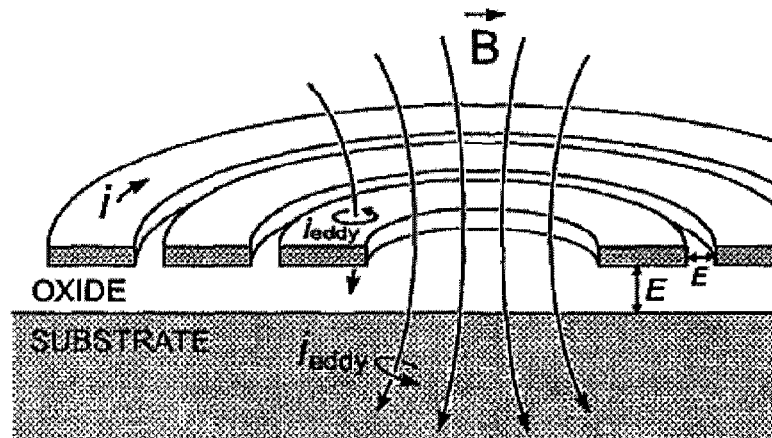


Figure 2.1 Champ magnétique [7]

De manière générale, une inductance peut être vue comme tout circuit électrique ou dipôle électrique qui présente par sa construction (forme physique et propriété des matériaux) une certaine valeur d'inductance. Dans la littérature, on les retrouve sous des appellations différentes telles que : inductance propre (*self*), bobine, solénoïde, auto-inductance, etc. Et sous des formes variées parmi lesquelles, des formes dites planaires faciles d'intégration et de réalisation en technologie microsysteme. Les micro-inductances planaires de forme rectangulaire (figure 2.2) sont de loin les plus connues du fait de leur facilité de design et de fabrication. Toutefois, parmi les micro-inductances planaires, il existe d'autres formes telles que : Hexagonale (figure 2.3) et octogonale (figure 2.4) donc les performances sont d'autant meilleur que la forme se rapproche de celle d'un cercle.

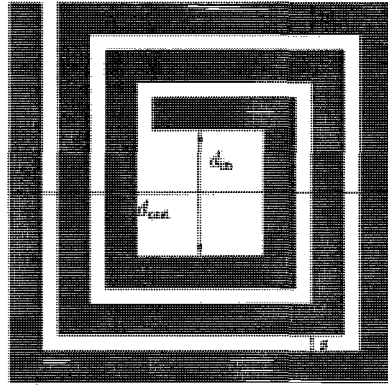


Figure 2.2: Micro-inductance rectangulaire

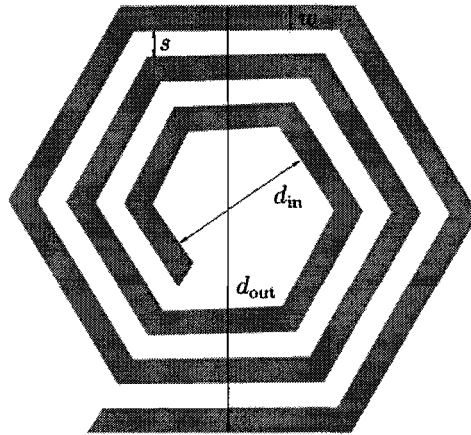


Figure 2.3: Micro-inductance hexagonale

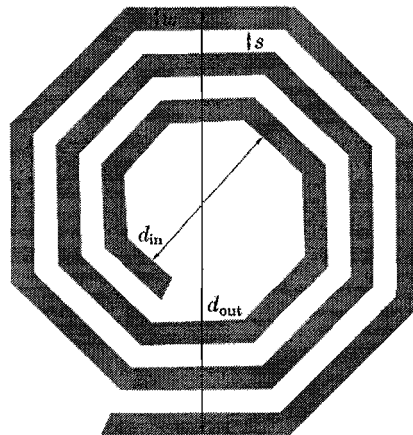


Figure 2.4: Micro-inductance octogonale



Néanmoins, une micro-inductance planaire, quelque soit sa forme, est entièrement définie par les paramètres suivants : le nombre  $n$  de tour, le nombre  $N$  de segment, la largeur  $w$  de ruban ou de spire, l'espace  $s$  entre les spires et le diamètre intérieur  $d_{in}$  ou l'un des paramètres suivant : le diamètre extérieur  $d_{out}$ , le taux de remplissage

$$\rho = \frac{(d_{out} - d_{in})}{(d_{out} + d_{in})}, \text{ et le diamètre moyen } d_{avg} = 0.5(d_{out} + d_{in}).$$

## 2.2 Phénomènes physique

Parcourue par un courant variable, une micro-inductance est le siège d'un champ électrique et magnétique variable [8, 9] se propageant à travers le métal et le substrat (voir figure 2.3). Entraînant ainsi en haute fréquence, des phénomènes physiques, non escomptés [10] dit effets parasites dont les manifestations sont :

- L'effet de proximité : distribution non uniforme du courant sur le métal conducteur dû à l'influence du courant parcourant la spire voisine
- L'effet de peau : distribution non uniforme du courant dans le métal conducteur sur le plan transversal
- L'effet joule (Courant de Foucault) : pénétration du champ magnétique variable dans le substrat.
- Pénétration du champ électrique variable dans le substrat

À l'exception de la pénétration du champ électrique variable dans le substrat, les autres manifestations des effets parasites sont l'objet d'un champ magnétique variable.

Les effets parasites sont la source principale de la limitation des performances, et leurs modélisations efficaces, se présentent comme la principale difficulté liée à la prédiction du comportement d'une micro-inductance, et plus loin de l'optimisation de cette dernière.

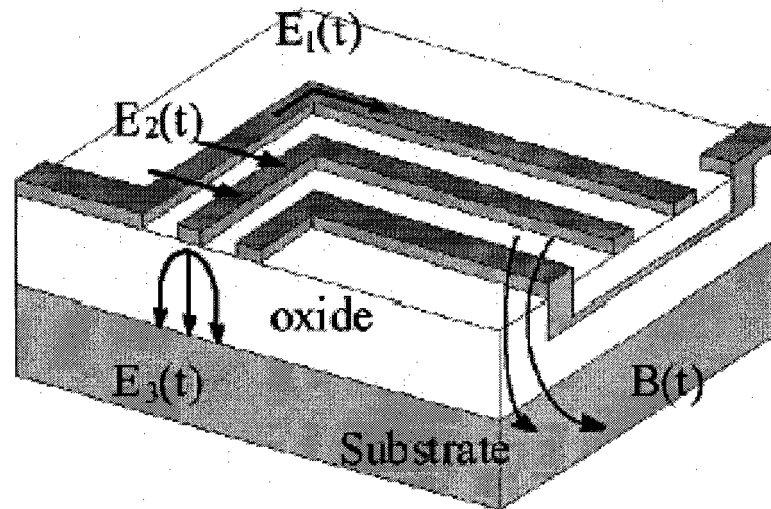


Figure 2.3 Coupe transversale d'une micro-inductance [7]

### 2.3 Modélisation électrique d'une micro-inductance

Une micro-inductance telle qu'on l'observe sur la figure 2.3 et 2.4, peut être perçue comme un assemblage de micro-rubans ou lignes de propagation superposés sur un substrat (de silicium) surmonté d'un matériau isolant (dioxyde de silicium-SiO<sub>2</sub>). De ce fait, elle peut être modélisée à partir des éléments de base des circuits : inductances, résistances et capacités. Cette modélisation consiste, à partir des paramètres physiques (des dimensions) et caractéristiques des matériaux (diélectriques, substrats et conducteurs), à déterminer un schéma électrique traduisant les phénomènes électriques et physiques qui y ont cours.

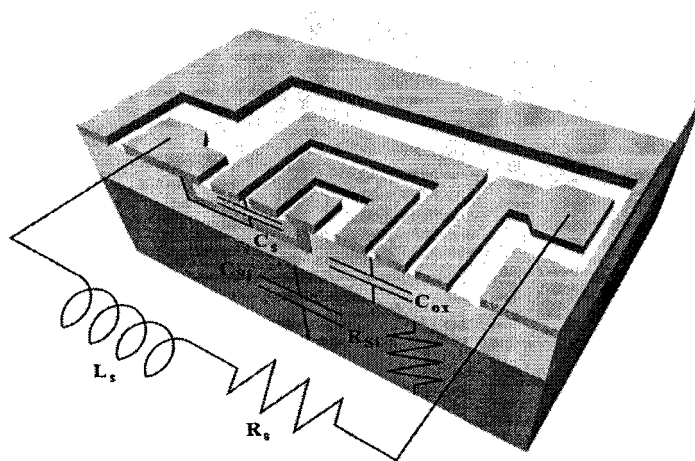


Figure 2.4 Coupe Transversale d'une micro-inductance [11]

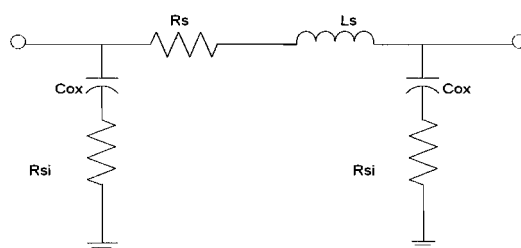


Figure 2.5 : Modèle d'une micro-inductance de Crols.

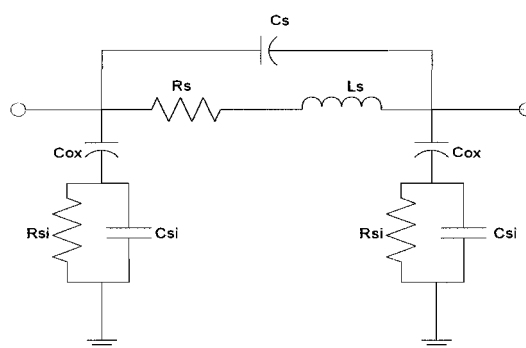


Figure 2.6 : Modèle en  $\pi$  d'une micro-inductance

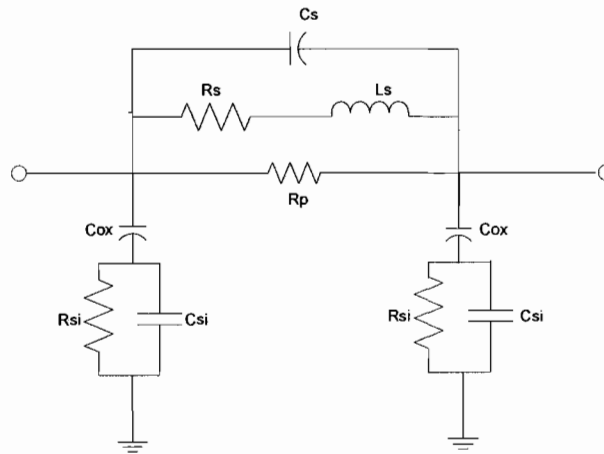


Figure 2.7 : Modèle-2 en  $\pi$  d'une micro-inductance

On retrouve dans la littérature différents modèles de circuits électriques [9, 10, 12-14], essayant de prédire le comportement d'une inductance. Parmi lesquels ceux des figures 2.5 à 2.7 illustrent quelques approches de modélisations. Globalement, ces modèles de circuits comprennent deux parties dont la première dite série où on retrouve les éléments tels que: l'inductance série  $L_s$ , la résistance série  $R_s$  et la capacité série  $C_s$ .

Et la deuxième partie dite parallèle, dû aux phénomènes parasites sur le substrat et l'oxyde où on retrouve les éléments tels que: la capacité  $C_{ox}$  d'oxyde, la capacité  $C_{si}$  et la résistance  $R_{si}$  de substrat.

### 2.3.1 La résistance série

Elle symbolise les pertes par effet joule sur le métal, accentué aux hautes fréquences par «l'effet pelliculaire» ou «effet de peau» d'où sa dépendance à  $\delta$  (voir équations (2.1) et (2.2)). En effet, aux hautes fréquences suite à la variation du champ magnétique donnant

naissance au courant de Foucault qui, selon la loi de Lenz, s'opposent aux phénomènes leurs ayant donnés naissance dont la circulation du courant dans le conducteur, entraînent la perturbation de la circulation ce dernier. Ainsi, au lieu de circuler sur la totalité de la section du conducteur, il se limite à la surface du conducteur. D'où, une décroissance exponentielle de la densité de courant au fur et à mesure que l'on s'éloigne de la surface. Les conséquences de l'effet pelliculaire sont d'augmenter considérablement la résistance série  $R_s$ .

L'épaisseur moyenne  $\delta$  ou « facteur peau », dans laquelle circule le courant en haute fréquence, est déterminée par l'équation [9]:

$$\delta = \sqrt{\frac{\rho}{\pi \mu f}}, \quad (2.1)$$

où  $\rho, \mu$  et  $f$  représente respectivement, la résistivité en  $\Omega\cdot m$ , la perméabilité en H/m, et la fréquence en Hz:

$$R_s = \frac{\rho l}{w t_{eff}}, \quad (2.2)$$

$$t_{eff} = \delta \cdot (1 - e^{-l/\delta}), \quad (2.3)$$

où  $w, l, t$  et  $t_{eff}$  représentent respectivement la largeur de trace d'un segment, l'épaisseur effective du métal et la longueur totale des segments.

### 2.3.2 Capacité série

Cette capacité modélise d'une part, la capacité entre les segments adjacents et parallèles, et d'autre part la capacité entre les segments se chevauchant. Les segments adjacents et parallèles étant sensiblement équipotentiels, l'effet de leur capacité est

négligeable. Par contre, du fait d'une plus grande différence de potentielle entre les segments se chevauchant cette capacité est plus importante. Ainsi, la capacité série  $C_s$  caractérise presque essentiellement la somme de toutes les capacités de chevauchement :

$$C_s = n.w^2 \cdot \frac{\epsilon_{ox}}{t_{ox}(M_1-M_2)}, \quad (2.4)$$

où  $\epsilon_{ox}$ ,  $n$ ,  $w$  et  $t_{ox}(M_1-M_2)$  représentent respectivement la constante diélectrique d'oxyde, le nombre de chevauchement, la largeur du segment chevauchant l'enroulement, l'épaisseur d'oxyde entre l'enroulement et le segment chevauchant l'enroulement.

### 2.3.3 Capacité d'oxyde

Soit  $C_{ox}$  la capacité d'oxyde entre le substrat et le métal

$$C_{ox} = \frac{1}{2} . l.w. \frac{\epsilon_{ox}}{t_{ox}}, \quad (2.5)$$

où  $\epsilon_{ox}$  et  $t_{ox}$  sont la constante diélectrique et l'épaisseur de la couche d'oxyde entre l'enroulement et le substrat.

### 2.3.4 Résistance parasite de substrat

Cette résistance matérialise les pertes par effet joule sur le substrat (silicium) dont la conductance  $G_{sub}$  est due essentiellement à la concentration des porteurs majoritaire.

$$R_{si} = \frac{2}{l.w.G_{sub}}, \quad (2.6)$$

où  $G_{sub}$  représente la conductance par unité de surface sur le substrat.

### 2.3.5 Capacité parasite de substrat

Cette capacité caractérise les effets capacitifs se produisant à haute fréquence dans le semi-conducteur. Ainsi, soit  $C_{si}$  la capacité parasite de substrat :

$$C_{si} = \frac{1}{2} l.w.C_{sub}, \quad (2.7)$$

où  $C_{sub}$  représente la capacitance par unité de surface sur le substrat.

### 2.3.6 Facteur de qualité

Caractérisé par un quotient positif sans unité noté  $Q$ , il définit les performances électriques d'une micro-inductance ainsi que son aspect réactif. Il est égal au rapport de l'énergie stockée sur l'énergie dissipée durant un cycle [8, 15, 16]:

$$Q = 2\pi \times \frac{\text{Energie Emmagisée}}{\text{Energie Dissipée}}, \quad (2.8)$$

$$Q = 2\pi \times \frac{|E_{Magnétique Max} - E_{Électrique Max}|}{\text{Energie dissipée durant une période}}. \quad (2.9)$$

Afin de diminuer la complexité dans l'analyse tout en maintenant les caractéristiques de la micro-inductance, on préfère la représentation du modèle de la Figure 2.8 qui présente un seul port en lieu et place du modèle de la Figure 2.6 présentant trois ports. Toujours dans la continuité de cette logique, à savoir la diminution de la complexité, on remplace dans la Figure 2.8,  $R_{si}$ ,  $C_{si}$  et  $C_{ox}$  par  $R_p$  et  $C_p$  d'où la figure 2.9.

Ainsi, on exprime aisément :

$$E_{magnétique\_max} = \frac{V_o^2 L_s}{2 \left[ (\omega L_s)^2 + R_s^2 \right]}, \quad (2.10)$$

$$E_{\text{electriq\_max}} = \frac{V_o^2 (C_s + C_p)}{2}, \quad (2.11)$$

$$E_{\text{Dissip}} = \frac{2\pi}{\omega} \cdot \frac{V_o^2}{2} \left[ \frac{1}{R_p} + \frac{R_s}{(\omega L_s)^2 + R_s^2} \right]. \quad (2.12)$$

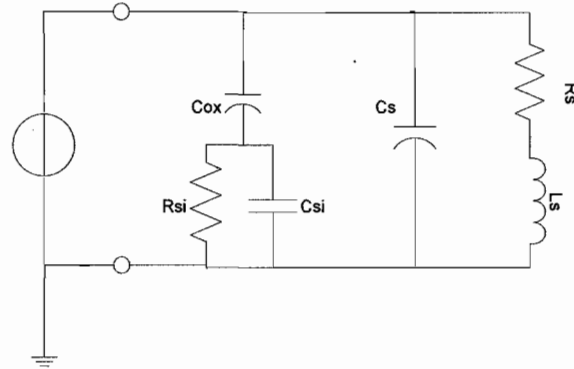


Figure 2.8 : Modèle en  $\pi$  simplifié

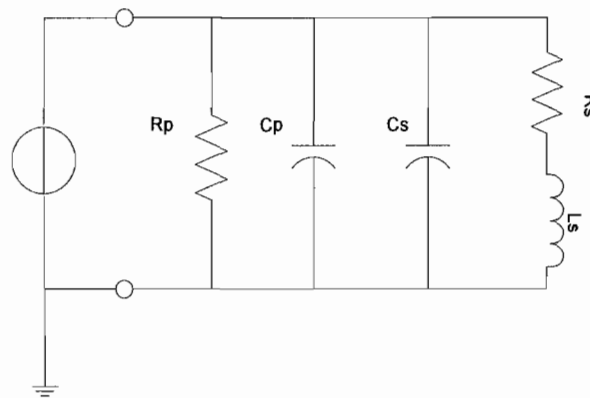


Figure 2.9 : Modèle-2 en  $\pi$  simplifié

Suite à la substitution de  $C_{ox}$ ,  $R_{si}$  et  $C_{si}$  dans les équations (2.13), (2.14) et (2.15), on obtient :

$$R_p = \frac{1}{\omega^2 C_{ox}^2 R_{si}} + \frac{R_{si} (C_{ox} + C_{si})^2}{C_{ox}^2}, \quad (2.13)$$



$$C_p = C_{ox} \cdot \frac{1 + \omega^2 (C_{ox} + C_{si}) C_{si} R_{si}^2}{1 + \omega^2 (C_{ox} + C_{si})^2 R_{si}^2}, \quad (2.14)$$

$$Q = \frac{\omega L_s}{R_s} \cdot \frac{R_p}{R_p + \left[ \left( \frac{\omega L_s}{R_s} \right)^2 + 1 \right] \cdot R_s} \cdot \left[ 1 - (C_p + C_s) \cdot \left( \omega^2 L_s + \frac{R_s^2}{L_s} \right) \right], \quad (2.15)$$

où les expressions  $\frac{R_p}{R_p + \left[ \left( \frac{\omega L_s}{R_s} \right)^2 + 1 \right] \cdot R_s}$  et  $1 - (C_p + C_s) \cdot \left( \omega^2 L_s + \frac{R_s^2}{L_s} \right)$  représentent

respectivement le facteur de pertes de substrat et le facteur de résonance. L'équation (2.15) peut s'écrire :

$$Q = \frac{\omega L_s}{R_s} (\text{facteur de pertes de substrat}) \cdot (\text{facteur de résonance}). \quad (2.16)$$

## 2.4 Modélisation géométriques

Dans la littérature on rencontre plusieurs approches ou méthodes pour analyser et déterminer les caractéristiques d'une micro-inductance, dont celle « des différences finies dans le domaine temporel (FDTD) » basée sur la résolution des équations de Maxwell. Bien que cette dernière soit de très loin la plus précise, elle nécessite un temps de calcul relativement long.

En revanche, on rencontre d'autres méthodes reposant sur des formulations empiriques ou semi-empiriques [6]. Bien que peu précises et nécessitant un temps de calcul moins long, elles permettent tout au moins de prévoir l'ordre de grandeur réel de l'inductance avec une marge d'erreur (dépendante du nombre de tour) de l'ordre de 10% à 25%. Quelques unes de ces méthodes sont énumérées ci-dessous telles que:

- La méthode de J.O. Voorman dépend uniquement du diamètre moyen  $d_{avg}$  et du nombre de tour  $n$ . Elle représente l'une des plus simples expressions, par contre, l'une des moins précises également avec un taux d'erreur pouvant atteindre les 80% [6]:

$$L_{voor} = 10^{-3} n^2 d_{avg} \quad (2.17)$$

- La méthode de H.G. Dill qui s'apparente à la précédente présente les mêmes caractéristiques [6]:

$$L_{dill} = 8.5 \times 10^{-4} n^{5/3} d_{avg} \quad (2.18)$$

- La méthode de Bryan mieux que les précédentes, elle prend en compte de manière implicite à travers  $\rho = \frac{(d_{out} - d_{in})}{(d_{out} + d_{in})}$  d'autres paramètres de l'inductance telle le nombre de tours  $n$ , l'espacement entre spires  $s$  et la largeur de spire  $w$ . Par conséquent, elle devient plus précise:

$$L_{bry} = 2.41 \times 10^{-3} n^{5/3} d_{avg} \log \frac{4}{\rho} \quad (2.19)$$

- La méthode de H. Ronkanien comme la précédente prend en compte l'ensemble des paramètres physiques de l'inductance, avec un taux d'erreur faible [6]:

$$L_{ron} = 1.5 \times \mu_o n^2 e^{-3.7(n-1)(w+s)/d_{out}} \quad (2.20)$$

- La méthode de J. Crols basée sur des observations expérimentales est dite empirique, et présente un taux d'erreur relativement faible [6] comparativement aux autres:

$$L_{cro} = 1.3 \times 10^{-4} \left( \frac{d_{out}^3}{w^2} \right) n_a^{5/3} n_w^{1/4}, \quad (2.21)$$

avec  $n_a = \frac{\text{metal area}}{\text{total area}}$  et  $n_w = \frac{w}{w+s}$ .

- La méthode dite empirique de S.S. Mohan, publié il y a moins d'une décennie, présente un taux d'erreur relativement faible par rapport à toutes celles décrites précédemment. Elle exploite la symétrie de l'inductance planaire qui voudrait que la contribution des segments de spires orthogonaux soit nulle, que celle des segments de spires parallèles compte pour la mutuelle (positive et négative respectivement pour ceux adjacents et diamétralement opposé), et que celle d'un segment sur lui-même compte pour l'inductance propre. D'où l'expression (2.22) de l'inductance totale. Et suite à l'ajustement par la méthode des moindres carrées, on obtient l'expression monomiale (2.23) caractéristique de la méthode de Mohan :

$$L = \frac{\mu n^2 d_{avg} c_1}{2} \left( \ln \left( \frac{c_2}{\rho} \right) + c_3 \rho + c_4 + \rho^2 \right), \quad (2.22)$$

$$L_{Moh} = \beta d_o^{\alpha_1} w^{\alpha_2} d_{avg}^{\alpha_3} n^{\alpha_4} s^{\alpha_5}, \quad (2.23)$$

avec  $\beta = 0.00162$  et  $\{\alpha_i\}_{\alpha=1}^5 = \{-1.21, -0.417, 2.40, 1.78, 0.03\}$ .

On notera que la valeur de l'inductance est en nH et celle des dimensions physiques (longueur, espacement, épaisseur,...etc.) sont en  $\mu\text{m}$ .

En outre, il existe d'autres méthodes basées sur le calcul d'inductances de segment comme la précédente mais avec une application plus rigoureuse de la symétrie (des

inductances planaires). Bien que moins précises que celle des FDTD, elle donne un taux d'erreur inférieur à 15% [17]. Parmi ces méthodes, on trouve :

- la méthode F.E. Terman [18]

$$L_{Ter} = 0.0467 \times sn^2 \left( \log \left( \frac{2s^2}{(t+w)} \right) - \log 2.414s \right) + 0.02032n^2 \left( 0.914 + \frac{0.2235(t+w)}{s} \right), \quad (2.24)$$

- la méthode de F.W. Grover [19, 20]

$$L_x = 2l_x \left( \ln \left( \frac{2l_x}{(w+t)} \right) + 0.050049 + \frac{(w+t)}{3l_x} \right), \quad (2.25)$$

$$\text{où } L_T = L_0 + M_+ - M_-, \text{ et } L_0 = \sum L_x.$$

D'ailleurs, c'est partant des méthodes de Terman et Grover [20, 21], que Greenhouse [20] élabore une formulation afin de déterminer la valeur de l'inductance totale d'une inductance planaire. Suffisamment précise et nécessitant un faible temps de calcul [6]. Cette formulation simple, est largement adoptée dans la littérature.

C'est à cet effet que notre étude sur les inductances planaires est fondée. On y perçoit une inductance planaire comme un ensemble de segment, dont on calcule la somme des contributions des inductances propres et mutuelles.

#### 2.4.1 Inductance propre

Toujours à valeur positive, elle est calculée entre deux segments parallèles. Pour des courants circulant dans le même sens et négative dans le cas contraire. La somme des

inductances mutuelles ainsi calculées, positives et négatives, donne la valeur de l'inductance mutuelle totale :

$$L_i = 0.0002 \left[ \ln \left( 2 \frac{L_i}{GMD_i} \right) - 1.25 + \frac{AMD_i}{l_i} + \mu \frac{T}{4} \right], \quad (2.26)$$

où  $L_i$  représente la inductance propre du segment  $i$  en  $\mu\text{H}$ ,  $\mu$  représente la perméabilité magnétique du conducteur (métal), et  $T$  un paramètre de correction de fréquence. Dans l'équation (2.26),  $GMD$  (*Geometric Mean Distance*) représente la distance géométrique moyenne entre  $p$  points indicés  $i$  d'un segment numéroté  $N(\alpha)$  :

$$\ln(GMD) = \frac{1}{p} \left[ \sum_{i=1}^p \ln(d_i) \right], \quad (2.27)$$

où  $d_{i,j}$  représente la distance entre indicés  $i$  d'un segment numéroté  $N(\alpha)$  et  $q$  points indicés  $j$  d'un segment numéroté  $N(\beta)$ . En tenant compte qu'un segment de spire est constitué d'un ensemble continue de point on arrive à :

$$\ln(GMD_i) = \ln(d_i) - \frac{1}{12 \left( \frac{d_i}{w} \right)^2} - \frac{1}{60 \left( \frac{d_i}{w} \right)^4} - \frac{1}{168 \left( \frac{d_i}{w} \right)^6} - \frac{1}{360 \left( \frac{d_i}{w} \right)^8} - \dots \quad (2.28)$$

Dans l'équation (2.26),  $AMD$  (*Arithmetic Mean Distance*) représente la distance arithmétique moyenne entre  $p$  points indicés  $i$  d'un segment numéroté  $N(\alpha)$  :

$$AMD = \frac{1}{p} \left[ \sum_{i=1}^p d_i \right]. \quad (2.29)$$

### 2.4.2 Inductance mutuelle

L'inductance mutuelle est calculée entre deux segments parallèles. Elle est à valeur positive pour des courants circulant dans le même sens et négative dans le cas contraire. La somme des inductances mutuelles ainsi calculées (positives et négatives), donne la valeur de l'inductance mutuelle totale. Soit  $M_{i,j}$ , l'inductance mutuelle entre deux segments parallèles  $i$  et  $j$ :

$$M_{i,j} = 0.002l_i \cdot Q_i, \quad (2.30)$$

$$2M_{i,j} = (M_{m+p} + M_{m+p}) - (M_p + M_q), \quad (2.31)$$

$$M_{m+p} = 2(m+p)Q_{m+p}, \quad (2.32)$$

avec,

$$Q_i = \ln \left( \frac{l_i}{GMD_i} \left[ 1 + \left( \frac{l_i}{GMD_i} \right)^2 \right]^{0.5} \right) - \left[ 1 + \left( \frac{l_i}{GMD_i} \right)^2 \right]^{0.5} + \frac{GMD_i}{l_i}, \quad (2.33)$$

où  $GMD$  représente ici la distance géométrique moyenne (*Geometric Mean distance*) entre  $p$  points indicés  $i$  d'un segment numéroté  $N(\alpha)$ , et les  $q$  points indicés  $j$  d'un segment numéroté  $N(\beta)$ :

$$\ln(GMD) = \frac{1}{pq} = \left[ \sum_{i=1}^p \sum_{j=1}^q \ln(d_{i,j}) \right]. \quad (2.34)$$

Dans (2.34),  $d_{i,j}$  représente la distance entre indicés  $i$  d'un segment numéroté  $N(\alpha)$  et  $q$  points indicés  $j$  d'un segment numéroté  $N(\beta)$ . Dans l'équation (2.33),  $AMD$  représente la

distance arithmétique moyenne entre  $p$  points indicés  $i$  d'un segment numéroté  $N(\alpha)$ , et les  $q$  points indicés  $j$  d'un segment numéroté  $N(\beta)$ :

$$AMD = \frac{1}{pq} \left[ \sum_{i=1}^p \sum_{j=1}^q d_{i,j} \right]. \quad (2.35)$$

Prendre note qu'entre deux segments de spires parallèles la valeur de l' $AMD$  est  $w + t$ .

### 2.4.3 Inductance Totale

Partant des équations précédentes nous pouvons écrire que l'inductance totale peut s'écrire par

$$M_{gen,i,j} = \begin{bmatrix} L_1 & M_{1,2} & \cdot & M_{1,(n-1)} & M_{1,n} \\ M_{2,1} & L_2 & \cdot & M_{2,(n-1)} & M_{2,n} \\ \dots & \dots & \dots & \dots & \dots \\ M_{1,(n-1)} & M_{2,(n-1)} & \cdot & L_{n-1} & M_{n,(n-1)} \\ M_{1,n} & M_{2,n} & \cdot & M_{n,(n-1)} & L_n \end{bmatrix}, \quad (2.36)$$

$$L_T = \sum_{i=1}^n L_i + \sum_i \sum_{j=1, j \neq i}^n M_{i,j}. \quad (2.37)$$

Toutefois, on souligne que ce modèle de calcul de l'inductance ne tient pas compte des effets de substrat mais suffisant pour obtenir les informations nécessaires au projet.

## 2.5 Influence des paramètres géométriques sur l'inductance

L'objectif dans cette section est d'étudier l'influence des différents paramètres géométriques sur la valeur de l'inductance, du facteur de qualité et des différents paramètres électriques. Cette étude porte sur l'optimisation, à surface constante ( $d_{ou}^2$ ), des propriétés électrique de l'inductance.

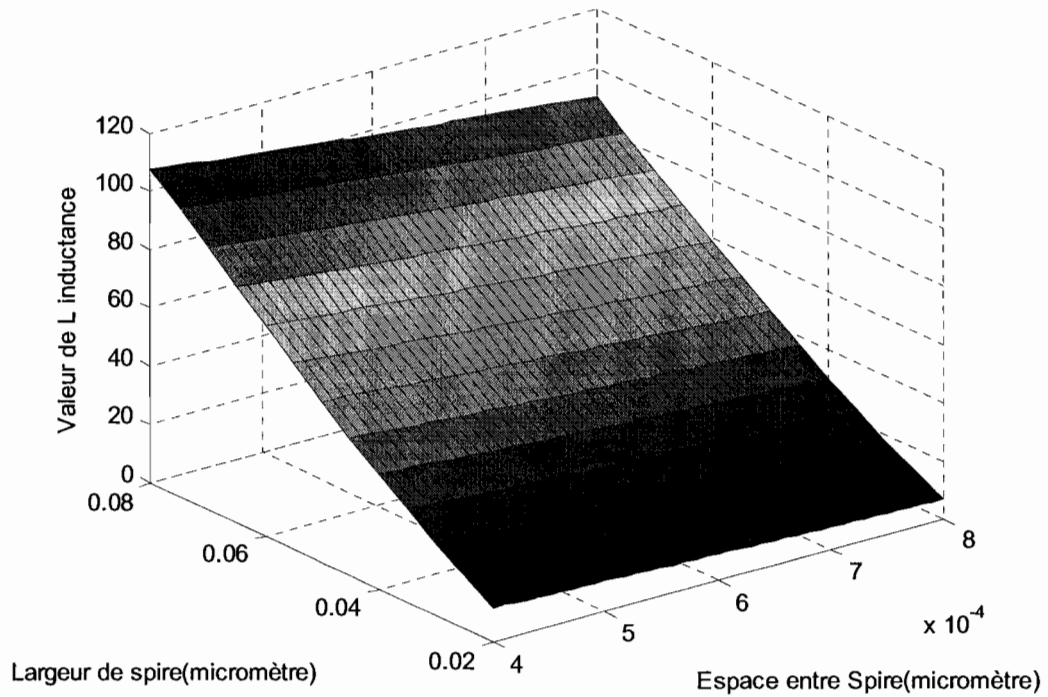


Figure 2.10 : Variation de l'inductance en fonction de  $l$  et  $s$

### 2.5.1 Conditions de simulations

Les simulations effectuées à travers cette section considère l'utilisation d'un substrat de résistivité de  $12 \Omega.cm$  et d'une épaisseur d'oxyde de  $9.7 \mu m$ . L'épaisseur de métallisation de l'ordre  $1 \mu m$  est considérée constante et de conductivité  $3.3 \times 10^7 S.m^{-1}$ . On considère les micro-inductances, de surface constantes ( $200 \times 200 \mu m^2$ ) et par conséquent la longueur du segment initial ( $l=200 \mu m$ ) constante, de largeur ou de trace rubans  $w$  comprise entre  $8.67 \mu m$  et  $17.33 \mu m$ , et de largeur de fente ou espacement comprise entre  $8.67 \mu m$  et  $17.33 \mu m$ .

Dans les simulations qui suivent, nous varions la largeur de spire entre  $0.02 \mu m$  et  $0.08 \mu m$  et l'espacement entre spire de  $4 \mu m$  et  $8 \mu m$ .

Pour l'obtention des résultats de simulations, nous avons utilisé Matlab® de Mathworks™ et plus particulièrement le Toolbox Optimization®.



### 2.5.2 Influence de la largeur de spire et de l'espacement sur l'inductance

Nous observons de la Figure 2.10, la valeur de l'inductance. nous constatons que quand  $l$  augmente la valeur de l'inductance  $L$  augmente aussi, quelque soit la valeur de  $s$ . Par contre la variation de  $s$ , influence peu la valeur de l'inductance.

### 2.5.3 Influence de la largeur de spire et de l'espacement sur le facteur de qualité

Nous observons sur la figure 2.11 l'évolution du facteur de qualité l'inductance. Nous pouvons dire que le facteur de qualité croît rapidement quand  $s$  augmente et varie peu.

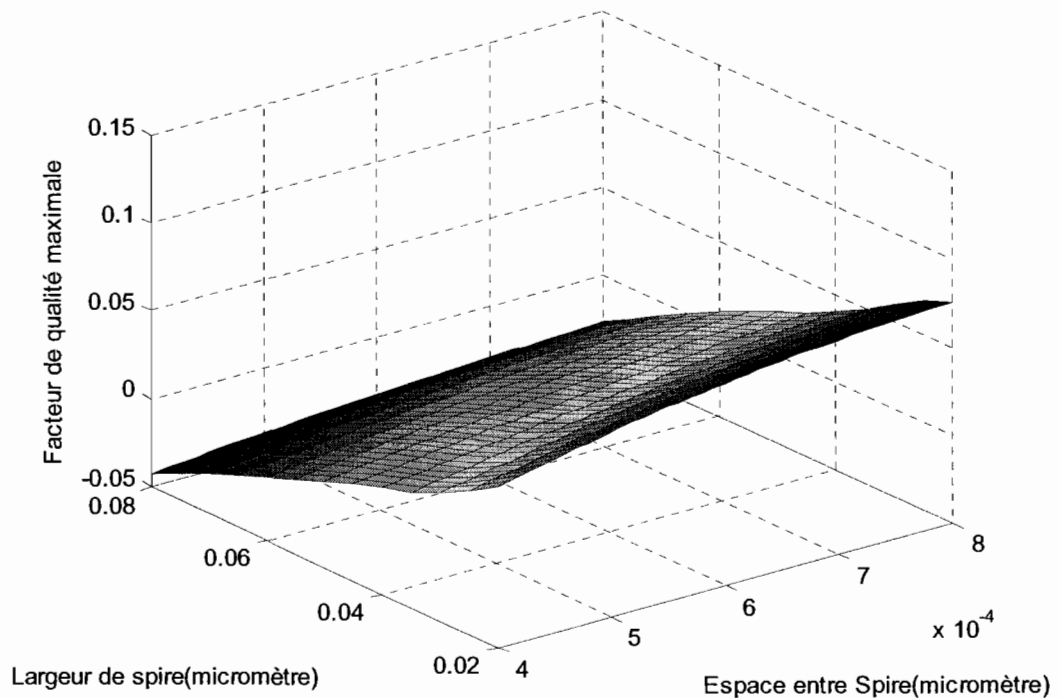


Figure 2.11 : Variation du facteur de qualité en fonction de  $l$  et  $s$

#### 2.5.4 Variation du facteur de qualité autour de fréquence de résonance

Nous observons de la Figure 2.12, l'évolution du facteur de qualité autour de la fréquence de fonctionnement ou fréquence de résonance 2.4 GHz. Le facteur de qualité à cette fréquence croît rapidement quand  $s$  augmente et que  $l$  tend vers ses valeurs minimales.

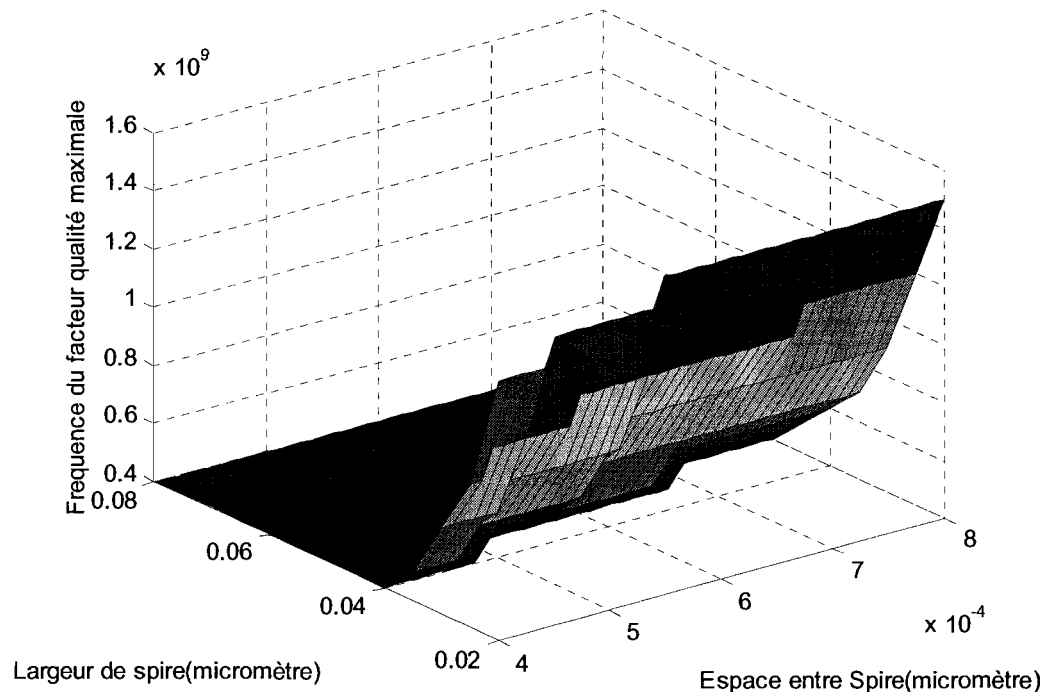


Figure 2.12 : Variation du facteur de qualité autour de fréquence de résonance

#### 2.5.5 Évolution de la fréquence du facteur de qualité

Avec une largeur de spire variant entre  $0.02 \mu\text{m}$  et  $0.08 \mu\text{m}$  d'une part et l'espacement entre spire qui variant entre  $4 \mu\text{m}$  et  $8 \mu\text{m}$ , nous observons sur la Figure 2.13 l'influence de  $l$  et  $s$  sur une fréquence de fonctionnement que nous nommons, fréquence maximale. Cette fréquence en effet, fluctue avec la variation de  $l$  et  $s$  et atteint son minimum quand ces deux paramètres sont à leur valeur maximum.

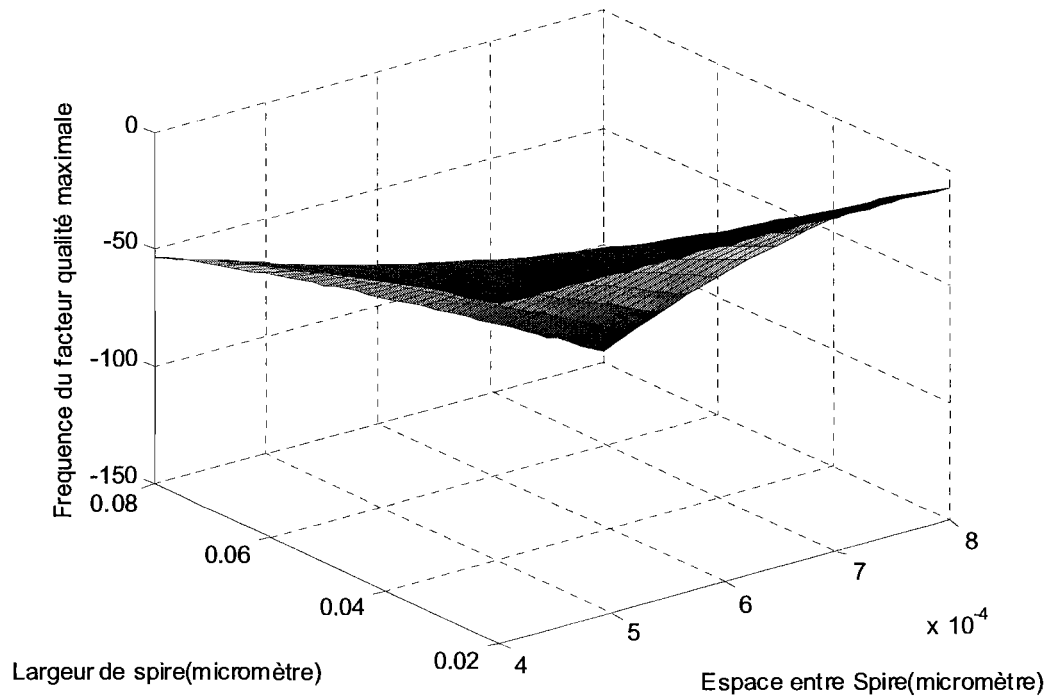


Figure 2.13 : Influence de la fréquence sur le facteur de qualité

## 2.6 Conclusion

L'étude effectuée dans ce chapitre a permis d'apprécier et de comprendre l'influence de l'ensemble des paramètres géométriques, sur les performances des micro-inductances planaires. En outre, sur la base d'une surface constante ( $d_{out}^2$ ) liée aux contraintes technologiques, nous avons réalisé l'optimisation d'une micro-inductance basée prioritairement sur l'observation du facteur de qualité  $Q$ . De plus, nous avons pu montrer comment, à partir de l'effet de la surface sur le facteur de qualité et les paramètres électriques, nous avons réalisées l'optimisation du modèle électrique satisfaisant le mieux aux contraintes technologiques en vue de son intégration dans le LNA (voir 3.4 Modélisation d'un amplificateur de faible bruit). La principale conclusion à cette étude est

que les performances des inductances micro machinées peuvent être optimisées en prenant le soin de limiter tous les facteurs qui vont à l'encontre d'un facteur de qualité élevé.

## Chapitre 3 - Amplificateur de faible bruit

Une fois de plus, poussé par la forte sollicitation du marché des télécommunications sans fil et conforté par les progrès technologiques réalisés en matière de conception, de fabrication et d'intégration (à très grande échelle) des circuits en technologie CMOS, il nous est permis d'envisager avec un réel espoir, l'intégration d'un amplificateur de faible bruit (*Low Noise Amplifier-LNA*). Et de répondre de ce fait, aux problèmes de réduction de taille du composant, de réduction de consommation énergétique, d'amélioration des performances, de fiabilité des composants et de réduction de coûts.

À cet effet, les travaux menés dans ce chapitre visent à la conception d'une topologie de LNA dédiée à la téléphonie mobile de 3ème et de 4ème génération (3G et 4G), notamment CDMA et le WCDMA/UMTS donnant lieu à une meilleur gestion et allocation des fréquences tant dans le temps que dans l'espace.

Appelé à satisfaire à des exigences de performances élevées, donc une large fréquence des opérations de 5 MHz autour 2.4 GHz, une figure de bruit (*Noise Figure – NF*) inférieur à 1.8 dB et idéalement très proche de 1dB, un coefficient de linéarité (*Third-Order Intercept Point – IP3*) se rapprochant de 0 dB, un gain en tension (G) supérieur à 15dB, une consommation de moins de 20mA sous 1.5V et une adaptation d'impédance telle que, l'impédance du circuit vue de l'entrée ou de la sortie présente soit de  $50\Omega$  en entrées comme en sorties.

Par ailleurs, on assume que la chaîne de réception est à conversion directe (homodyne) car elle présente, comparativement aux chaînes hétérodyne et superhétérodyne, l'intérêt d'une intégration à grande échelle et une possibilité d'implémentation multistandard [22, 23].

Toutefois, on rappelle qu'un LNA est un dispositif électronique dont la fonction première est d'augmenter les faibles valeurs des signaux en provenance d'une antenne (émetteur-récepteur), tout en rajoutant le moins de bruit possible. Du fait de sa fonction et de sa position, au début de la chaîne de réception (voir figure 3.1), il joue un rôle capital dont les performances sont cruciales pour toute la chaîne. D'autant cruciales que, comme le démontre la formule de Friis (voir figure 3.2)

$$F_{tot} = F_1 + \sum_{i=1}^n \frac{F_{i+1} - 1}{\prod_{k=1}^i (G_k)} = F_1 + \frac{F_1 - 1}{G_1} + \frac{F_2 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_n} \quad (3.1)$$

les caractéristiques en bruit et en gain du premier étage (LNA) de la chaîne de réception, conditionnent très fortement les performances de cette dernière. D'où la Nécessité d'une attention particulière portée au LNA.

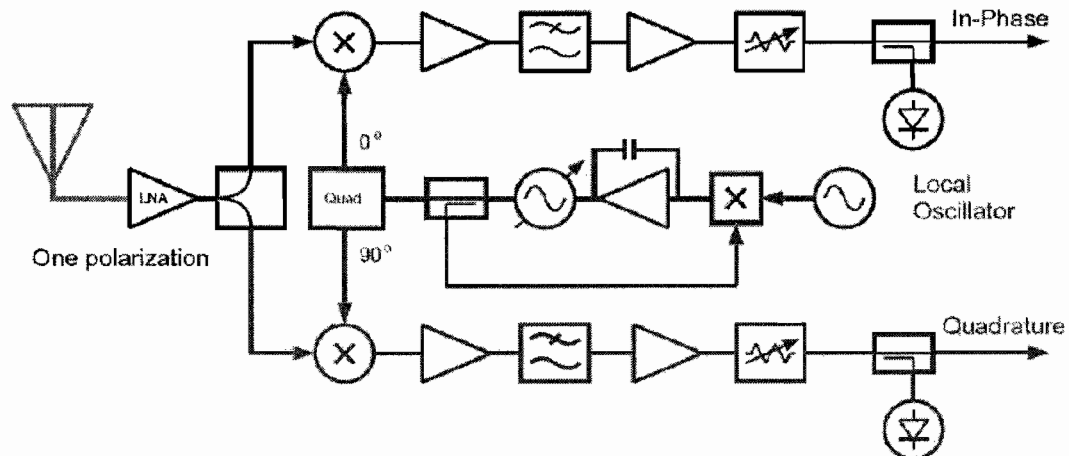


Figure 3.1: Chaîne homodyne d'un émetteur-récepteur.

Très souvent constitué d'un ou plusieurs étages transistors, les LNA obéissent à des règles de conception strictes donc les caractéristiques essentielles sont : la figure de bruit, le gain en puissance, et l'adaptation d'impédance dont dépend les deux précédentes [24, 25]. En outre, aux cotés de ces dernières cohabitent la consommation en puissance ainsi que la linéarité. Aussi la question du coût demeure un critère de choix capital.

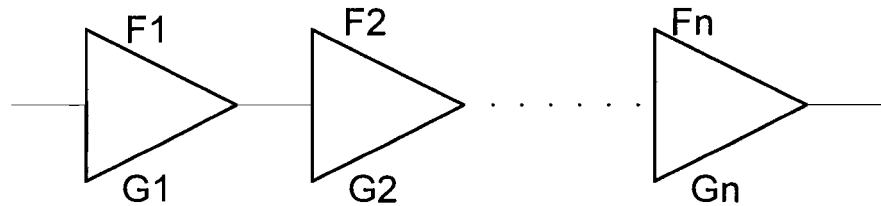


Figure 3.2 : Étages en cascades d'un récepteur

Ainsi, afin de cerner les grandes lignes qui concourent à la conception d'un LNA et ses caractéristiques essentielles, on fait dans un premier temps une présentation sommaire de ces dernières. Ensuite, on passe en revue les différentes topologies de LNA rencontrées dans la littérature en mettant en évidence les avantages des unes par rapport aux autres.

### 3.1 Caractéristiques d'un LNA

L'étude des principes de base pour la conception d'un LNA est une étape fondamentale pour la compréhension de l'architecture d'un LNA. À ce titre, la mise en exergue de ses caractéristiques essentielles donc :

- Le gain : il est le rapport entre la puissance de sortie et d'entrée. Un gain élevé est souhaité voir essentiel pour le LNA, premier étage de la chaîne (voir figure 3.1), afin de s'affranchir du bruit des étages suivant tel que le démontre la formule de Friis (3.1) .

- Le bruit : il est caractérisé par la figure de bruit (*Noise Figure – NF*) qui représente la dégradation du rapport signal/bruit (*Signal Noise Ratio – SNR*) entre l'entrée et la sortie du LNA. Généralement exprimé en dB, le *NF* est égal à:

$$NF = 10 \log_{10} F \text{ avec } F = \frac{SNR_{\text{entrée}}}{SNR_{\text{sortie}}} = \frac{S_e/B_e}{S_s/B_s} = \frac{S_e}{S_s} \quad (3.2)$$

- La bande passante : elle caractérise la gamme ou la plage en fréquence, de fonctionnement adéquat du LNA. Plus elle est large, plus elle permet le transfert d'un maximum de puissance. Ce qui implique de fortes exigences au niveau de la conception du LNA, mais aussi de la chaîne de réception. Idéalement, elle nécessite une courbe de réponse en fréquence étalée dans la plage de fonctionnement. Car une fréquence centrale élevée implique plus de pertes en propagation du signal.
- L'adaptation d'impédance: par similitude à un dioptre plan en optique, le passage entre deux milieux d'impédances différentes, telle la traversée entre deux milieux d'indices distincts entraîne une perturbation du signal à travers des réflexions et réfractions et par conséquent de la dégradation du gain. Afin de minimiser ce phénomène, il est nécessaire d'établir une interface de transition nommée adaptation d'impédance en entrée et en sortie. Elle est d'autant plus délicate à réaliser que la bande passante à amplifier est grande.
- La linéarité : le signal de sortie étant une réplique du signal d'entrée suivant un facteur appelé gain, dont la courbe présente une zone linéaire et une zone de saturation. Ce gain constant dans la zone de linéarité chute pour rentrer dans la zone de saturation. Le point où cette chute est de 1dB, est appelé «point de compression à 1dB», ce dernier est une



des caractéristiques de linéarité du LNA. Parmi lesquelles (caractéristiques), le point d'interceptions d'ordre 3 (*Third-Order Intercept Point – IP3*), qui est exploité pour déterminer le nombre de signaux possibles respectant un niveau donné. En bref, la principale conséquence d'une mauvaise linéarité est qu'elle dégrade le signal et entraîne des interférences quand il y en a plusieurs.

- La dynamique (*Dynamique Range – DR*) : elle caractérise la plage du signal pouvant être exploitée avec une qualité satisfaisante. Exprimée en dB, elle est la différence en valeur absolue entre la puissance maximale et la puissance minimale du signal. Elle est limitée vers le haut par la saturation et vers le bas par le bruit.

Ces différentes caractéristiques, tout au long de ce chapitre, serviront de balises à la conception du LNA en vue de satisfaire aux contraintes, de performances technologiques, fixées plus haut. De ce fait, elles s'établissent comme le baromètre des objectifs fixés.

Toutefois, on sera amené à faire des compromis principalement entre l'adaptation d'impédance et les performances en bruit, tout en gardant un œil sur la consommation.

### **3.2 Architecture des LNA**

Dans la littérature, on rencontre différentes architectures de LNA dédiés aux radios fréquences. Et comme soulignés plus haut, elles se caractérisent essentiellement par leur gain, leur figure de bruit et leur consommation en puissance, dont la figure de bruit et la consommation sont elles-mêmes tributaires de l'adaptation d'impédance entrée/sortie. Parmi ces architectures on en rencontre de très performantes [26-29], mais elles intègrent un trop grand nombre de composants entraînant une intégration faible et une forte consommation en puissance, sans oublier un coût élevé de l'ensemble.

Toutefois dans la conception d'un LNA large bande et faible bruit nous garderons en ligne de mire les éléments critiques de la Figure 3.3. Partant de ce fait, et des exigences fixées en début de ce chapitre, et aussi sur la base des architectures existantes dont nous soulignons les avantages et inconvénients de chacune. Nous bâtissons une architecture à même de satisfaire aux exigences fixées. Afin de mener à bien cette tâche, on s'emploie à trouver le meilleur compromis entre la figure de bruit et gain tant les deux sont inversement corrélés.

### 3.2.1 Architectures d'un LNA à terminaison résistives

L'objectif étant une adaptation d'impédance de  $50\Omega$  en entrée en vue de minimiser la figure de bruit, on est tenté de placer comme dans la figure 3.4 une résistance de  $50\Omega$  à l'entrée de l'étage LNA tel que  $Z_{in} = R_s$ . Seulement, la résistance  $R_s$  est une source de bruit thermal qui de plus atténue le gain d'entrée d'un rapport de 2. La combinaison de ces deux effets produit un facteur de bruit

$$F \geq 2 + \frac{4\gamma}{\alpha} \frac{1}{g_{m1}} \quad (3.3)$$

avec une figure de bruit  $NF \geq 6dB$  très loin des pré-requis du LNA, donc inacceptable. Dans (3.3),  $g_{do}$  est la conductance drain-source quand la tension  $V_{DS} = 0$ . Et  $V_{DS}$  est la tension entre le drain et la source;  $\gamma$  est un paramètre du MOSFET qui est égal à 1 pour  $V_{DS} = 0$ ;

$\alpha = \frac{g_m}{g_{do}}$  comme  $\gamma$  est un paramètre du MOSFET qui décroît avec la longueur du canal.

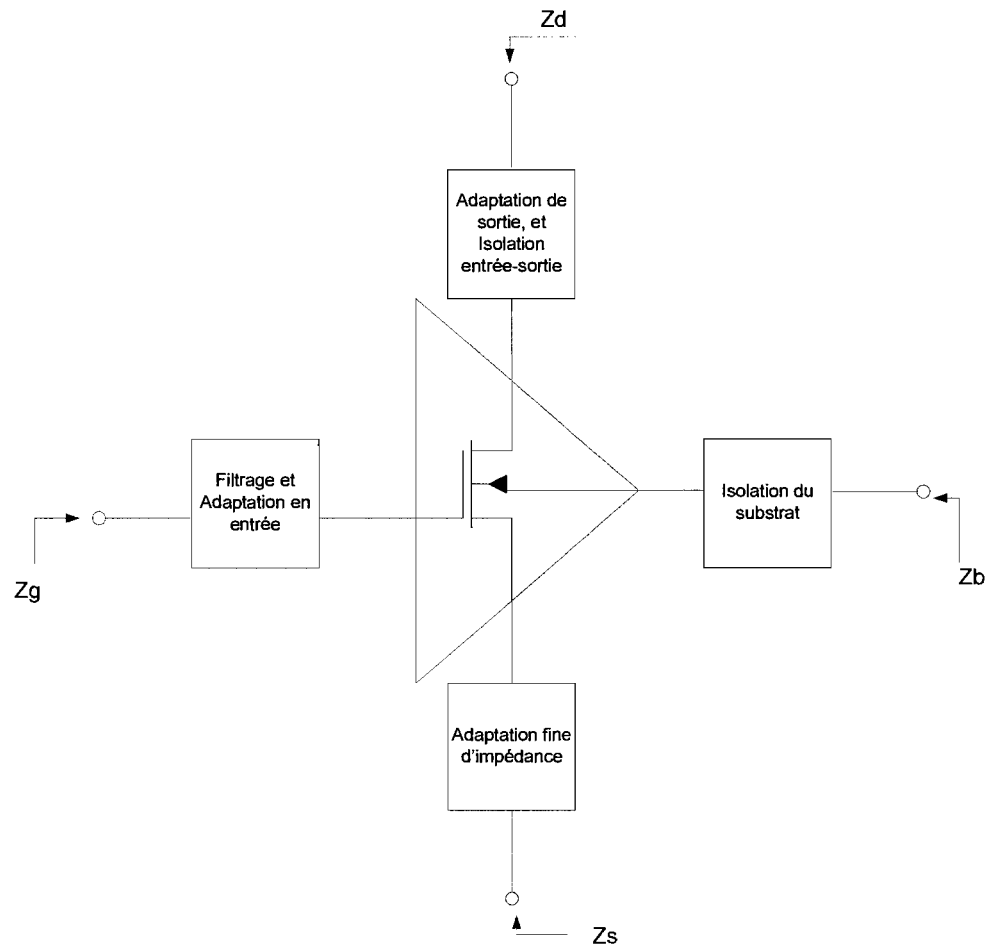


Figure 3.3 : Éléments critiques d'un LNA

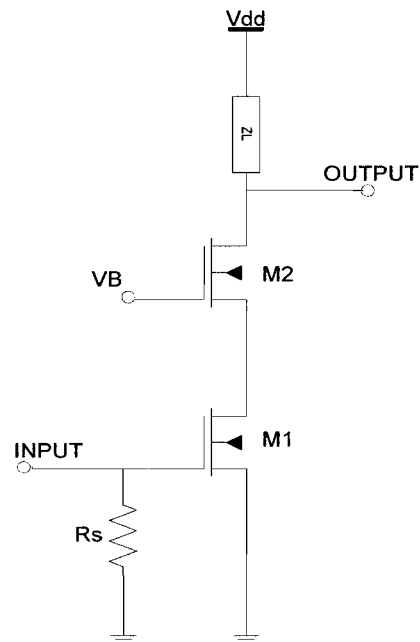


Figure 3.4 : LNA à terminaison résistive

### 3.2.2 Architecture d'un LNA à résistance série de shunt

Comme le LNA à terminaison résistive, celui à résistance de shunt (voir figure 3.5), il présente une impédance résistive exprimé par  $Z_{in} \approx \frac{R_F}{1 + \frac{R_L}{R_1}}$ .

Quoiqu'il n'atténue pas la puissance du signal avant l'amplification, la résistance de contre-réaction se comporte également comme une source de bruit thermal, et de plus ne réalise pas une adaptation d'impédance optimale. La conséquence est qu'on demeure avec un facteur de bruit peu satisfaisant.

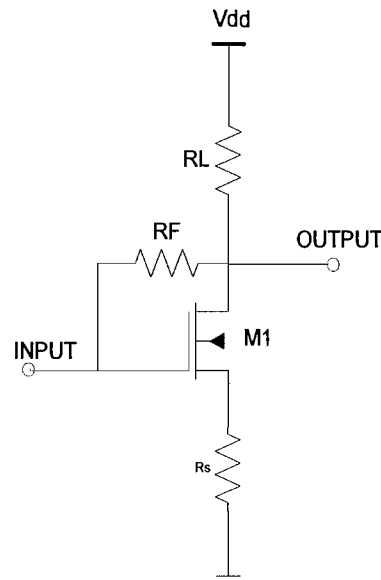


Figure 3.5 : LNA à résistance série de contre-réaction

### 3.2.3 Architecture d'un LNA à grille commune

Contrairement aux deux architectures précédentes, l'architecture d'un LNA à grille commune (voir figure 3.6) se distingue premièrement par une impédance d'entrée  $Z_{in} = \frac{1}{g_m}$

non résistive, d'où l'absence d'une source de bruit thermal. Et par conséquent un facteur de bruit  $F \geq 1 + \frac{\gamma}{\alpha}$  et peut atteindre un  $NF \geq 4.8dB$  pour une MOSFET à canal long.

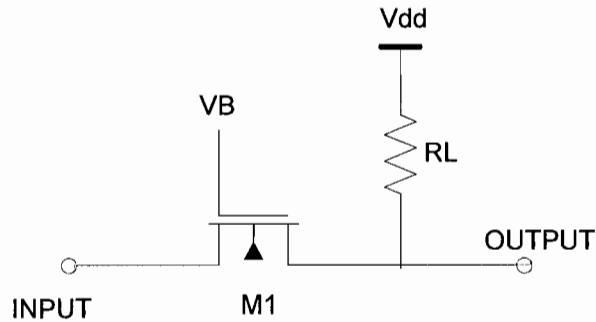


Figure 3.6 : LNA à Grille commune

#### 3.2.4 Architecture d'un LNA à Source inductive dégénérative

L'enjeu demeure la réalisation à l'entrée d'une adaptation d'impédance, qui se veut résistive, sans générer une source de bruit thermal. L'architecture d'un LNA à source inductive dégénérative tel que présenté à la figure 3.7 est porteuse de nombre promesses, et l'analyse sur la modélisation du bruit effectuée, plus bas, nous conforte dans cette pensée.

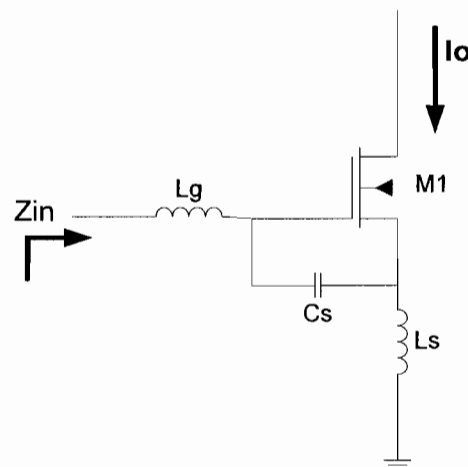


Figure 3.7 : LNA à Source dégénérative

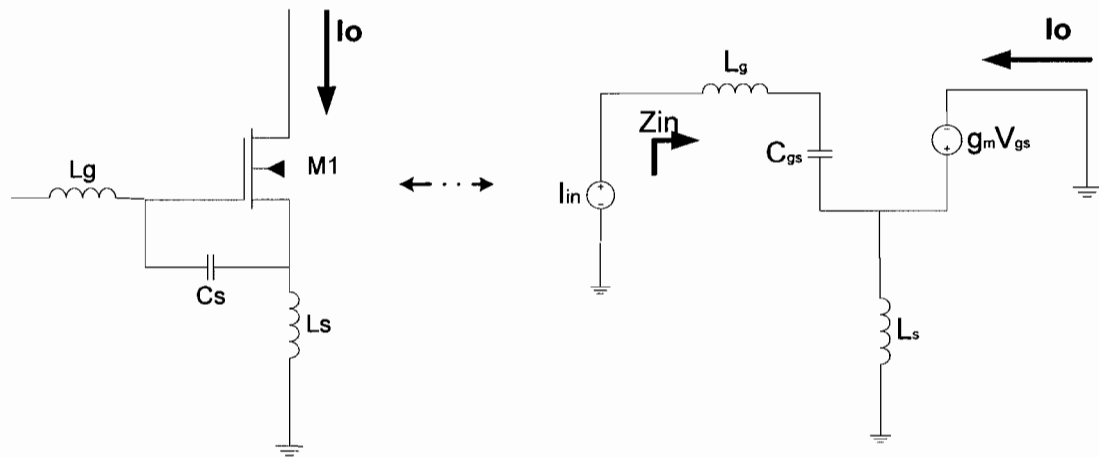


Figure 3.8 : LNA Modèle équivalent petits signaux

On a :

$$V_{in} = \left[ s(L_g + L_s) + \frac{1}{sC_{gs}} \right] I_{in} + I_o s L_s, \quad (3.4)$$

$$I_o = g_m V_{gs} = I_{in} \times \frac{1}{sC_{gs}} g_m = \frac{g_m}{sC_{gs}} I_{in}. \quad (3.5)$$

Suite à (3.3) et (3.4) on écrit :

$$Z_{in}(j\omega) = j \left[ (L_g + L_s)\omega - \frac{1}{\omega C_{gs}} \right] + \frac{g_m L_s}{C_{gs}}, \quad (3.6)$$

$$Z_{in}(j\omega) = j \left[ (L_g + L_s)\omega - \frac{1}{\omega C_{gs}} \right] + \frac{g_m L_s}{C_{gs}}. \quad (3.7)$$

Soit  $R_s$ , la résistance de la source d'entrée. Ainsi, afin de réaliser l'adaptation d'impédance en entrée, il faut que  $Z_{in}(j\omega) = R_s$ . Ce qui implique :

$$(L_g + L_s)\omega_o = \frac{1}{\omega_o C_{gs}} \Leftrightarrow \omega_o^2 = \frac{1}{(L_g + L_s)C_{gs}} \quad (3.8)$$

et

$$R_s = \frac{g_m L_s}{C_{gs}}, \quad (3.9)$$

d'où d'après (3.7) 
$$L_G = \frac{1}{\omega_o^2 C_{gs}} - L_s. \quad (3.10)$$

À l'intérieur des architectures à source dégénérative, on retrouve différentes variantes. Mais pour ce qui est de notre étude, nous nous intéressons essentiellement aux architectures à large bande présentant en entrée un filtre de Tchebychev qui assure une réponse plate dans la bande de fréquence appropriée et optimisé pour atteindre une faible perte d'insertion et une faible figure de bruit (NF).

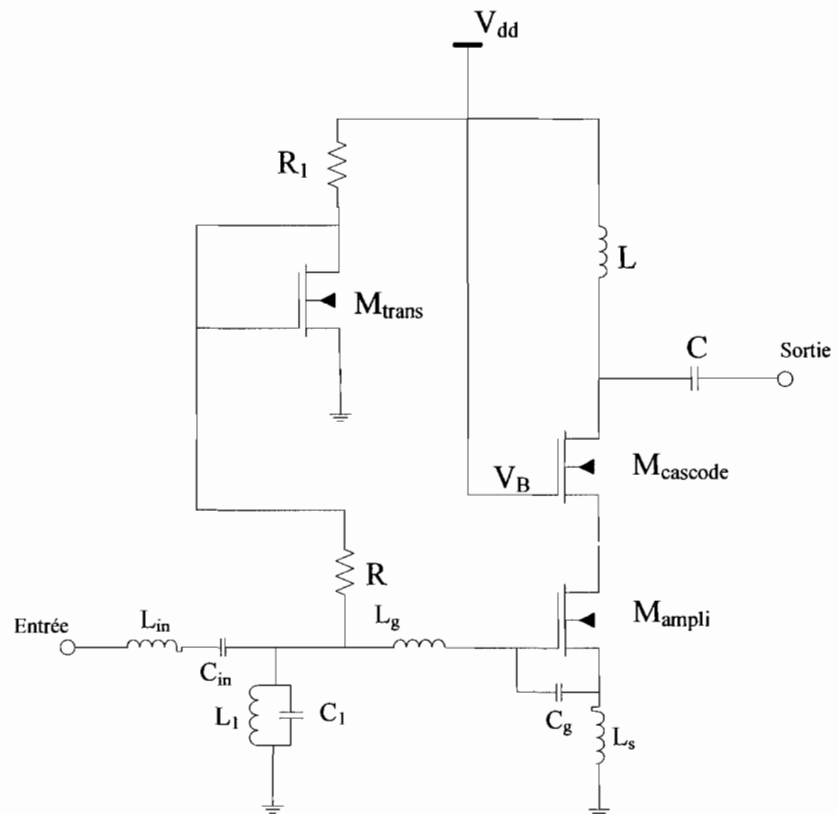


Figure 3.9 : LNA à source commune et inductance dégénérative à Large Bande

Notre architecture en plus du filtre de Tchebychev, présente trois étages d'amplifications dont, le premier étage doit être optimisé vis-à-vis du bruit et dans une moindre mesure le gain, le second vis-à-vis de l'isolation entre la sortie et l'entrée, et le troisième vis-à-vis de la linéarité.

Réalisé sur MEMS Pro®, cette architecture du LNA de la figure 3.9(LNA à source commune et inductance dégénérative) est présentée sur la figure 3.10, outils sur lequel nous réalisons l'étude comportementale.

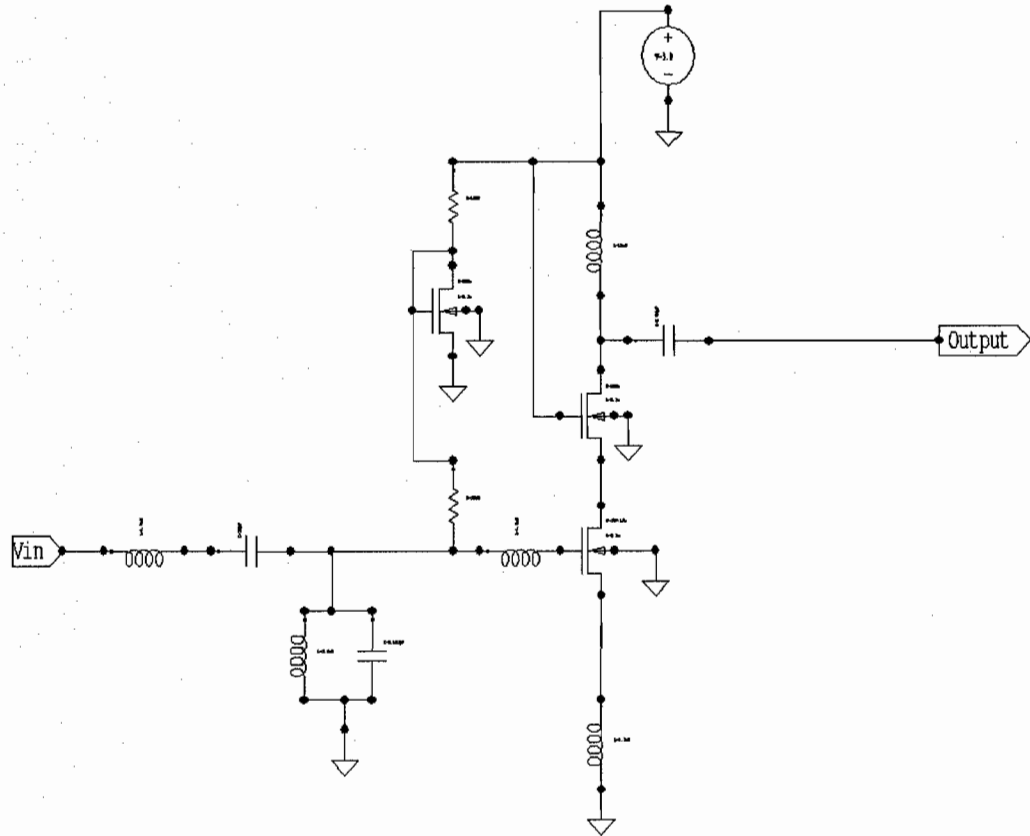


Figure 3.10 : LNA à source commune et inductance dégénérative à Large Bande

Ainsi cette architecture comprend en entrée un filtre de Tchebychev, qui peut être vue comme deux circuits LC réalisant un filtre passe-bande dont les résultats de simulations sont présentés aux figures 3.13 à 3.17, et permettant d'obtenir une adaptation sur 50 Ohms à la résonance. À titre de rappel, dans notre problématique, il est question d'obtenir une adaptation sur une large bande autour de 2.4GHz.

En vue d'effectuer une bonne isolation entre l'entrée et la sortie, l'étage cascode garanti une isolation de qualité entre l'entrée et la sortie.



Afin de garantir une bonne adaptation en sortie, et d'augmenter le gain sans une transconductance trop élevée, l'étage «Trans» est dimensionné pour mettre en forme le gain du montage et d'obtenir une résonance avec un facteur de qualité acceptable.

### 3.3 Analyse d'un amplificateur de faible bruit idéal

L'analyse du LNA dans cette section vise à la compréhension et la mise en évidence des critères d'obtention d'un LNA idéal. Cette analyse, s'appuie dans un premier temps sur une étude théorique des différents montages avec transistors réalisant des circuits simples. Elle vise ainsi, des objectifs tels qu'une adaptation stable d'impédance (de  $50\Omega$ ) en entrées et en sorties et une minimisation du facteur de bruit  $F$ .

#### 3.3.1 Adaptation d'impédance en entrée

Le passage entre la source et l'entrée effective du LNA correspond en comparaison à l'optique, à la transition entre deux milieux d'indices distincts l'entrée, impliquant des réflexions susceptibles de dégrader le signal et par conséquent le gain. Ainsi, la réalisation d'une interface nommée adaptation est une tâche d'autant plus délicate que la largeur de la bande est grande.

Pour ce faite nous nous appuyons sur les calculs qui découlent des équations (3.4) à (3.10) de la Figure 3.8. Ainsi, on obtient :

$$Z_{in} = s(L_g + L_s) + \frac{1 + g_m R_{L_s}}{s \cdot C_{gs}} + R_{L_s} + R_{L_g} + \frac{g_m}{C_{gs}} L_s, \quad (3.11)$$

où,  $R_{L_s}$  et  $R_{L_g}$  représentent les résistances parasites séries des inductances  $L_s$  et  $L_g$ ,  $g_m$  et  $C_{gs}$  la transconductance et la capacité grille-source du transistor 1.

Les conditions d'adaptations en puissance, à la résonance :

$$R_{L_s} + R_{L_s} + \frac{g_m}{C_{gs}} L_s = 50\Omega. \quad (3.12)$$

### 3.3.2 Modélisation du bruit

On présente dans cette partie la contribution des éléments parasites dans un LNA à inductance dégénérative. D'après la généralisation du théorème de Thévenin, il est possible de modéliser tout système par un quadripôle non bruyant auquel on associe deux sources de bruit. Ces sources de bruit peuvent être placées de part et d'autre du quadripôle ou à l'une des extrémités telles que sur la figure 3.11 . Cette dernière modélisation présente l'avantage de faciliter la comparaison entre le bruit dû au quadripôle et celui dû à la source en entrée.

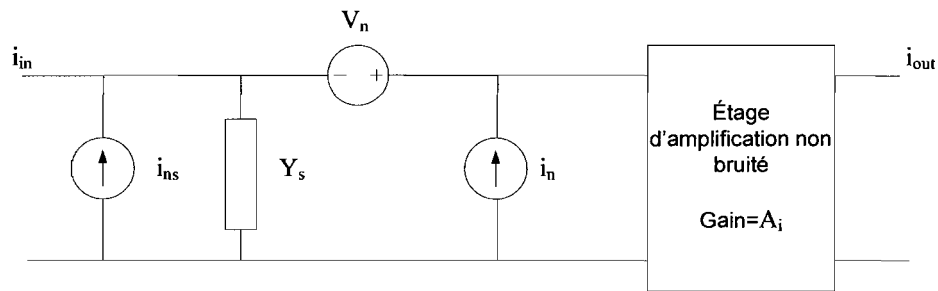


Figure 3.11 : Modélisation des sources bruits dans un étage d'amplification

Nous avons par définition:

$$F = \frac{SNR_{sortie}}{SNR_{entrée}}, \quad (3.13)$$

$$NF(dB) = 10 \log F, \quad (3.14)$$

où

$$SNR_{entrée} = \frac{N_{LNA,entrée}}{N_{source}}, \quad (3.15)$$

$$SNR_{sortie} = \frac{N_{LNA,sortie}}{N_{LNA,entrée}}, \quad (3.16)$$

avec 
$$N_{LNA,entr\acute{e}e} = i_{ns}^2, \quad (3.17)$$

$$N_{LNA,sortie} = i_{ns}^2 + \left| \frac{i_n + Y_s v_n}{i_{ns}} \right|^2. \quad (3.18)$$

Dans cette dernière équation,  $i_n$  et  $v_n$  sont partiellement corrélés tel que :

$$i_n = i_c + i_u; \quad i_c = Y_c v_c \quad \text{et} \quad v_n = v_c + v_u \quad (3.19)$$

Ce qui implique :

$$F = 1 + \frac{i_u^2 + |Y_c + Y_s|^2 v_c^2 + v_u^2 |Y_s|^2}{i_{ns}^2} = 1 + \frac{i_u^2 + |Y_c + Y_s|^2 v_n^2}{i_{ns}^2}, \quad (3.20)$$

$$F = 1 + \frac{\frac{i_n^2}{4kTB} + |Y_c + Y_s|^2 \frac{v_c^2}{4kTB} + \frac{v_u^2}{4kTB} |Y_s|^2}{\frac{i_{ns}^2}{4kTB}}, \quad (3.21)$$

$$F = 1 + \frac{G_u + |Y_c + Y_s|^2 R_c + R_u |Y_s|^2}{G_s} = 1 + \frac{G_u + |Y_c + Y_s|^2 R_n}{G_s}. \quad (3.22)$$

Tel que  $G_u = \frac{i_n^2}{4kTB}$ ,  $R_u = \frac{v_u^2}{4kTB}$ ,  $G_{ns} = \frac{i_{ns}^2}{4kTB}$ ,  $R_c = \frac{v_c^2}{4kTB}$ , et  $R_n = \frac{v_n^2}{4kTB}$ .

Soit  $Y_{c,s} = G_{c,s} + jB_{c,s}$ , alors

$$F = 1 + \frac{G_u + \left[ (G_c + G_s)^2 + (B_c + B_s)^2 \right] R_c + (G_s^2 + B_s^2) R_u}{G_s}. \quad (3.23)$$

Afin de déterminer la valeur de l'admittance minimisant le bruit on calcul les dérivées de

$F$  en fonction de  $G_s$  et  $B_s$  :

$$\frac{\partial F}{\partial G_s} = 0 \quad \text{et} \quad \frac{\partial F}{\partial B_s} = 0, \quad (3.24)$$

on pose

$$B_{opt} = -B_c = B_s, \quad (3.25)$$

$$G_{opt} = G_s = \sqrt{\frac{G_u}{R_n} + G_c^2}, \quad (3.26)$$

d'où

$$F_{min} = 1 + 2R_n [G_{opt} + G_c] = 1 + 2R_n \left[ \left( \frac{G_u}{R_n} + G_c \right)^{1/2} + G_c \right], \quad (3.27)$$

$$F = F_{min} + \frac{R_n}{G_s} \left[ (G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right], \quad (3.28)$$

$$F = F_{min} + \frac{R_n}{G_s} |Y_s - Y_{opt}|^2. \quad (3.29)$$

En vue de l'adaptation d'impédance  $Y_{opt}^{-1}$  rendu équivalent à  $Y_s^{-1}$ , et afin que le facteur de bruit soit minimal

$$F = 1 + \frac{R_n |Y + Y|^2 + G_u}{G_s}, \quad (3.30)$$

$$F = 1 + \frac{G + [(B_c + B_s)^2 + (G_s + G_c)^2] R_n}{G_s}. \quad (3.31)$$

Dans (3.30)  $Y = G + jB$ ,  $B_s = -B_c = B_{opt}$ , et  $G_s = \sqrt{\frac{G_u}{G_n} + G_c^2} = G_{opt}$ . (3.32)

Ainsi on obtient  $F_{min} = 1 + 2R_n [G_{opt} + G_c]$ . (3.33)

Deux sources de bruits sont prises en compte dans la modélisation du MOSFET, tels que :

$$\overline{i_{nd}^2} = 4kT \cdot \gamma \cdot g_{d0} B \quad \text{et} \quad \overline{v_{nd}^2} = \frac{4kT \cdot \gamma \cdot g_{d0} B}{g_m^2}, \quad (3.34)$$

$$\overline{i_{ng}^2} = 4kT \cdot \gamma \cdot g_g B \quad \text{et} \quad g_g = \frac{\omega^2 C_{gs}}{5g_{do}}. \quad (3.35)$$

Pour le canal long en régime saturé,  $\gamma = \frac{2}{3}$ , et le coefficient de corrélation

$$c = \frac{\overline{i_{ng} i_{nd}^*}}{\left[ \overline{i_{ng}^2 i_{nd}^2} \right]^{1/2}}, \quad (3.36)$$

avec

$$R_n = \frac{v_n^2}{4kTB} = \frac{\gamma g_{do}}{g_m^2}, \quad (3.37)$$

on obtient

$$Y_c = j\omega C_{gs} + g_m \frac{i_{ngc}}{i_{nd}} = j\omega C_{gs} + \frac{g_m}{g_{do}} c \sqrt{\frac{\delta}{5\gamma}} \cdot \omega C_{gs}, \quad (3.38)$$

$$Y_c \cong j\omega C_{gs} \left( 1 - \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) = jB_c \text{ et } G_c \approx 0, \quad (3.39)$$

$$F \approx 1 + \frac{R_{Ls}}{R_s} + \frac{R_{Lg}}{R_s} + \gamma \cdot \chi \cdot g_{do} \cdot R_s \left( \frac{\omega_0}{\omega_T} \right)^2, \quad (3.40)$$

où,  $\chi$  est une fonction des paramètres de bruit ( $\gamma, \delta$ ).

### 3.4 Résultats de simulation

#### 3.4.1 Conditions de simulations

Les travaux ont été réalisés avec l'outil MEMS Pro®, avec une technologie disponible via la CMC microsysteme<sup>1</sup> de 1.25  $\mu\text{m}$ . La longueur et la largeur du canal des transistors ainsi que de l'ensemble des éléments du circuit sont :

$$L_{in} = 1.5nH, \quad L_1 = 2.3nH, \quad L_g = 0.15nH, \quad L_s = 1.2nH, \quad L = 0.47nH, \quad C_{in} = 20pF, \quad C_1 = 0.103pF,$$

$$C_g = 0.45pF, \quad C = 0.45pF, \quad R = 2000\Omega, \quad R_1 = 1000\Omega.$$

Les transistors CMOS,  $M_{ampli}$ ,  $M_{cascode}$  et  $M_{trans}$ , ont respectivement pour largeur et longueur du canal ( $W$  et  $L$ ) : 347.19 $\mu\text{m}$  et 0.2 $\mu\text{m}$ ; 400 $\mu\text{m}$  et 0.2 $\mu\text{m}$ ; 800 $\mu\text{m}$  et 0.2 $\mu\text{m}$ .

---

<sup>1</sup> Dans le cadre de ce travail, plusieurs tentatives ont été faites afin d'utiliser une technologie de 0.18  $\mu\text{m}$  mais sans succès. Nous avons donc poursuivi nos travaux sur la technologie disponible de 1.25  $\mu\text{m}$  afin de mener à bien l'atteinte de nos objectifs.

Afin de réaliser l'extraction des paramètres S, nous avons réalisé le montage de la Figure 3.12, où l'étage «MyLNA3», renferme le montage de la Figure 3.10 (LNA à source commune et inductance dégénérative). Ce même montage est réalisé pour l'étude du filtre de Tchebychev.

#### 3.4.2 Résultats du filtre de Tchebychev

Les paramètres S ( $S_{11}$ ,  $S_{12}$ ,  $S_{21}$ ,  $S_{22}$ ), nous renseignent sur le fonctionnement général du filtre. La Figure 3.13 montre le paramètre  $S_{11}$  qui représente le coefficient de réflexion à l'entrée du filtre. Il atteint son minimum à -2dB et présente deux minimums symétrique par rapport à la fréquence de 1Ghz. Ces deux minimums locaux sont très utiles en communication «*up-load*» et «*download*», où on pourra se caller sur chacune des fréquences avec une bonne qualité de communication. Le paramètre  $S_{12}$ , montré à la figure 3.14, caractérise le coefficient de transfert sortie-entrée, qui traduit l'isolation également l'isolation sortie-entrée. Ainsi, plus faible est sa valeur, meilleur est notre isolation. La figure 3.15 présente le paramètre  $S_{21}$  qui caractérise le gain de transfert entrée-sortie. Nous rappelons que plus sa valeur est faible, plus grande est l'atténuation. Nous avons affaire à un filtre qui se caractérise plutôt par les pertes d'insertions. Pour travailler en filtre passe-bas, nous avons avantage opérer aux fréquences inférieures à la fréquence présentant les fortes atténuations (-50 dB à 1GHz), c'est-à-dire là où  $S_{21}$  présente +5dB. Le  $S_{22}$ , montré à la figure 3.16, est le coefficient de réflexion à la sortie, autour de la fréquence de résonance, il se situe très près de 0 dB. On soulignera que les extremums (minimums et maximums) des différents paramètres S du filtre viendront s'additionner à ceux du LNA. La figure 3.17 n'est autre que la synthèse des résultats.

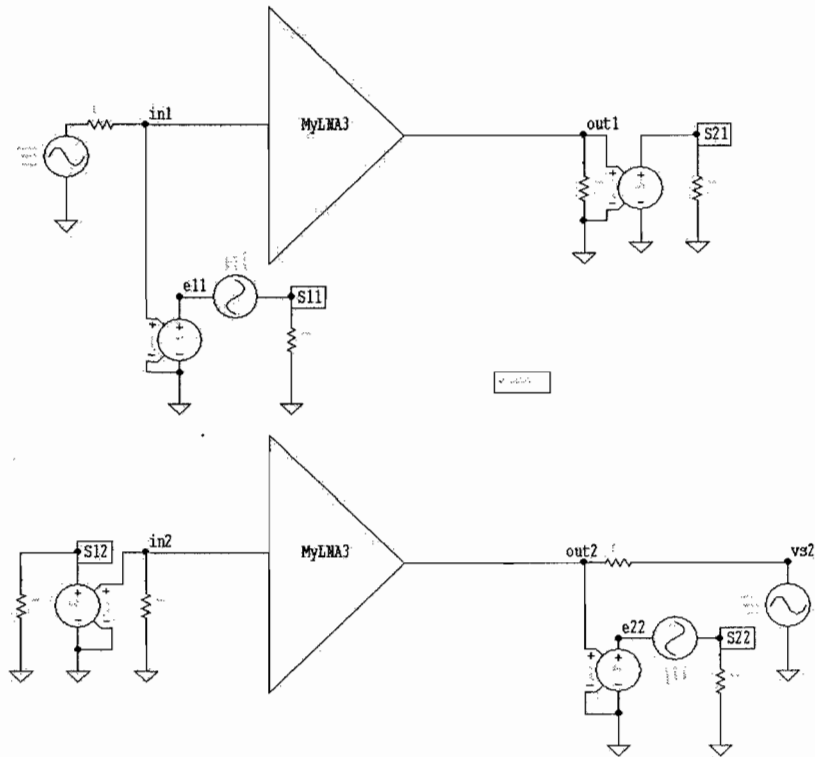
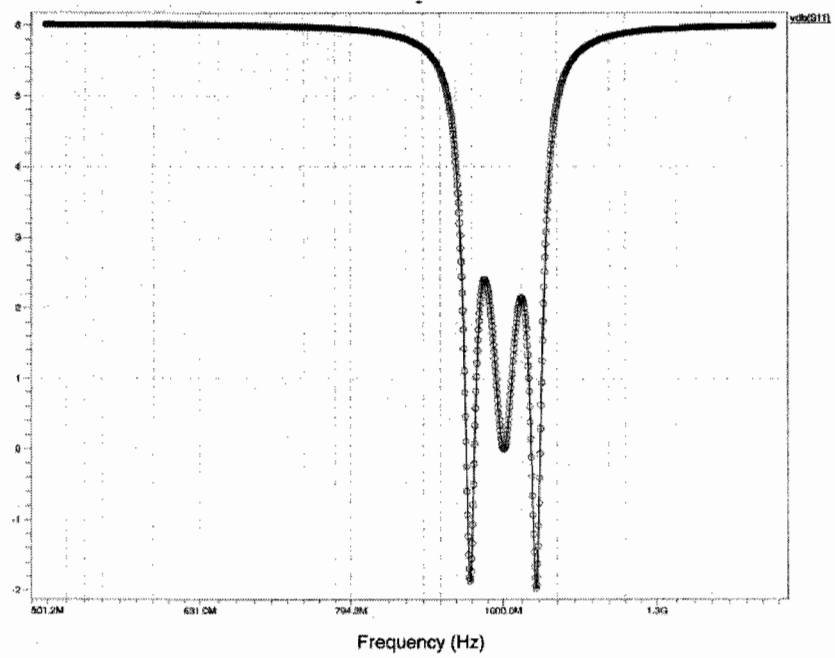
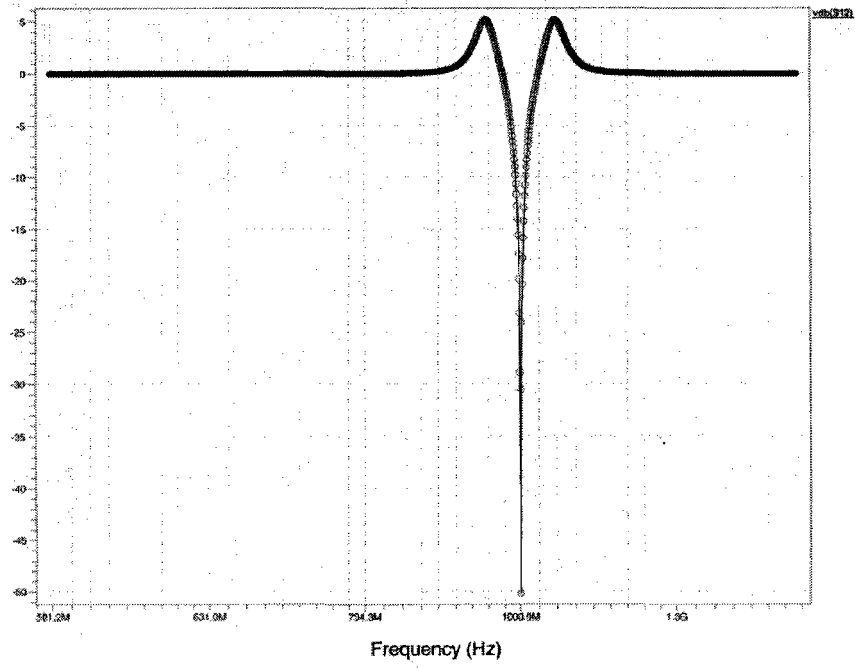
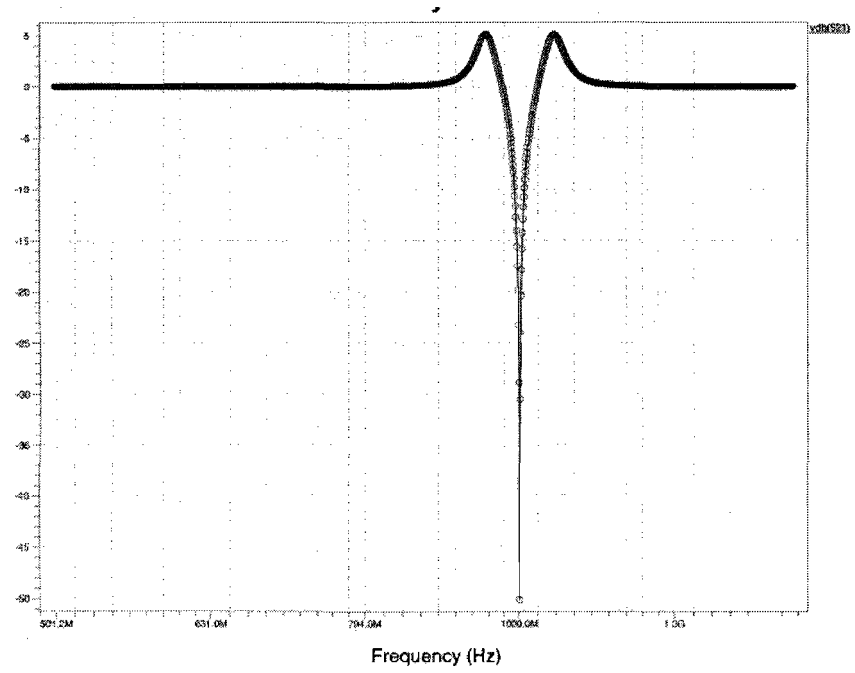


Figure 3.12 : câblage paramètres S

Figure 3.13 : Paramètre  $S_{11}$  du BPF

Figure 3.14 : Paramètre  $S_{12}$  du BPFFigure 3.15 : Paramètre  $S_{21}$  du BPF



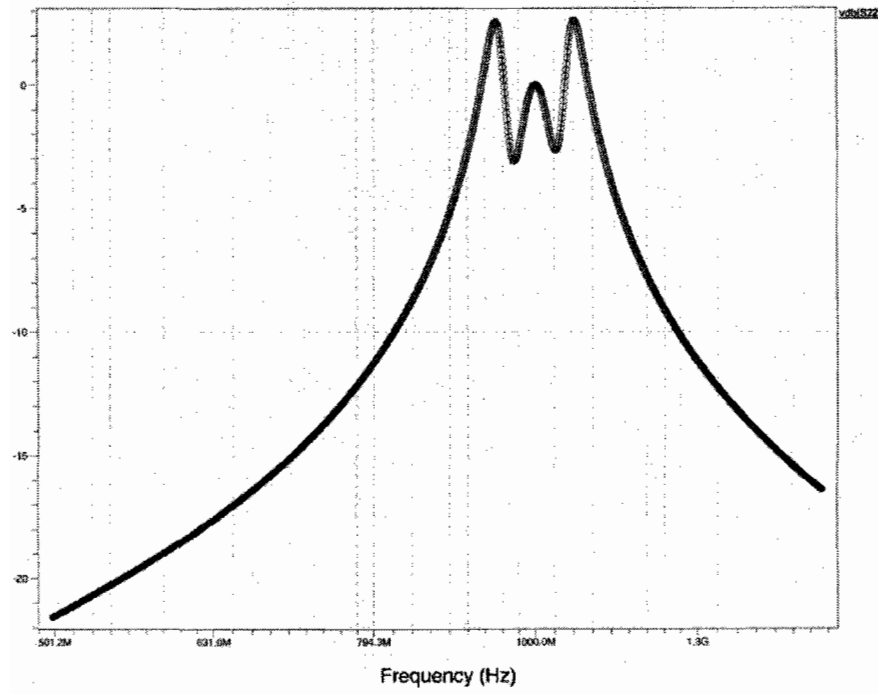


Figure 3.16 : Paramètre  $S_{22}$  du BPF

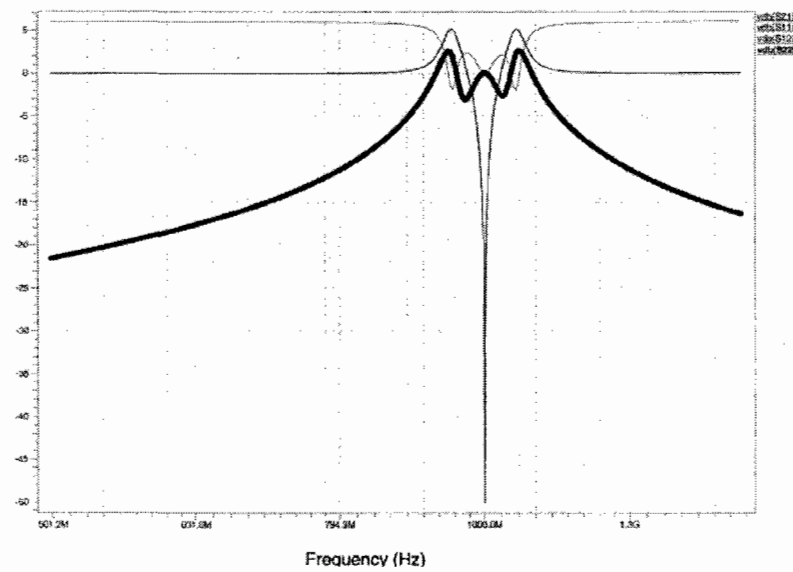


Figure 3.17 : Paramètres S du BPF

### 3.4.3 Résultats de simulations du LNA

Comme pour le filtre les paramètres S du LNA, nous renseignent sur son fonctionnement général. Ainsi,  $S_{11}$  (voir figure 3.18) représente le coefficient de réflexion à l'entrée du LNA, et il est de 11dB autour de la fréquence de résonance 1.4 GHz, qui correspond aussi à la fréquence de fonctionnement. Le  $S_{12}$  (voir figure 3.19), caractérise le coefficient de transfert sortie-entrée, et traduit isolation entre la sortie et l'entrée. Plus faible il est, meilleur est notre isolation. Ici le  $S_{12}$  atteint son maximum et son minimum sur la fréquence de résonance, ce qui est implique pour peu que nous tombons dans les phases négatives nous avons une très bonne isolation. Comme souligné plus haut le  $S_{21}$  (voir figure 3.20), caractérise le gain d'amplification, il est de 32.5 dB à la résonance du circuit. Ce qui est très satisfaisant dans la mesure où il nous permet de nous affranchir du bruit des étages suivant. Le  $S_{22}$  (voir figure 3.21), présente une valeur de 14 dB, ce qui représente d'énormes pertes en sortie. Afin de mieux apprécier la valeur de tous les paramètres S à la fréquence de fonctionnement on fait la synthèse des résultats à la figure 3.20 .

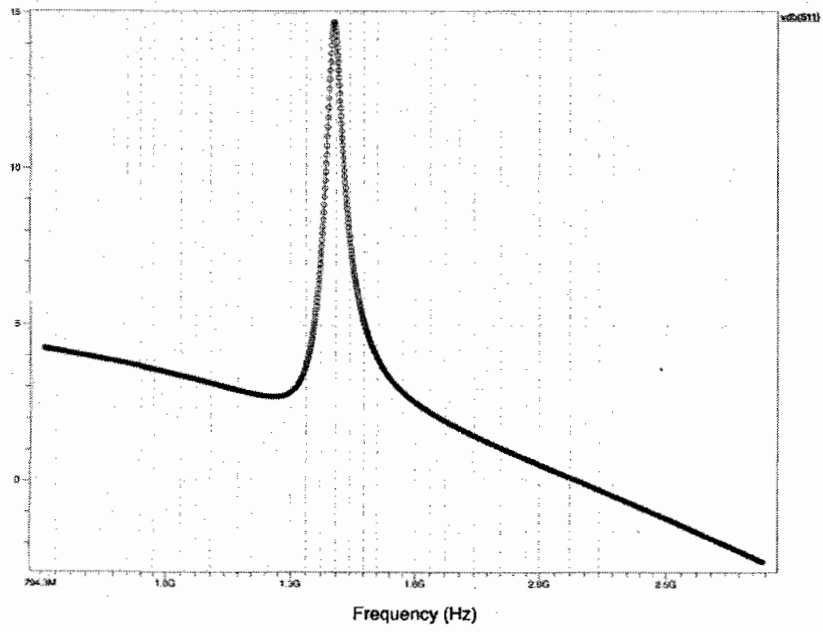


Figure 3.18 : Paramètre  $S_{11}$  du LNA

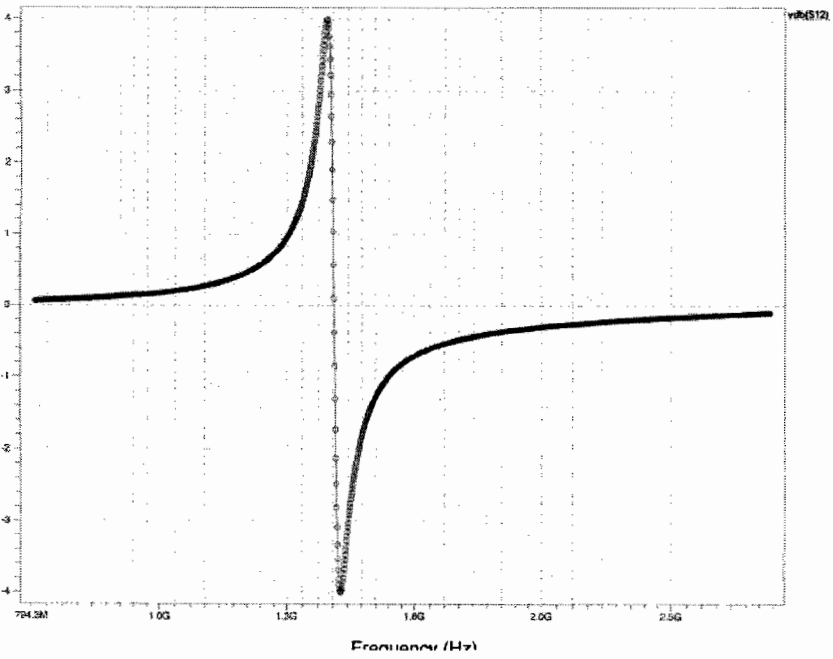


Figure 3.19 : Paramètre  $S_{12}$  du LNA

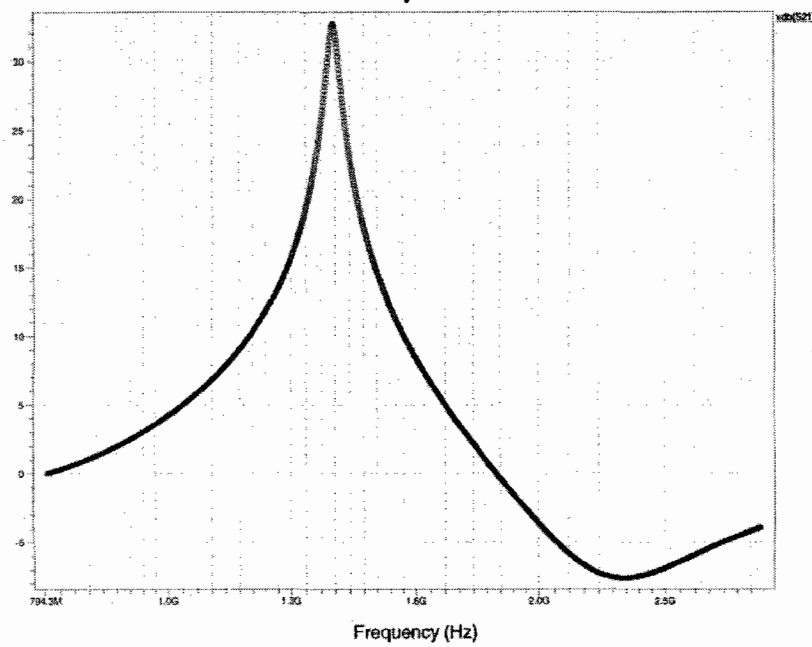


Figure 3.20 : Paramètre  $S_{21}$  du LNA

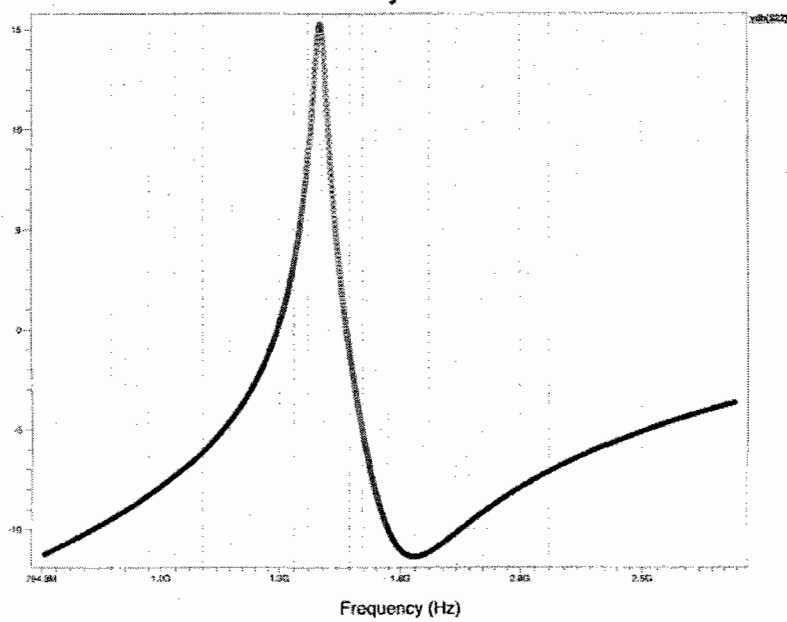


Figure 3.21 : Paramètre  $S_{22}$  du LNA

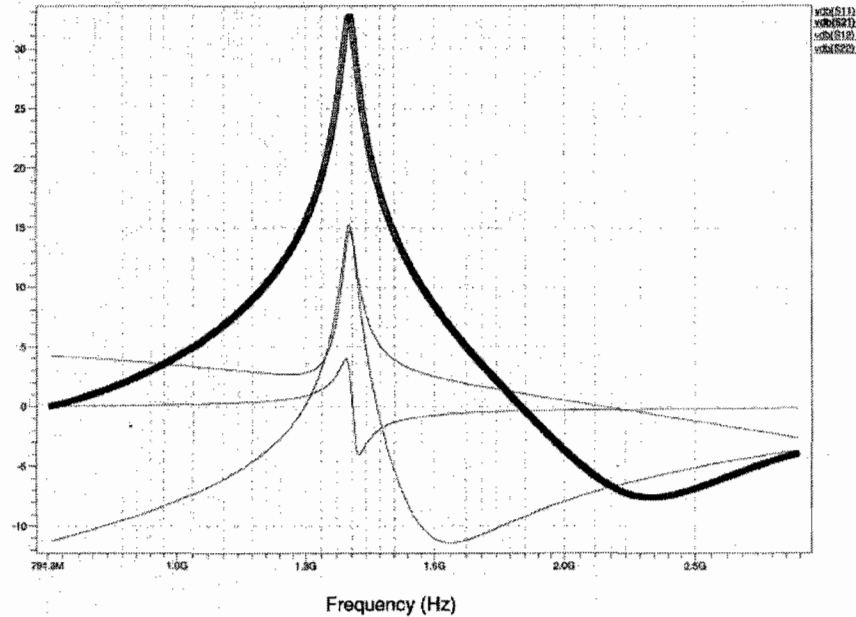


Figure 3.22 : Paramètres S du LNA

### 3.5 Conclusion

Outre la possibilité du transfert d'un maximum d'énergie, l'intérêt de la large bande (Wideband CDMA) réside sur sa robustesse à l'évanouissement du canal. Aussi, une fréquence élevée de la porteuse améliore également la robustesse aux conditions du canal.

Ainsi, les structures de LNA à source commune et inductance dégénérative, sont les meilleures candidates, pour les systèmes à larges bandes, en vue de l'obtention des critères de performances alliant un facteur de qualité faible et un gain élevé. D'où, l'accent mis sur l'optimisation d'un LNA large bande à source commune et inductance dégénérative. L'outil de simulation MEMS Pro®, évoluant avec une technologie de 1.25  $\mu\text{m}$  ne nous a pas permis d'atteindre les objectifs d'une porteuse à 2.4GHz. Ceci nous limite au niveau des performances et les bandes de fréquences pouvant être atteintes. Cependant, les résultats

obtenus, avec la technologie de  $1.25\ \mu\text{m}$ , sont encourageants et vont dans le sens des espoirs fondés sur les structures de LNA à source commune et inductance dégénérative.

## Chapitre 4 - Implémentation

Considéré comme une technologie exotique jusqu'au début des années 1990, et dans une moindre mesure utilisée pour des applications spécifiques, la technologie CMOS SOI peine à convaincre. Ce n'est que suite à l'explosion de la demande des dispositifs sans fil nécessitant une grande autonomie, et par conséquent une faible consommation qu'elle fait sa timide apparition dans les télécommunications. En effet, le faible coût, la maturité et les énormes progrès réalisés des technologies CMOS, font d'elle une voie viable pour l'atteinte de nos objectifs de performances.

C'est à cet effet que nous nous tournons vers elle dans le cadre de ce chapitre en vue de l'intégration des inductances micromachinées, et d'un étage LNA pour des travaux futurs. Cependant, nous faisons au préalable une présentation sommaire des différentes technologies concurrentes, et justifions le choix de cette technologie.

### 4.1 Choix de la technologie

L'intégration des circuits monolithiques repose sur deux principales technologies, à savoir, la technologie bipolaire et la technologie CMOS. Aux côtés desquelles, on peut citer également les technologies SOI et BiCMOS, qui sont dérivées des deux premières. Aussi, dépendamment des substrats utilisés, l'arséniure de Gallium (GaAs), le phosphore d'indium (InP) ou le Germanium de silicium (GeSi), principalement on sera capable de travailler dans certaines bandes de fréquences avec des fréquences de transitions très

élevées. Cependant nous nous attarderons les deux principales technologies de fabrications des MEMS.

#### *4.1.1 Technologie CMOS*

Grâce à ses possibilités de forte intégration, de faible consommation et de faible coût de production la technologie CMOS sur silicium, se positionne comme la technologie de référence en matière réalisation, non seulement des circuits numériques. Mais aussi des circuits analogiques grâce à la diminution de la largeur du canal des transistors. Ainsi elle présente un réel intérêt pour la réalisation monolithique des systèmes entiers.

Cependant, l'un des principaux défis pour parvenir à cette intégration totale concerne l'amélioration de la qualité des éléments passifs qui constituent encore un verrou technologique. En effet, ils sont traditionnellement de qualité médiocre à cause des substrats silicium de faible résistivité (10-20  $\Omega.cm$ ) d'une part, et des très faibles épaisseurs de diélectrique pour réaliser les lignes de transmission d'autre part (typiquement :  $h < 4\mu m$  pour six couches de métallisation). Pour remédier à ce problème, plusieurs solutions technologiques sont à l'étude, parmi lesquelles on peut citer les substrats de haute résistivité (1000  $\Omega.cm$ ), le report des circuits sur un substrat isolant, ou encore des techniques de «postprocessing», pour disposer d'épaisseurs de diélectrique adaptées à la RF et aux hyperfréquences

#### *4.1.2 La technologie Silicium*

Dans cette technologie, les microstructures appelées MEMS sont réalisées à l'aide des techniques et des étapes de fabrication conventionnelles du semi-conducteur identique à celles pratiquées pour les processeurs d'ordinateur. À ces dernières étapes on ajoute des



étapes spécifiques de "micro-usinage" permettant la gravure de certaines couches, dites sacrificielles, et favorisant la réalisation de structures suspendues, dites structurelles. Les techniques lithographiques qui permettent la production en volume de millions de processeurs peuvent être exploitées pour la réalisation des circuits complexes (LNA).

## **4.2 Les Procédés de fabrications**

On retrace deux principales techniques de fabrications des MEMS, dont le micro-usinage de surface et le micro-usinage en volume.

### *4.2.1 Le Micro-usinage en surface*

Dans ce type de procédé, une des couches déposée sur le substrat, appelée couche sacrificielle, est gravée permettant ainsi la réalisation d'une couche suspendue, dite structure mécanique. Ce procédé maîtrisé par MEMSCAP est utilisé dans plusieurs composants nécessitant une mesure capacitive, ou une activation électrostatique verticale.

### *4.2.2 Le Micro-usinage en volume*

Ce procédé se caractérise par la gravure du substrat afin de suspendre la structure mécanique. La réalisation de cette gravure est soit par l'utilisation des solutions chimiques ou soit par l'utilisation d'ions réactifs, et sera respectivement appelées «gravure humide» et «gravure sèche» (Deep RIE). Très souvent utilisé pour la réalisation des isolations thermique, des capteurs de pression, ainsi que des actuateurs (thermique, magnétique ou électrostatique horizontale). Ce procédé est également présent dans le domaine des télécommunications optiques et sans fil, à travers les commutateurs optiques. Elle se caractérise par trois étapes fondamentales de fabrication.

### 1. Le dépôt de couches

Il consiste au dépôt des fins films de matériaux et peut être distingué en deux groupes :

- Les dépôts chimiques en phase vapeur : électrodéposition, croissance épitaxiale, et oxydation thermique. Ces types de dépôt, exploitent les réactions chimiques en phases liquide directement sur le substrat, ou en phases gazeuse par profusion.
- Les dépôts résultant de réactions physiques : dépôt physique en phase vapeur, "casting". Le matériau est déposé physiquement sur le substrat sans qu'aucun produit chimique dérivé ne soit utilisé ou est eu besoin d'être créé.

### 2. La gravure

La réalisation des structures de MEMS fonctionnelle sur un substrat, nécessite la gravure de minces films, ayant été au préalable déposées sur le substrat lui-même. On recense deux principales méthodes de gravure:

- La gravure humide : qui consiste à la dissolution du matériau dans une solution chimique appropriée.
- La gravure sèche : Elle consiste au bombardement de la surface du matériau par des ions réactifs en phase vapeur, ce qui a pour conséquence d'éroder le matériau voir le dissoudre.

### 3. La lithographie

C'est un procédé qui consiste au transfert d'un motif sur un matériau photosensible, par l'exposition à un rayonnement localisé et sélectif. Les zones du matériau soumises au rayonnement, subissent le transfert du motif transparent au rayonnement. Tandis que, les zones dudit matériau non exposées, par application d'un masque, demeurent inchangées.

Par contre, les zones du matériau soumises au rayonnement connaissent la modification de leurs propriétés physico-chimiques.

### **4.3 Implémentation d'une inductance micro machinée**

La quête d'une intégration à très grande échelle, et à prix réduit, des composants électronique conduit à d'énormes travaux de recherches dans l'ensemble des domaines de la science aussi variés les uns que les autres.

Aussi, la nature multidisciplinaire des systèmes Micro-Électro-Mécaniques (MEMS), ainsi que l'expertise nécessitée pour le développement de ces derniers se présentent comme un goulot d'étranglement pour une conception efficace des systèmes intégrant la technologie MEMS. Cette issue réclame une nouvelle génération d'outils de conception qui combine des aspects d'EDA et de CAD.

MEMS Pro®, développé par MEMSCAP®, appartient à cette nouvelle génération d'outils permettant de concevoir et de simuler toutes les étapes de développement d'un projet y compris l'ultime étape qu'est la fonderie. MEMS Pro®, un logiciel de prototypage rapide, constitue la pierre angulaire de ce projet et qui par conséquent, est au coeur de ce projet.

Cette quête est d'autant plus avérée que, la demande sans cesse croissante et la nécessité du transfert de données très variées avec des débits énormes, de même que le souci d'être joignable à tout instants et en tout point du globe terrestre, avec une très grande autonomie énergétique incitent d'énormes recherches dans le domaine des systèmes micro machinées (MEMS). Ceux-ci capitalisent tous les espoirs de résolutions des difficultés liées à l'intégration de tous les composants aussi bien actifs que passifs et en particulier celui

d'une inductance réalisée à partir d'un procédé CMOS appelée inductances micro machinées demeure un problème essentiel voir crucial. Ainsi, l'intégration de tous les composants RF MEMS et en particulier ceux de l'étage d'entrée d'un récepteur apparaissent comme la clé du succès. Cependant les dispositifs mis en jeux se trouvent limité jusqu'à nos jours par la difficulté d'intégration des inductances ce qui a pour conséquences immédiates de limiter le facteur de qualité  $Q$ , d'où une augmentation du facteur de bruit, sans oublier le coût de fabrication. Ainsi, le réel défi technologique revient à relever ce facteur de qualité le plus haut possible tout en maintenant le facteur de bruit très bas. Dans cette section présente la réalisation des inductances micro machinées et les différents étapes de réalisation suivant le choix de technologie auxquels on accède.

#### 4.3.1 Réalisation Physique en technologie microsysteme d'une micro inductance

Les différentes étapes de fabrication étant préétablies dans MEMS Pro®, à travers les technologies PolyMUMPS® et MUMPS®, nous avons sur la base de la technologie PolyMUMPS® généré l'inductance des figures 4.1(a) et 4.1(b) sur la base d'un substrat de résistivité de  $12 \Omega.cm$  et une épaisseur d'oxyde de  $9.7 \mu m$ .

L'épaisseur est comme définit plus haut de  $1 \mu m$ , avec conductivité de  $3.3 \times 10^7 S.m^{-1}$ .

La micro-inductance présente une de surface de  $200 \times 200 \mu m^2$  donc une longueur de longueur du segment initial  $l=200 \mu m$ . Aussi, la largeur ou de trace rubans  $w$  est de  $14.65 \mu m$  et de largeur de fentes ou espacement comprise de  $8.67 \mu m$ .

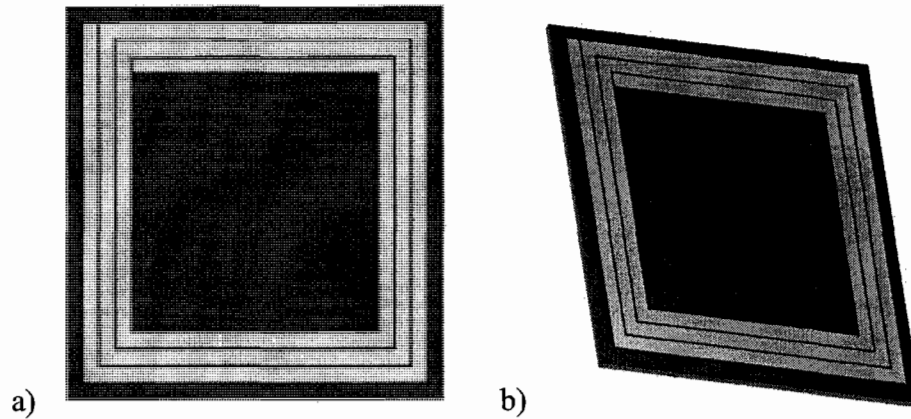


Figure 4.1 : Inductance rectangulaire en technologie PolyMUMPS®

#### 4.4 Conclusion

Pour une étude plus complète de l'implémentation des inductances micro machinées l'évolution du facteur de qualité fonction de l'espacement et la largeur de spire aurait pu nous conforter dans nos analyses théoriques. Toutefois, l'étude ci-dessus réalisée sur l'implémentation des inductances micro machinées permet de cerner les différentes technologies de fabrication en technologie microsysteme, et d'en dégager les avantages et les inconvénients de chacune. Ainsi, la technologie CMOS présente le plus grand nombre d'avantages parmi lesquelles, un très haut niveau d'intégration et une très faible consommation énergétique. Ce qui présente un réel avantage, pour l'intégration des composants complexes et l'atteinte d'une grande autonomie énergétique. Par contre, les technologies PolyMUMPS® et MUMPS®, utilisées pour les figures 4.1(a) et 4.1(b), sont beaucoup plus évoluées et permettent de réaliser sur un même substrat des composants très complexes. Seulement, elle demeure encore très onéreuse.

## Chapitre 5 - Conclusion

L'objectif de ce projet fût de proposer une structure monolithique d'amplification à faible bruit, pour les téléphones mobiles de troisième et quatrième génération (3G et 4G), réalisées dans une technologie MEMS. Nous avons dans cette démarche mis en évidence les différentes étapes de conception d'un dispositif d'amplification de radio fréquence. À travers différentes étapes dont, la première, basée sur les inductances micromachinées, met en exergue l'étude théoriques et analytiques de ces dernières, à travers l'optimisation des paramètres géométriques sur une surface ( $d_{out}^2$ ) constante. La deuxième (chapitre 3) quant à elle, nous a placées aussitôt dans le vif du sujet à travers, l'analyse et l'optimisation des différentes topologies de LNA rencontrées dans la littérature. Les deux précédentes étapes sont complétées par l'étude, de la réalisation physique et du choix de la technologie microsysteme (chapitre 4) la plus appropriée. Et ceci en vue de l'intégration complète sur un substrat monolithique du LNA et des micro-inductances y prenant corps. Ainsi, afin de répondre aux contraintes technologiques du WCDMA, nous avons réalisés un LNA à source commune et inductance dégénérative présentant un filtre de Tchebychev en entrée. En somme, ce projet aura permis de mettre un accent sur la conception et la réalisation pratique d'un circuit en vue d'une validation futur à travers des tests et mesure en radiofréquences. Les résultats de simulations sur l'optimisation des performances électriques en fonction des paramètres des géométriques, ont permis d'avoir un aperçu sur l'influence des paramètres électriques sur le facteur de qualité. D'une autre part, ces résultats nous confortent dans la démarche à suivre. Pour ce qui est du LNA, les résultats de

simulations présentés, mettent en lumière le comportement du circuit en fonction des paramètres S.

Toutefois, les enseignements qu'on peut tirer de ce projet sont la possibilité d'intégration d'un LNA sur un substrat de silicium monolithique, à travers la cohabitation de différentes technologies Bipolar d'une part, pour la réalisation d'un transistor. SOI d'une autre part, pour la réalisation d'une micro-inductance et CMOS pour réalisation des différents composants passifs donc les capacités, les résistances et la connectivité donc de l'ensemble. Ainsi, nous avons pu passer en revue toutes les étapes précédant la fonderie, et par conséquent toutes étapes qui concourent à la réalisation physique d'un circuit en radio fréquence. Par ailleurs, même si cela ne ressort pas à travers ce document, nous avons pu passer en revue un grand nombre d'outils de conception qui s'offrent au concepteur et évaluer les possibilités voir les difficultés qui font partie de cet environnement. À l'issue de ce travail, nous sortons aguerris à la conception et la réalisation d'un circuit en radio fréquence avec une approche systématique des différents paliers à franchir. Aussi, nous sortons imprégnés de la philosophie des différents outils du concepteur, ce qui permettra un apprentissage rapide de tous outils dédiés à la conception en microsysteme.

Les perspectives à ce projet quant à elles sont nombreuses et variées tant dans le domaine des télécommunications que celui de la médecine. Et ce types de projet se doivent d'être fortement soutenus, quand on connaît la portée de la spectroscopie par Résonance Magnétique Nucléaire (RMN) et l'Imagerie par Résonance Magnétique (IRM) dans le domaine médical, et du rôle fondamentale que joue les micro-inductances dans la recherche des solutions visant l'obtention des spectres RMN et la réalisation des IRM. Et aussi des

multiples applications des LNA en télécommunication, à travers les dispositifs de communication sans fil qui présente un intérêt de plus en plus important.

Mais pour demeurer dans le cadre de la continuité de ce projet essentiellement, d'autres travaux pourraient être entrepris en vue de la conception des LNA à très large bande pour répondre à la demande sans cesse croissante du transfert de données. Mais aussi, on pourrait envisager des travaux en vue d'éliminer les inductances de l'architecture d'un LNA du fait de leur très grande consommation énergétique et de leur énorme besoin de surface.



## Références

- [1] E. Bruno et S. Jean-Louis, et al., "Vers l'intégration des convertisseurs pour l'alimentation des microsystèmes", *Journal sur l'enseignement des sciences et des technologies de l'information et des systèmes*, vol. 2, 2003.
- [2] B. J. Aguilera et J. de Nó, et al., "A Guide for On-Chip Inductor Design in a Conventional CMOS Process for RF Applications", p. 6, 2001.
- [3] A. Scuderi et T. Biondi, et al., "A scalable model for silicon spiral inductors", *Microwave Symposium Digest, 2003 IEEE MTT-S International* vol.3, pp. 2117-2120. 2003,
- [4] D. K. Shaeffer et T. H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 2359-2359, 2006.
- [5] C. Tinella et J. M. Fournier, et J. Haidar, "Noise contribution in a fully integrated 1-V, 2.5-GHz LNA in CMOS-SOI technology", 2001, pp. 1611-1614 vol.3.
- [6] S. S. Mohan et M. D. M. Hershenson, et al., "Simple accurate expressions for planar spiral inductances", *IEEE Journal of Solid-State Circuits* vol. 34, pp. 1419-1424, 1999.
- [7] K. T. Christensen et A. Jorgensen, "Easy simulation and design of on-chip inductors in standard CMOS processes", *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on 1998*, pp. 360-364 vol.4.
- [8] C. P. Yue et C. Ryu, et al., "A physical model for planar spiral inductors on silicon", *Electron Devices Meeting, 1996., International 1996*, pp. 155-158.
- [9] C. P. Yue et S. S. Wong, "Physical modeling of spiral inductors on silicon", *Electron Devices, IEEE Transactions on*, vol. 47, pp. 560-568, 2000.
- [10] N. A. Talwalkar et C. P. Yue, et S. S. Wong, "Analysis and synthesis of on-chip spiral inductors" *Electron Devices, IEEE Transactions on*, vol. 52, pp. 176-182, 2005.

- [11] S. S. Mohan, "The design, modeling and optimization of on-chip inductor and transformer circuits", *The department of electrical engineering and the committee on graduate studies of stanford university on december 1999*.
- [12] K. Okada et H. Hoshino, et H. Onodera, "Modelling and optimization of on-chip spiral inductor in S-parameter domain", *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on 2004*, pp. V-153-V-156 Vol.5.
- [13] F. Y. Huang et N. Jiang, et E. L. Bian, "Modeling of single-[pi] equivalent circuit for on-chip spiral inductors", *Solid-State Electronics*, vol. 49, pp. 473-478, 2005.
- [14] C. B. Sia et K. S. Yeo, et al., "A simple and scalable Model for spiral inductors on silicon", *Modeling and simulations on 2001*
- [15] C. P. Yue et S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based", *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 743-752, 1998.
- [16] C. P. Yue et S. S. Wong, "Design strategy of on-chip inductors for highly integrated RF systems", 1999, pp. 982-987.
- [17] T. Wang et Y. Wang, et al., "A novel technique fast optimizing the layout parameters of planar spiral inductor", 2003, pp. 302-305 Vol.1.
- [18] F. E. Terman, "Radio Engineering Handbook", 1943.
- [19] F. W. Grover, "Inductance Calculations", 1962.
- [20] H. Greenhouse, "Design of Planar Rectangular Microelectronic Inductors", *Parts, Hybrids, and Packaging, IEEE Transactions on*, vol. 10, pp. 101-109, 1974.
- [21] S. F. Mahmoud et E. Beyne, "Inductance and quality-factor evaluation of planar lumped inductors in a multilayer configuration", *Microwave Theory and Techniques, IEEE Transactions on*, vol. 45, pp. 918-923, 1997.
- [22] S. Sampei et S. Sampei, et K. Feher, "Adaptive DC-offset compensation algorithm for burst mode operated direct conversion receivers", in *Vehicular Technology Conference, 1992 IEEE 42nd*, 1992, pp. 93-96 vol.1.
- [23] C. K. Sandalci, C. K. Sandalci, and S. Kiaei, "Analysis of adaptive CMOS down conversion mixers", in *VLSI, 1998. Proceedings of the 8th Great Lakes Symposium on*, 1998, pp. 118-121.
- [24] L. E. Larson, "Integrated circuit technology options for RFICs-present status and future directions", *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 387-399, 1998.
- [25] E. C. Niehenke et R. A. Pucel, et I. J. Bahl, "Microwave and millimeter-wave integrated circuits", *Microwave Theory and Techniques, IEEE Transactions on*, vol. 50, pp. 846-857, 2002.

- [26] C. Garuda et C. Garuda, et al., "A 3-5 GHz fully differential CMOS LNA with dual-gain mode for wireless UWB applications", in *Circuits and Systems, 2005. 48th Midwest Symposium on*, 2005, pp. 790-793 Vol. 1.
- [27] H. Zhe-Yang et C. Chun-Chieh,, et al., "Design of CMOS low-noise amplifier for low-band ultra-wideband system", in *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings*, 2005, p. 4 pp.
- [28] D. K. Shaeffer et T. H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier", *VLSI Circuits, 1996. Digest of Technical Papers, 1996 Symposium on 1996*, pp. 32-33.
- [29] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier", *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 745-759, 1997.